

NCC 1T 8051-内核微控制器

ATM8F8040/30

用户手册



目录

1. 概述	7
1.1. 说明.....	7
2. 特性	8
3. 功能方块图	10
4. 管脚配置	11
5. CPU	15
5.1. 基本特征.....	15
5.2. 寄存器描述.....	15
5.3. 指令集.....	20
6. 存储器组织	24
6.1. 基本特征.....	24
6.2. 存储器组织结构.....	24
6.3. 功能描述.....	24
6.3.1. 程序存储空间.....	24
6.3.2. 外部数据存储空间.....	24
6.3.3. 内部数据存储空间.....	25
6.3.4. DPTR 数据指针.....	25
6.4. 示例程序.....	25
7. 寄存器组	26
7.1. 寄存器描述.....	26
7.2. 功能描述.....	26
8. 中断系统	28
8.1. 内部框图.....	28
8.2. 管脚配置.....	29
8.3. 寄存器描述.....	31
8.4. 功能描述.....	37
9. 外部中断	38
9.1. 基本特征.....	38
9.2. 内部框图.....	38
9.3. 寄存器描述.....	39

9.4.	功能描述.....	41
10.	复位.....	43
10.1.	基本特征.....	43
10.2.	工作模式.....	43
10.3.	内部框图.....	43
10.4.	寄存器描述.....	43
10.5.	功能描述.....	45
11.	时钟.....	47
11.1.	工作模式.....	47
11.2.	内部框图.....	47
11.3.	寄存器描述.....	47
11.4.	功能描述.....	52
11.4.1.	时钟源详细描述.....	52
11.4.2.	系统时钟配置.....	53
11.4.3.	时钟切换及保护.....	53
11.4.4.	时钟安全系统.....	53
11.4.5.	低功耗工作模式.....	54
12.	通用输入输出端口.....	55
12.1.	基本特征.....	55
12.2.	工作模式.....	55
12.3.	寄存器描述.....	55
12.4.	功能描述.....	60
12.5.	示例程序.....	61
13.	定时器 T0/T1.....	62
13.1.	工作模式.....	62
13.2.	寄存器描述.....	62
13.3.	功能描述.....	65
13.3.1.	工作模式 0.....	65
13.3.2.	工作模式 1.....	66
13.3.3.	工作模式 2.....	66
13.3.4.	工作模式 3.....	66
14.	定时器 T2.....	68

14.1.	基本特征.....	68
14.2.	寄存器描述.....	68
14.3.	功能描述.....	74
14.3.1.	16 位自动重载模式 (PPGEN=0, CP/RL=0)	74
14.3.2.	16 位捕获模式 (PPGEN=0, CP/RL=1)	75
14.3.3.	可编程波形生成器 (PPGEN=1, CP/RL=0)	76
14.3.4.	单脉冲发生器.....	78
15.	UART	80
15.1.	工作模式.....	80
15.2.	内部框图.....	80
15.3.	寄存器描述.....	80
15.4.	功能描述.....	82
15.4.1.	8 位移位寄存器模式(模式 0)	82
15.4.2.	8 位可变波特率模式 (模式 1)	82
15.4.3.	9 位固定波特率模式 (模式 2)	83
15.4.4.	9 位可变波特率模式 (模式 3)	83
15.4.5.	波特率.....	83
15.4.6.	多处理器通讯.....	83
16.	CRC	84
16.1.	内部框图.....	84
16.2.	寄存器描述.....	84
16.3.	功能描述.....	85
17.	可配置逻辑单元 (CPL)	87
17.1.	内部框图.....	87
17.2.	寄存器描述.....	87
17.3.	功能描述.....	89
18.	蜂鸣器 (BUZZER)	90
18.1.	基本特征.....	90
18.2.	内部框图.....	90
18.3.	寄存器描述.....	90
18.4.	功能描述.....	91
19.	看门狗定时器	92

19.1.	基本特征.....	92
19.2.	内部框图.....	92
19.3.	寄存器描述.....	92
19.4.	功能描述.....	93
20.	唤醒定时器.....	94
20.1.	基本特征.....	94
20.2.	内部框图.....	94
20.3.	寄存器描述.....	94
20.4.	功能描述.....	95
21.	PWM 控制器.....	96
21.1.	基本特征.....	96
21.2.	设计框图.....	96
21.3.	寄存器说明.....	96
21.4.	功能描述.....	110
21.5.	计数器工作模式.....	110
21.5.1.	连续边沿对齐模式.....	110
21.5.2.	连续中央对齐模式.....	110
21.5.3.	单次边沿对齐模式.....	111
21.5.4.	单次中央对齐模式.....	111
21.5.5.	PWM 寄存器更新.....	111
21.6.	捕获输入模式.....	112
21.7.	比较输出模式.....	113
21.7.1.	边沿对齐模式.....	113
21.7.2.	中央对齐模式.....	114
21.8.	输出控制.....	115
21.9.	死区控制.....	117
21.10.	故障保护.....	118
21.11.	中断.....	119
22.	FLASH 控制器.....	120
22.1.	基本特征.....	120
22.2.	寄存器说明.....	120
22.3.	功能描述.....	122

22.3.1.	内部信息区分配.....	122
22.3.2.	编程操作.....	122
22.3.3.	读操作.....	123
23.	模数转换器.....	124
23.1.	基本特征.....	124
23.2.	内部框图.....	124
23.3.	寄存器描述.....	124
23.4.	功能描述.....	128
23.4.1.	单次转换.....	128
23.4.2.	连续转换.....	128
23.4.3.	触发模式.....	128
23.4.4.	ADC 的转换结果.....	129
23.4.5.	ADC 的参考电压.....	129
23.4.6.	ADC 采样时间.....	129
24.	电气特性.....	130
24.1.	极限参数.....	130
24.2.	DC 特性.....	130
24.3.	ADC 特性.....	131
24.4.	内部高频振荡器特性.....	131
24.5.	内部低频振荡器特性.....	131
24.6.	外部振荡器特性.....	132
24.7.	储存器工作特性.....	132
24.8.	外部复位及中断管脚特性.....	132
24.9.	EFT 特性.....	132
24.10.	ESD 特性.....	132
24.11.	Latch up 特性.....	132
25.	封装信息.....	133
25.1.	TSSOP20.....	133
25.2.	QFN20 4x4.....	134
25.3.	QFN20 3x3.....	135
25.4.	SOP16.....	136
26.	版本信息.....	137

1. 概述

1.1. 说明

ATM8F8040是一款内嵌16K字节FLASH的8位单片机。主要有如下特点：具有16K字节代码存储空间，256字节SRAM，512字节扩展XRAM，128字节的内部EEPROM，2个16位的高性能定时器T0/T1，1个16位的带三路捕获功能的定时器T2，1个带死区控制的PWM模块，1个看门狗定时器，支持2个UART，内嵌1个12位的ADC和1个16位CRC模块，同时集成了1个可配置的逻辑单元，适合消费类、控制类电子产品应用。

本文档同样适用于ATM8F8030芯片。



2. 特性

CPU 特性

8 位 1T 8051 内核
 支持 1/2/4/8 系统分频
 支持双 DPTR
 支持双线调试

ROM

16K 字节 FLASH (擦写寿命 1000 次)
 128 字节 EEPROM (擦写寿命 10000 次)
 数据保持时间: 10 年

RAM

256 字节内部 IRAM
 512 字节外部 XRAM

GPIO

最多支持 18 个 GPIO
 支持任意端口变化中断

Timer/PWM

16 位 8051 标准定时器 T0/T1
 带捕获和可编程输出的 16 位定时器 T2
 7 路 16 位带互补输出 PWM 输出模块
 唤醒定时器
 看门狗定时器

其他

CRC16 循环冗余检测模块
 可配置逻辑计算单元 (CPL)
 外部晶振停振检测

通信

支持 2 个 UART

模拟模块

支持 12 路 12 位 ADC
 支持上电复位
 支持低压复位

时钟

内部时钟频率最高到 32MHz, ±1%精度
 内部时钟 32KHz 低频振荡器
 支持外部 1-20MHz 晶振

工作模式

正常模式
 待机模式 (IDLE)
 停机模式 (Stop), 最小电流 < 1uA

工作条件

工作频率: 最大 32MHz
 工作电压: 2.7~5.5V
 工作温度: -40°C~85°C

封装

TSSOP20
 QFN20 4x4
 QFN20 3x3
 SOP16

编号与封装

芯片型号	芯片封装	引脚数量
ATM8F8040K-TU7	TSSOP20	20
ATM8F8040K-QR4	QFN20 4x4	20
ATM8F8040K-QR3	QFN20 3x3	20
ATM8F8040D-SR5	SOP16	16
ATM8F8030D-SR5	SOP16	16
ATM8F8040D-1	SOP16	16

特性与外设

器件	ATM8F8040K	ATM8F8040D	ATM8F8030D
封装	TSSOP20/QFN20	SOP16	
Flash (byte)	16K	16K	8K
IRAM (byte)	256	256	256
XRAM (byte)	512	512	256
EEPROM (byte)	128	128	128
通用定时器	3		
看门狗定时器	YES		
UART	2		
CPL	YES		
PWM 通道数	7	6	
12-bit ADC 通道数	12	11	
16-bit CRC	YES		
GPIOs	18	14	
中断引脚数目	18	14	
工作电压	2.7~5.5V		
工作温度	-40~85°C		
引脚数目	20	16	

3. 功能方块图

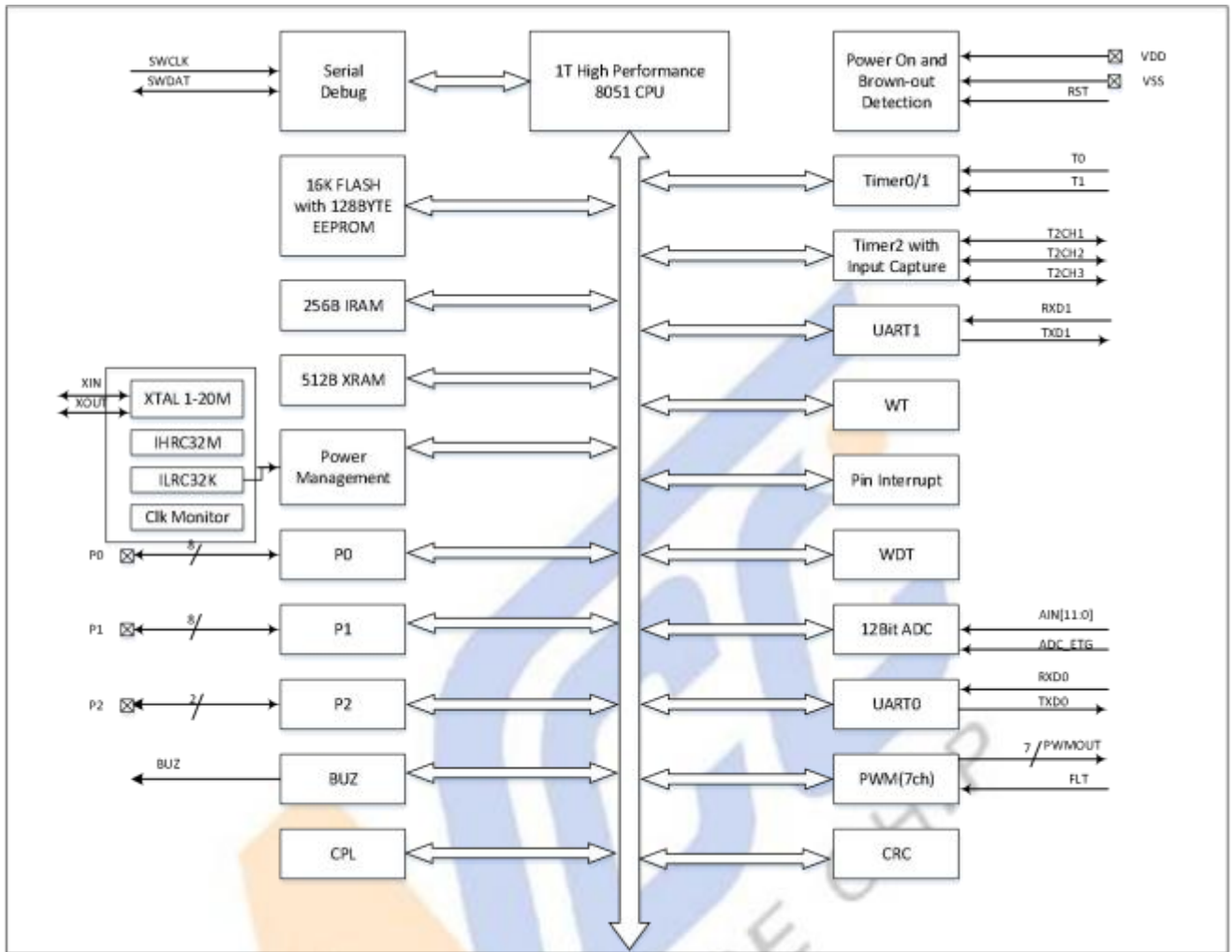


图 3- 1 设计框图

4. 管脚配置

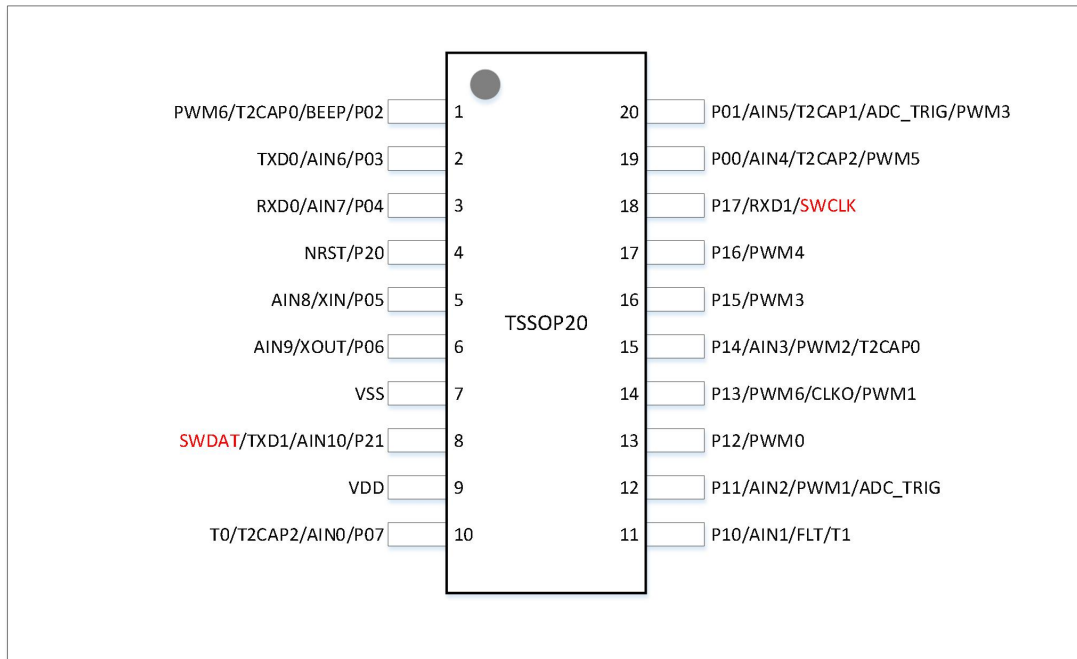
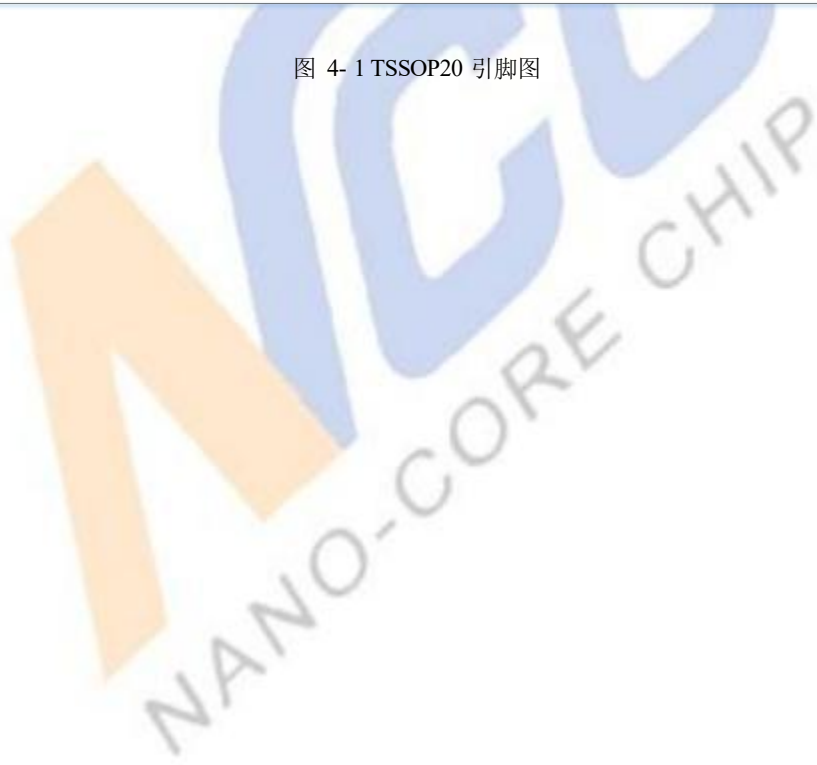


图 4-1 TSSOP20 引脚图

注：红色代表烧录端口



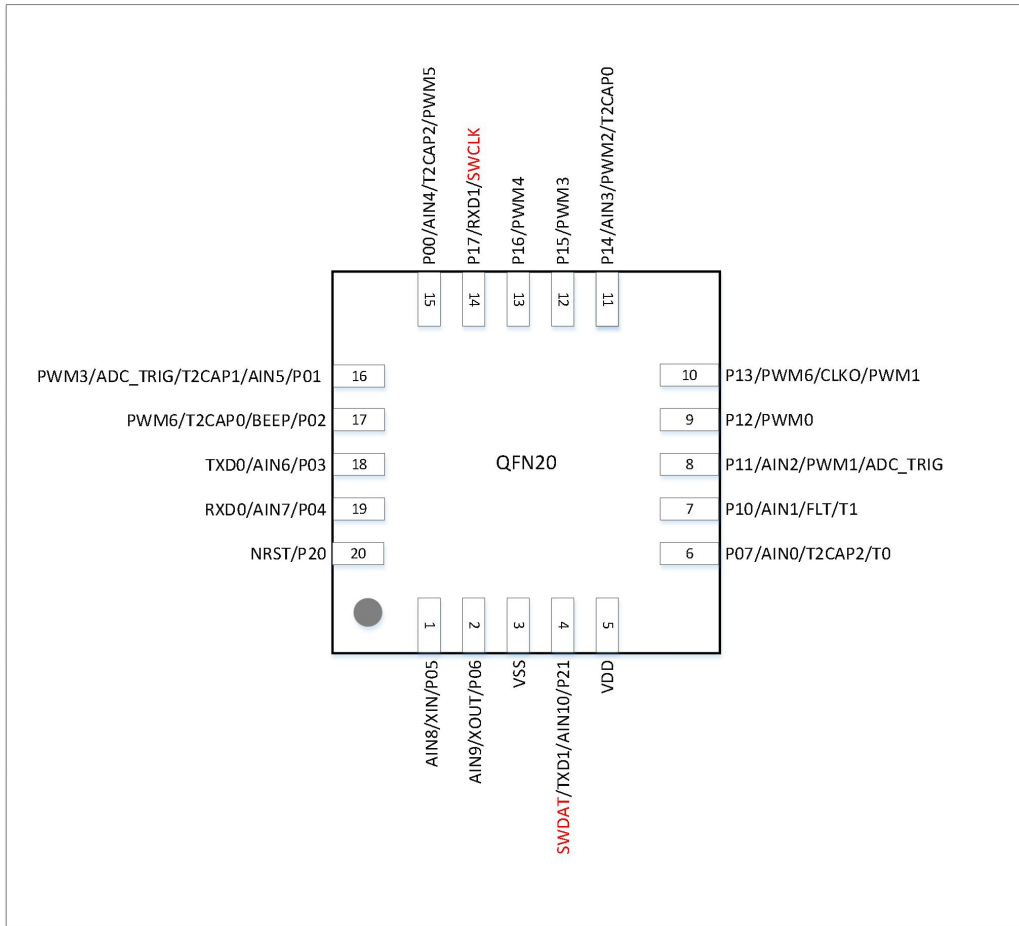


图 4- 2 QFN20 4x4 引脚图

注：红色代表烧录端口

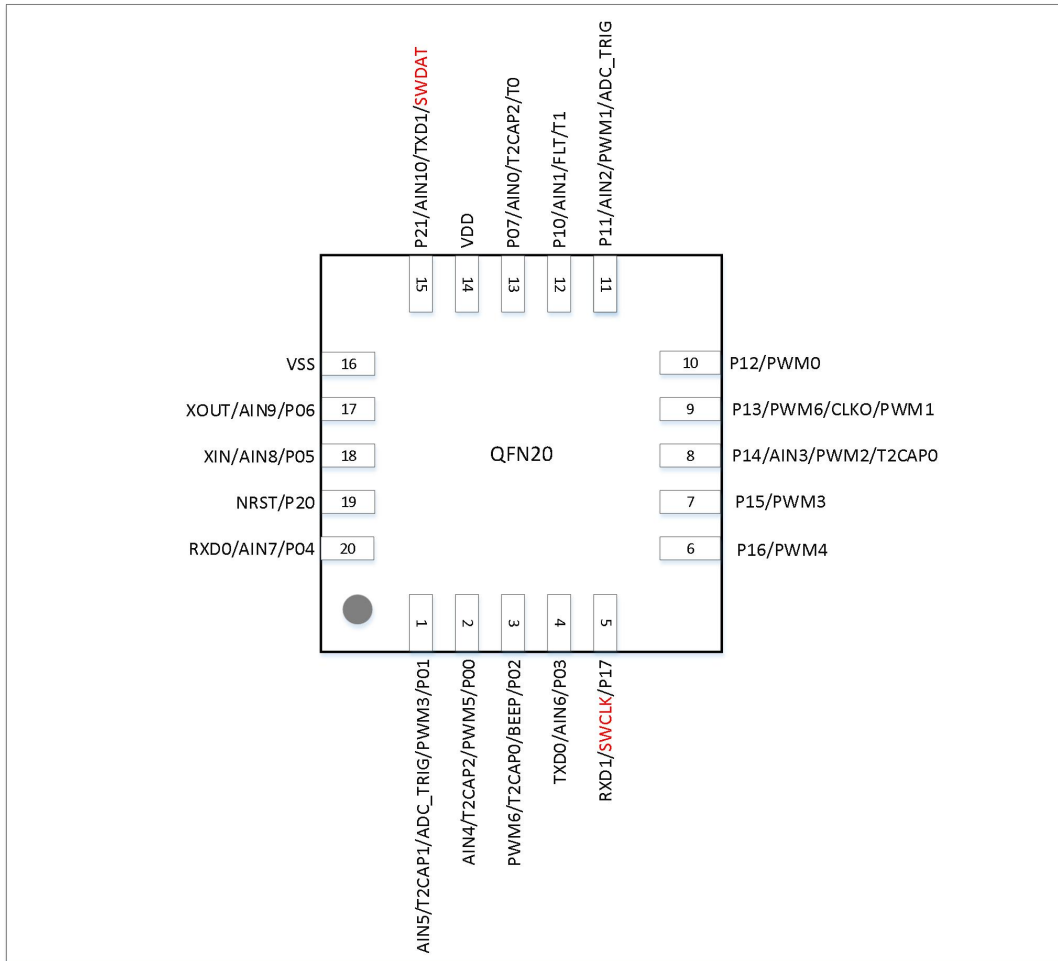


图 4-3 QFN20 3x3

注：红色代表烧录端口

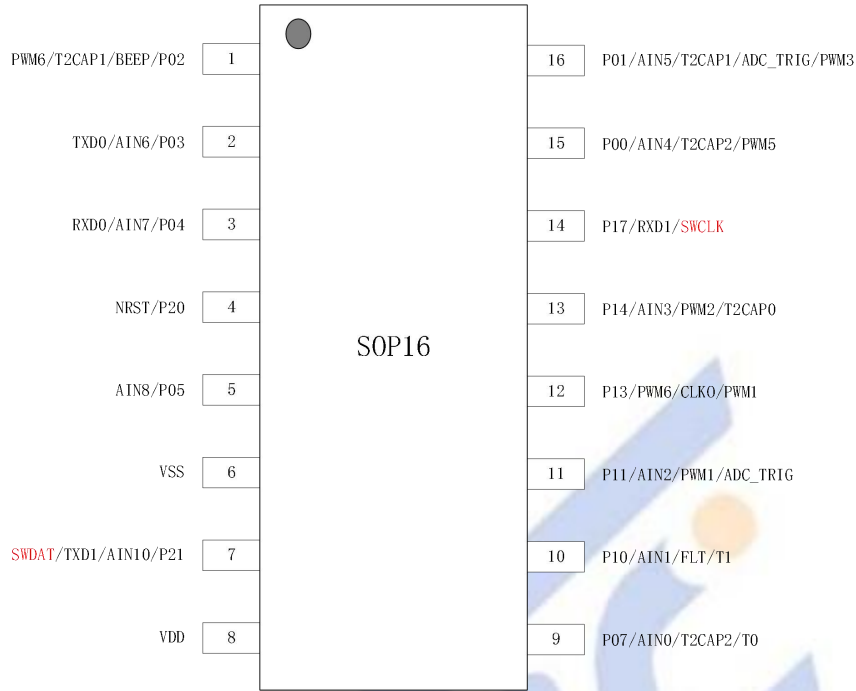


图 4-4 SOP16 引脚封装 (ATM8F8040D-SR5和ATM8F8030D-SR5)

注：红色代表烧录端口

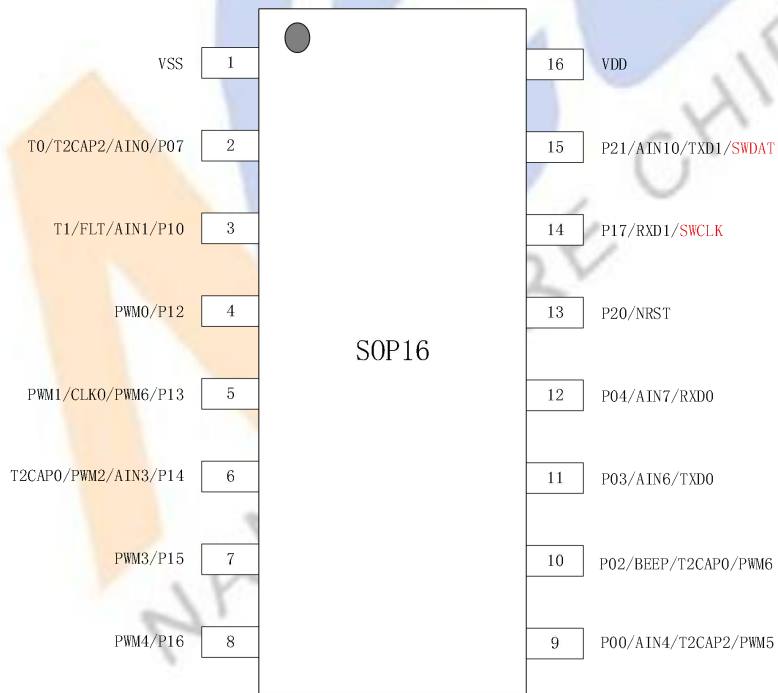


图 4-5 SOP16引脚封装 (ATM8F8040D-1)

注：红色代表烧录端口

5. CPU

5.1. 基本特征

ATM8F8040采用8051指令集，该指令集完全兼容Intel MCS-51™指令集。由于采用优化的指令架构，使得其指令执行效率与同频率Intel 80C51相比性能提高超过12倍。超过80%的指令可以在1到2个系统时钟内完成，没有超过12个指令周期的指令。

其主要特征包括：

- 完全兼容MCS-51™指令集
- 优化的指令架构，最好情况下能够提供12倍传统8051指令集的执行效率
- 80%以上的指令可以在1到2个系统时钟内完成，没有超过12个指令周期的指令
- 支持双DPTR结构

5.2. 寄存器描述

表 5- 1 CPU 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SP	堆栈寄存器	x	R/W	0000_0111B	ALL BANK	81H
DPL	数据指针低字节	x	R/W	0000_0000B	ALL BANK	82H
DPH	数据指针高字节	x	R/W	0000_0000B	ALL BANK	83H
DPL1	数据指针 1 低字节	x	R/W	0000_0000B	ALL BANK	84H
DPH1	数据指针 1 高字节	x	R/W	0000_0000B	ALL BANK	85H
PCON	电源控制寄存器	x	R/W	0000_1000B	ALL BANK	87H
DPS	数据指针选择寄存器	x	R/W	0000_0000B	BANK0	C9H
DPC	数据指针控制寄存器	x	R/W	0000_0000B	BANK0	CAH
PSW	程序状态字寄存器	√	R/W	0000_0000B	ALL BANK	D0H
ACC	累加器	√	R/W	0000_0000B	ALL BANK	E0H
CKCON	访问时钟控制寄存器	x	R/W	0001_0000B	BANK0	D1H
B	B 寄存器	√	R/W	0000_0000B	ALL BANK	F0H

CPU寄存器详细说明如下：

堆栈寄存器（SP）

名称/地址:	SP, ALL BANK, 81H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SP							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	1	1	1
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 0]:SP, 堆栈指针寄存器

数据指针低字节（DPL）

名称/地址:	DPL, ALL BANK, 82H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DPL							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
--

➤ Bit[7: 0]: DPL, 数据指针低字节

数据指针高字节 (DPH)

名称/地址:

DPH, ALL BANK, 83H							
--------------------	--	--	--	--	--	--	--

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------

位 定 义:

DPH							
-----	--	--	--	--	--	--	--

访问权限:

R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
-----	-----	-----	-----	-----	-----	-----	---

复 位 值:

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
--

➤ Bit[7: 0]: DPH, 数据指针高字节

数据指针1低字节 (DPL1)

名称/地址:

DPL1, ALL BANK, 84H							
---------------------	--	--	--	--	--	--	--

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------

位 定 义:

DPL1							
------	--	--	--	--	--	--	--

访问权限:

R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
-----	-----	-----	-----	-----	-----	-----	---

复 位 值:

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
--

➤ Bit[7: 0]: DPL1, 数据指针低字节

数据指针1高字节 (DPH1)

名称/地址:

DPH1, ALL BANK, 85H							
---------------------	--	--	--	--	--	--	--

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------

位 定 义:

DPH1							
------	--	--	--	--	--	--	--

访问权限:

R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
-----	-----	-----	-----	-----	-----	-----	---

复 位 值:

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
--

➤ Bit[7: 0]: DPH1, 数据指针高字节

电源控制寄存器 (PCON)

名称/地址:

PCON, ALL BANK, 87H							
---------------------	--	--	--	--	--	--	--

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------

位 定 义:

SMOD	BD	SPOVEN	PMW	P2SEL	GF0	STOP	IDLE
------	----	--------	-----	-------	-----	------	------

访问权限:

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

复 位 值:

0	0	0	0	1	0	0	0
---	---	---	---	---	---	---	---

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
--

➤ Bit7: SMOD, 串口波特率倍增位

0: 正常波特率

1: 串口工作在模式1, 2, 3时, 波特率增加一倍

➤ Bit6: BD, 串口波特率选择位

0: 选择定时器T1作为波特率发生器

- 1: 选择串口自身的波特率发生器
- Bit5: SPOVEN, 堆栈溢出复位使能位
 - 0: 禁止堆栈溢出复位
 - 1: 使能堆栈溢出复位
- Bit4: PMW, 程序存储器数据存储器选择
 - 0: MOVX指令将访问数据存储器
 - 1: MOVX指令将访问程序存储器
- Bit3: P2SEL, 执行MOVX @Ri操作时, 高8位地址选择
 - 0: 选择P2寄存器中的内容作为高8 位地址
 - 1: 高8位地址为00H
- Bit2: GF0, 通用标志位0
- Bit1: STOP, 停机控制位
 - 0: 正常运行模式
 - 1: 进入停机模式
- Bit0: IDLE, 待机控制位
 - 0: 正常运行模式
 - 1: 进入待机模式

数据指针选择寄存器 (DPS)

名称/地址:	DPS, BANK0, C9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REV	REV	REV	REV	REV	REV	REV	DPSEL
访问权限:	R	R	R	R	R	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 1]: REV, 保留
- Bit0: DPSEL, DPTR选择位
 - 0: 选择DPL, DPH构成的DPTR0
 - 1: 选择DPL1, DPH1构成的DPTR1

数据指针控制寄存器 (DPC)

名称/地址:	DPC, BANK0, CAH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REV	REV	REV	REV	NDPSEL	AMS	AMD	AME
访问权限:	R	R	R	R	R	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 4]: REV, 保留
- Bit3: NDPSEL, 在执行MOVX @DPTR指令后, DPTR的选择

- 0: 选择DPTR0
- 1: 选择DPTR1
- Bit2: AMS, 在执行MOVX @DPTR后, DPTR自动更改的大小
 - 0: 自增或者自减1
 - 1: 自增或者自减2
- Bit1: AMD, 在执行MOVX @DPTR后, DPTR的改变方向
 - 0: 自动增加
 - 1: 自动减少
- Bit0: AME, 在执行MOVX @DPTR后, 当前DPTR改变使能位
 - 0: 执行MOVX @DPTR后, 不会更改当前的DPTR
 - 1: 执行MOVX @DPTR后, 更改当前的DPTR

注意: 在配制DPC寄存器时, 需要为每一个DPTR配制一组DPC寄存器。如果对于DPTR0配制下一个DPTR选择DPTR1, 对于DPTR1配制下一个DPTR选择DPTR0, 那么在程序拷贝时不需要频繁更改DPS寄存器就可以实现DPTR自动切换。

程序状态字寄存器 (PSW)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PSW, ALL BANK, D0H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: CY, 进位标志位
 - 0: 未产生进位标志
 - 1: 产生进位标志
- Bit6: AC, 辅助进位标志
 - 0: 在进行BCD码加减运算时, 未产生第3位向第4位的进位或者借位
 - 1: 在进行BCD码加减运算时, 产生第3位向第4位的进位或者借位
- Bit5: F0, 通用标志位0, 由用户置位或者清除
- Bit4: RS1, 工作寄存器组选择位1, 与RS0共同选择当前工作寄存器组, 当{RS1, RS0}为
 - 00: 工作寄存器组R0-R7所对应的存储器地址为00H-07H
 - 01: 工作寄存器组R0-R7所对应的存储器地址为08H-0FH
 - 10: 工作寄存器组R0-R7所对应的存储器地址为10H-17H
 - 11: 工作寄存器组R0-R7所对应的存储器地址为18H-1FH
- Bit3: RS0, 工作寄存器组选择位0。
- Bit2: OV, 溢出标志
 - 0: 运算未发生溢出
 - 1: 运算溢出

- Bit1: F1, 通用标志位1, 由用户置位或者清除
 - Bit0: P, 奇偶标志
- 0: 累加器A的1的个数为偶数
1: 累加器A的1的个数为奇数

累加器 (A)

名称/地址:

A, ALL BANK, E0H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
A							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

- Bit[7: 0]: A, 累加器

访问时钟控制寄存器 (CKCON)

名称/地址:

CKCON, BANK0, D1H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PSYNC	PWAIT			DSYNC	DWAIT		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	1	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

- Bit7: PSYNC, 同步或者异步访问程序存储器控制位
 - 0: 同步访问
 - 1: 异步访问
- Bit[6:4]: PWAIT, 访问程序存储器等待周期
 - 000: 不等待
 - 001: 等待1个系统周期
 - 010: 等待2个系统周期
 - 011: 等待3个系统周期
 - 100: 等待4个系统周期
 - 101: 等待5个系统周期
 - 110: 等待6个系统周期
 - 111: 等待7个系统周期
- Bit3: DSYNC, 同步或者异步访问数据存储器控制位
 - 0: 同步访问
 - 1: 异步访问
- Bit[2:0]: DWAIT, 访问数据存储器等待周期
 - 000: 不等待
 - 001: 等待1个系统周期

- 010: 等待2个系统周期
 - 011: 等待3个系统周期
 - 100: 等待4个系统周期
 - 101: 等待5个系统周期
 - 110: 等待6个系统周期
 - 111: 等待7个系统周期
- 寄存器B (B)

名称/地址:	B, ALL BANK, F0H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	B							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7: 0]: B, 在MUL和DIV操作中与累加器一起使用, 乘法操作时, 所得的16位积高字节存在寄存器B中

5.3. 指令集

ATM8F8040的指令集完全兼容标准MCS-51™指令集。支持标准8051的开发工具开发应用程序。所有指令的指令代码, 寻址方式和PSW标志都与标准51一致。

表5-2包括了列举了文中描述所使用的助记符。

表5-3给出了指令的16进制指令代码, 指令字节数和指令执行所需的时间。

表 5- 2 寻址方式助记符

符号	描述
Rn	当前选中的工作寄存器区的8个工作寄存器Rn (n=0~7)
Direct	8位内部数据存储器单元的地址。可以是内部RAM单元的地址 (00H~FFH) 或SFR的地址 (如I/O端口、控制寄存器、状态寄存器等)
Ri	当前选中的工作寄存器区中可作间址寄存器的2个寄存器Ri (i=0, 1)
#data	包含在指令中的8位立即数
#data16	包含在指令中的16位立即数
Bit	内部RAM或SFR中的直接寻址位
A	累加器
B	B寄存器, 用于MUL和DIV指令中
Addr16	16位目的地址, 用于LCALL和LJMP指令中
Addr11	11位目的地址, 用于ACALL和AJMP指令中, 它的地址必须与下一条指令的第一个字节的地址的高5位相同
rel	8位带符号的地址偏移量, 用于SJMP和所有的条件转移指令中; 偏移值相对于下一条指令的第一个字节的地址计算, 在-128~+127范围内取值
CY	进位或者借位标志
@	间址寄存器或基址寄存器的前缀, 如@Ri, @A, @DPTR

(X)	X中的内容
-----	-------

表 5- 3 操作指令集

助记符	描述	指令代码	占用字节	周期
算术运算类指令				
ADD A, Rn	$A=A+Rn$	0x28-0x2F	1	1
ADD A, Direct	$A=A+(Direct)$	0x25	2	2
ADD A, @Ri	$A=A+(Ri)$	0x26-0x27	1	2
ADD A, #data	$A=A+data$	0x24	2	2
ADDC A,Rn	$A=A+Rn+CY$	0x38-0x3F	1	1
ADDC A, Direct	$A=A+(Direct)+CY$	0x35	2	2
ADDC A,@Ri	$A=A+(Ri)+CY$	0x36-0x37	1	2
ADDC, #data	$A=A+data+CY$	0x34	2	2
SUBB A, Rn	$A=A-Rn-CY$	0x98-0x9F	1	1
SUBB A, Direct	$A=A-(Direct)-CY$	0x95	2	2
SUBB A, @Ri	$A=A-(Ri)-CY$	0x96-0x97	1	2
SUBB A, #data	$A=A-data-CY$	0x94	2	2
INC A	$A=A+1$	0x04	1	1
INC Rn	$Rn=Rn+1$	0x08-0x0F	1	1
INC Direct	$(Direct)=(Direct)+1$	0x05	2	2
INC @Ri	$(Ri)=(Ri)+1$	0x06-0x07	1	2
INC DPTR	$DPTR=DPTR+1$	0xA3	1	1
DEC A	$A=A-1$	0x14	1	1
DEC Rn	$Rn=Rn-1$	0x18-0x1F	1	1
DEC Direct	$(Direct)=(Direct)-1$	0x15	2	2
DEC @Ri	$(Ri)=(Ri)-1$	0x16-0x17	1	2
MUL AB	$A= A*B$	0xA4	1	4
DIV	$A=A/B$	0x84	1	4
逻辑操作(13*3+7)+3				
ANL A,Rn	$A= A \& B$	0x58-0x5F	1	1
ANL A, Direct	$A= A \& (Direct)$	0x55	2	2
ANL A, @Ri	$A= A \& (Ri)$	0x56-0x57	1	2
ANL A, #data	$A= A \& data$	0x54	2	2
ANL direct, A	$(Direct) = (Direct) \& A$	0x52	2	2
ANL direct, #data	$(Direct) = (Direct) \& data$	0x53	3	3
ORL A,Rn	$A= A B$	0x48-0x4F	1	1
ORL A, Direct	$A= A (Direct)$	0x45	2	2
ORL A, @Ri	$A= A (Ri)$	0x46-0x47	1	2
ORL A, #data	$A= A data$	0x44	2	2
ORL direct, A	$(Direct) = (Direct) A$	0x42	2	2
ORL direct, #data	$(Direct) = (Direct) data$	0x43	3	3
XRL A,Rn	$A= A \wedge B$	0x68-0x6F	1	1
XRL A, Direct	$A= A \wedge (Direct)$	0x65	2	2
XRL A, @Ri	$A= A \wedge (Ri)$	0x66-0x67	1	2

助记符	描述	指令代码	占用字节	周期
XRL A, #data	$A = A \oplus \text{data}$	0x64	2	2
XRL direct, A	$(\text{Direct}) = (\text{Direct}) \oplus A$	0x62	2	2
XRL direct, #data	$(\text{Direct}) = (\text{Direct}) \oplus \text{data}$	0x63	3	3
CLR A	把累加器 A 清零	0Xe4	1	1
CPL A	把累加器 A 取补后赋值给 A	0Xf4	1	1
RL A	把累加器 A 的各个位循环左移一位	0x23	1	1
RLC A	把累加器 A 的各个位, 连同进位标志循环左移一位	0x33	1	1
RR A	把累加器 A 的各个位循环右移一位	0x03	1	1
RRC A	把累加器 A 的各个位, 连同进位标志循环右移一位	0x13	1	1
SWAP A	交换累加器 A 中的低 4 位和高 4 位	0Xc4	1	1
数据转移指令(68+10)				
MOV A, Rn	$A = Rn$	0Xe8-0Xef	1	1
MOV A, Direct	$A = (\text{Direct})$	0Xe5	2	2
MOV A, @Ri	$A = (Ri)$	0Xc6-0Xc7	1	2
MOV A, #data	$A = \text{data}$	0x74	2	2
MOV Rn, A	$Rn = A$	0Xf8-0Xff	1	1
MOV Rn, Direct	$Rn = (\text{Direct})$	0Xa8-0Xaf	2	2
MOV Rn, #data	$Rn = \text{data}$	0x78-0x7F	2	2
MOV Direct, A	$(\text{Direct}) = A$	0Xf5	2	2
MOV Direct, Rn	$(\text{Direct}) = Rn$	0x88-0x8F	2	2
MOV Direct1, Direct2	$(\text{Direct1}) = (\text{Direct2})$	0x85	3	3
MOV Direct, @Ri	$(\text{Direct}) = (Ri)$	0x86-0x87	2	2
MOV Direct, #data	$(\text{Direct}) = \text{data}$	0x75	3	3
MOV @Ri, A	$(Ri) = A$	0Xf6-0Xf7	1	1
MOV @Ri, direct	$(Ri) = (\text{Direct})$	0Xa6-0Xa7	2	2
MOV @Ri, #data	$(Ri) = \text{data}$	0x76-0x77	2	2
MOV DPTR, #data16	$DPTR = \text{data16}$	0x90	3	3
MOVC A, @A+DPTR	$A = (A + DPTR)$	0x93	1	3
MOVC A, @A+PC	$A = (A + PC)$	0x83	1	3
MOVX A, @Ri	$A = (Ri)$, Ri 代表外部数据存储器的 8 位地址	0Xe2-0Xe3	1	3-10
MOVX A, @DPTR	$A = (DPTR)$, DPTR 代表外部数据存储器的 16 位地址	0Xe0	1	3-10
MOVX @Ri, A	$(Ri) = A$, Ri 代表外部数据存储器的 8 位地址	0Xf2-0Xf3	1	3-12
MOVX @DPTR, A	$(DPTR) = A$, DPTR 代表外部数据存储器的 16 位地址	0Xf0	1	3-12
PUSH Direct	$(SP) = (\text{Direct}), SP = SP + 1$	0Xc0	2	2
POP Direct	$(\text{Direct}) = (SP), SP = SP - 1$	0Xd0	2	2
XCH A, Rn	$A = (Rn), (Rn) = A$	0Xc8-0Xcf	1	1
XCH A, Direct	$A = (\text{Direct}), (\text{Direct}) = A$	0Xc5	2	2
XCH A, @Ri	$A = (Ri), (Ri) = A$	0Xc6-0Xc7	1	2
XCHD A, @Ri	$A[3:0] = (Ri)[3:0], (Ri)[3:0] = A[3:0]$	0Xd6-0Xd7	1	2
跳转分支(18)+33				
ACALL Addr11	子程序调用	xxx10001b	2	2
LCALL Addr16	子程序长调用	0x12	3	3

助记符	描述	指令代码	占用字节	周期
RET	子程序返回	0x22	1	4
RETI	中断返回	0x32	1	4
AJMP Addr11	绝对跳转	Xxx00001b	2	2
LJMP Addr16	长跳转	0x02	3	3
SJMP rel	短跳转	0x80	2	2
JMP @A+DPTR	程序跳转到 A+DPTR 地址	0x73	1	3
JZ rel	累加器为零跳转	0x60	2	3
JNZ rel	累加器非零跳转	0x70	2	3
JC rel	进位跳转	0x40	2	3
JNC rel	非进位跳转	0x50	2	3
JB bit, rel	如果 bit所代表的位不为零跳转	0x20	3	4
JNB bit, rel	如果 bit所代表的位为零跳转	0x30	3	4
JBC bit, rel	如果 bit所代表的位不为零跳转，同时清除该 bit	0x10	3	4
CJNE A, direct,rel	如果 A 与(direct)的值不等跳转	0Xb6	3	4
CJNE A, #data, rel	如果 A 与 data 的值不等跳转	0Xb4	3	4
CJNE Rn, #data, rel	如果 Rn 与data 的值不等跳转	0Xb8-0Xbf	3	4
CJNE @Ri, #data, rel	如果(Ri)与 data 的值不等跳转	0Xb6-0Xb7	3	5
DJNZ Rn, rel	如果 Rn-1 不为零跳转	0Xd8-0Xdf	2	3
DJNZ direct, rel	如果(direct)-1 不为零跳转	0Xd5	3	4
NOP	空指令	0x00	1	1
位操作				
CLR C	清除进位标志	0Xc3	1	1
CLR bit	把 bit代表的位寻址空间中的某位清零	0Xc2	2	2
SETB C	置进位标志	0Xd3	1	1
SETB bit	把 bit代表的位寻址空间中的某位置 1	0Xd2	2	2
CPL C	把进位标志取反	0Xb3	1	2
CPL bit	把 bit代表的位寻址空间中的某位取反	0Xb2	2	2
ANL C, bit	$C=C \& \text{bit}$	0x82	2	2
ANL C, /bit	$C=C \& (!\text{bit})$	0Xb0	2	2
ORL C, bit	$C=C \text{bit}$	0x72	2	2
ORL C, /bit	$C=C (!\text{bit})$	0Xa0	2	2
MOV C, bit	$C= \text{bit}$	0Xa2	2	2
MOV bit, C	$\text{Bit} = C$	0x92	2	2

6. 存储器组织

6.1. 基本特征

ATM8F8040的存储器架构与标准8051类似。包括三个独立的存储器空间：程序存储空间，内部数据存储空间和外部数据存储空间。程序存储空间和外部数据地址空间共用一组16位的地址总线，通过不同的指令来区别访问。对于内部数据存储空间，采用8位的地址总线来访问。对于ATM8F8040共支持16KB的FLASH程序存储空间，128字节的EEPROM空间，256字节的内部数据存储空间和512字节的外部数据存储空间。

ATM8F8040的存储器架构框图如下图所示：

6.2. 存储器组织结构

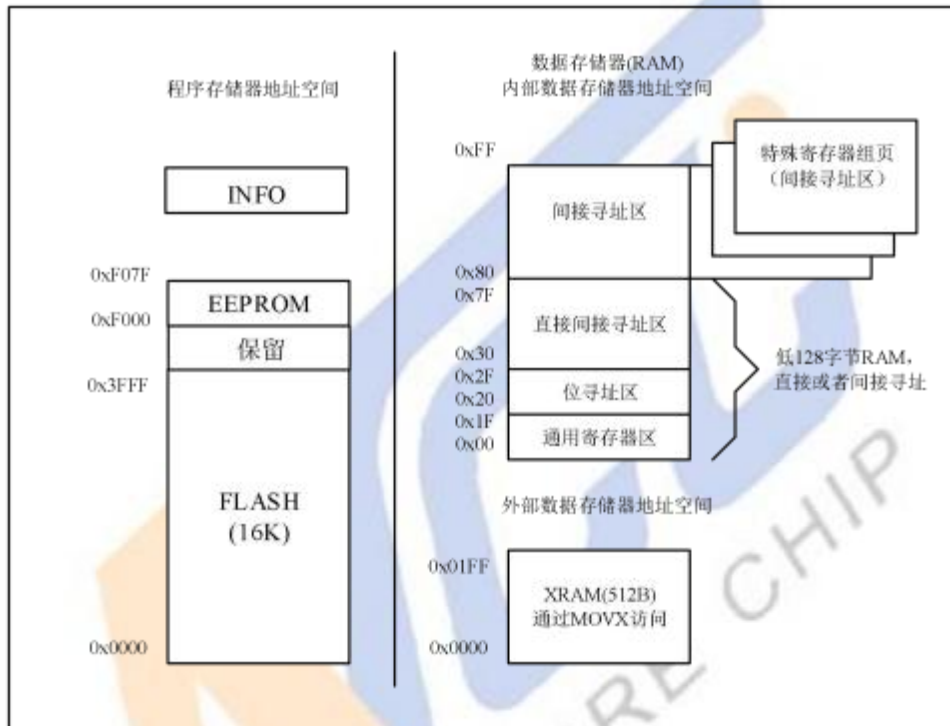


图 6- 1 ATM8F8040 存储器空间

6.3. 功能描述

6.3.1. 程序存储空间

ATM8F8040具有16K字节的FLASH程序存储空间，寻址范围从0x0000到0x3FFF。同时还支持128字节的EEPROM区域，地址范围是0xf000到0xf07f。

对于FLASH存储空间的擦除和烧录详见FLASH操作章节。MOVX指令通常用于访问外部数据存储器区域。在CPU执行指令读取或者通过MOVC指令可以访问程序存储空间的内容。

在复位操作完成时，CPU从0x0000H地址开始执行程序。由于FLASH和RAM的访问速度不同，用户可以通过配置CKCON中的程序存储器访问等待位来配置访问需要等待的时间。

6.3.2. 外部数据存储空间

ATM8F8040具有512字节的外部数据存储空间，寻址范围从0x0000到0x01FF。

MOVX指令通常用于访问外部数据存储器区域，在访问外部数据存储空间之前需要配置确保PCON中的PMW位为0。

用户可以通过CKCON中的数据存储器访问等待位来配置访问外部数据存储器所需要的等待时间。

6.3.3. 内部数据存储空间

ATM8F8040支持256字节的内部数据存储空间。其中低128个字节分为三个部分，这部分存储器可以通过直接或者间接寄存器寻址访问。其中:0x00-0x1F部分是工作寄存器组空间，用户可以通过PSW寄存器来配置当前的工作寄存器组，每个工作寄存器组支持8个寄存器，采用R0-R7来区别。0x20-0x2F是位寻址空间，用户可以通过位地址0x00-0x7F访问该空间中的任何一个比特位。其他部分是通用存储器空间。

内部数据存储器的高128个字节只能通过间接寄存器寻址来访问。这部分存储器与特殊寄存器页组占用同样的地址空间。

6.3.4. DPTR 数据指针

ATM8F8040支持双DPTR,用户可以通过DPS选择当前的DPTR,也可以通过DPC寄存器自动切换DPTR。

在配置时,需要首先选中要配置的DPTR,然后配置相应的DPL,DPH寄存器,同时配置DPC指出通过MOVX指令后下次的DPTR选择是自己还是另一个。也可以通过DPC选择是否要求DPTR自增或者自减。

6.4. 示例程序

如果需要读取外部数据存储器 0x0000~0x0003 的数据,然后将该部分数据写到 0x0010-0x0013,程序可以这样写:

```

MOV  DPS, #00H    ;选中DPTR0

MOV  DPL, #00H

MOV  DPH, #00H

MOV  DPC, #09H    ; 使能DPTR0自增1操作,同时下一个DPTR指针采用DPTR1

MOV  DPS, #01H    ;选中DPTR1

MOV  DPL1, #10H

MOV  DPH1, #00H

MOV  DPC, #01H    ; 使能DPTR1自增1操作,同时下一个DPTR指针采用DPTR0

MOV  DPS, #00H    ; 选中DPTR0

MOVX A, @DPTR     ; A= (0000H), DPTR0=0001H, DPTR切换到DPTR1

MOVX @DPTR, A     ; (0010)=A, DPTR1=0011H, DPTR 切换到DPTR0

MOVX A, @DPTR     ; A= (0001H), DPTR0=0002H, DPTR切换到DPTR1

MOVX @DPTR, A     ; (0011)=A, DPTR1=0012H, DPTR 切换到DPTR0

MOVX A, @DPTR     ; A= (0002H), DPTR0=0003H, DPTR切换到DPTR1

MOVX @DPTR, A     ; (0012)=A, DPTR1=0013H, DPTR 切换到DPTR0

MOVX A, @DPTR     ; A= (0003H), DPTR0=0004H, DPTR切换到DPTR1

MOVX @DPTR, A     ; (0013)=A, DPTR1=0014H, DPTR 切换到DPTR0

```

7. 寄存器组

ATM8F8040采用分页的方式来管理特殊功能寄存器组，占用0x80-0Xff的内部数据存储地址，通过直接寻址来访问。在ATM8F8040中共分3个页，可以通过BANK寄存器来切换不同的寄存器页。在不同的寄存器页中支持全局访问的寄存器和只有本页才能访问的寄存器。

7.1. 寄存器描述

表 7- 1 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
BANK	页选择寄存器	√	R/W	0000 0000B	ALL BANK	F8H

寄存器详细说明如下：

页选择寄存器（BANK）

名称/地址：
位 序 号：
位 定 义：
访问权限：
复 位 值：
提 示：

BANK , BANK0/1, F8H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BANK							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

➤ Bit[7:0]: BANK, 页选择寄存器

00H: 选择BANK0

01H: 选择BANK1

其他: 保留

7.2. 功能描述

ATM8F8040的特殊功能寄存器众多，标准51的分配的128个特殊功能寄存器空间已经不能满足需求，为了实现对各个外设的控制和交互，ATM8F8040采用了分页的方法来对特殊寄存器空间进行扩展。扩展特殊功能寄存器的访问地址和原有的128个特殊功能寄存器地址相同，通过BANK寄存器来选择不同的扩展页。对于有些特殊的系统寄存器如SP, P0, IE寄存器等，需要实时访问，因此这些寄存器可以在所有的BANK中都可以访问。具有这些属性的寄存器为从80H-8FH和90H-9FH中以0H和8H结尾的寄存器。

各个特殊寄存器页中的寄存器列表如下：

表 7- 2 BANK0 寄存器列表

HEX/Bin	X000	X001	X010	X011	X100	X101	X110	X111
F8H	BANK	CCR3H	CCR3L	PWMOEN	PWMSEL1	PWMSELO	CCIEN	CCISR
F0H	B	ADCON	ADATAH	ADATAL	ADCFG	ADTRG	ADREF	ADSAMP
E8H		POPCR	P1PCR	P2PCR	AENCON0	PWMPOL	PWMLOCK	PWMFC
E0H	ACC	POCR	P1CR	P2CR	AENCON1	POSELH	P1SELH	P2SELH
D8H		POODR	P1ODR	P2ODR	BUZCON	POSELL	P1SELL	P2SELL
D0H	PSW	CKCON	SYSCON	CLKCFG	CLKEN0	CLKEN1	BORRCON	CLKSTAT
C8H	IEN2	DPS	DPC	IP20	IP21	WTCON	WDTCN	WDTWK
COH	IEN1	FSHCON	FSHDATL	FSHDATH	FSHADRL	FSHADRH	FSHDIV	RSTID
B8H	IPO0	T2MOD	T2CAPL1	T2CAPH1	T2CAPL2	T2CAPH2	T2CAP	T2CAPSTAT
BOH		EINT0	EINT1		T2CON	T2CNTL	T2CNTH	T2EXTS

A8H	IE	PWMCON	PWMCFG	PWMPERH	PWMPERL	PWMDR	PW MDF	EVTCON
A0H	P2	S1CON	S1BUF	S1RELL	S1RELH	IP01	IP10	IP11
98H	SOCON	SOBUF	SORELL	SORELH	CRCCON	CRCDAT	CRCS D0	CRCS D1
90H	P1	CCROH	CCROL	CCR1H	CCR1L	CCR2H	CCR2L	PWMIE
88H	TCON	TMOD	TLO	TL1	TH0	TH1	TIMPRS	SRST
80H	P0	SP	DPL	DPH	DPL1	DPH1	WDTRLD	PCON

表 7- 3 BANK1 寄存器列表

HEX/Bin	X000	X001	X010	X011	X100	X101	X110	X111
F8H	BANK	WPKEY	REMAP		XTALCON			
FOH	B							
E8H								
EOH	ACC	CPLCON	CPLCH0	CPLCH1	CPLCH2	CPLCH3	SPOVL	SPOVH
D8H								
DOH	PSW							
C8H	IEN2			IP20	IP21			
COH	IEN1							
B8H	IP00							
BOH								
A8H	IE							
A0H	P2					IP01	IP10	IP11
98H	SOCON							
90H	P1							
88H	TCON							
80H	P0	SP	DPL	DPH	DPL1	DPH1	WDTRLD	PCON

8. 中断系统

ATM8F8040采用8位单周期快速51核，最多支持17组共17个独立中断源。其中组0为复位中断，为不可屏蔽中断。其他16个组共16个中断源可配置为独立中断源，系统为这些中断源分配确定的中断入口地址，同时这些中断组也可以单独配置为不同的4个优先级。在实际使用中可通过若干个中断源共享一个中断入口地址来实现更多中断资源扩展。

当中断请求发生并被CPU接收时，主程序将停止运行。进入中断的动作如下：

- 等待当前指令执行完毕
- 将PC值压入堆栈
- 保存当前的中断状态并禁止同级或者更低优先级的中断执行
- 载入系统分配的中断入口地址
- 执行相应的中断子程序

当中断子程序执行完成，退出中断的动作如下表示：

- 中断子程序执行完成后执行RETI指令退出中断
- 系统执行PC值出栈动作
- 判断有无同级或者更低优先级中断，若无则继续执行中断之前的程序，若有则执行相应的中断子程序

注：以上功能根据需要添加。

8.1. 内部框图

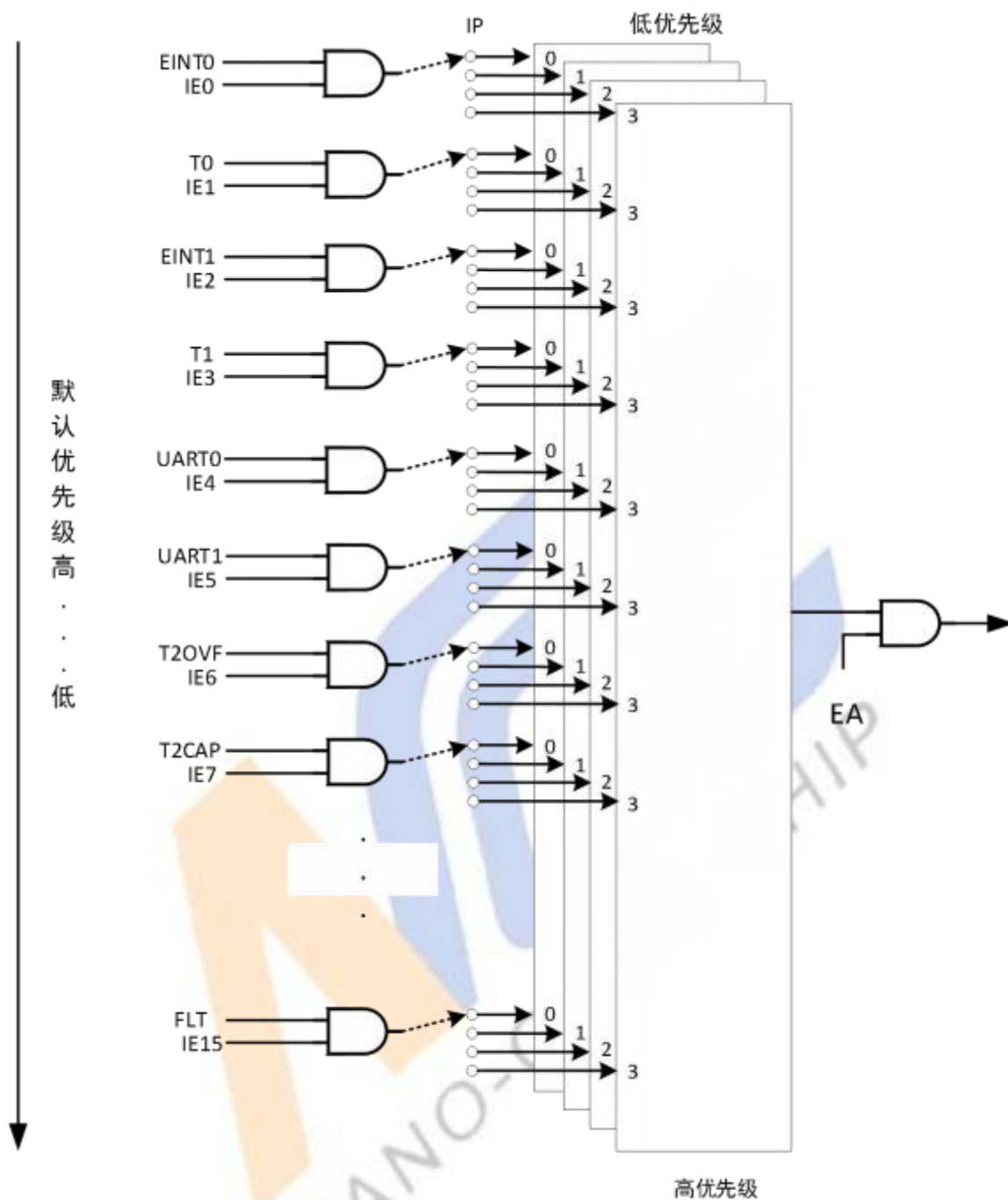


图 8- 1 中断结构图

8.2. 管脚配置

31个中断源分配为17个组，其相应的中断对应地址列表如下：

表 8-1 中断向量表及优先级

组号	中断号	向量	说明	中断使能位	中断标志	清除
-1	-	00H	复位中断	不可屏蔽	保留	硬件
0	0	03H	外部管脚 P20, 高/低电平, 上升/下降沿触发	IEN0. 0	TCON. 1	软件/硬件
			看门狗匹配, 高/低电平, 上升/下降沿触发		TCON. 1	软件/硬件
1	1	0BH	定时器 0 溢出中断	IEN0. 1	TCON. 5	软件/硬件

2	2	13H	外部管脚 P21, 高/低电平, 上升/下降沿触发	IEN0. 2	TCON. 3	软件/硬件
			唤醒定时器溢出, 高/低电平, 上升/下降沿触发		TCON. 3	软件/硬件
3	3	1BH	定时器 1 溢出中断	IEN0. 3	TCON. 7	软件/硬件
4	4	23H	UART0 发送完成标志	IEN0. 4	SOCON. 1	软件
			UART0 接收完成标志		SOCON. 0	软件
5	5	2BH	UART1 发送完成标志	IEN0. 5	S1CON. 1	软件
			UART1 接收完成标志		S1CON. 0	软件
6	6	33H	T2 匹配中断/溢出中断	IEN1. 0	T2CON. 7	软件/硬件
7	7	3BH	T2 外部触发源 0 捕获中断	IEN1. 1	T2CAPS. 4	软件/硬件
			T2 外部触发源 1 捕获中断		T2CAPS. 5	软件/硬件
			T2 外部触发源 2 捕获中断		T2CAPS. 6	软件/硬件
			T2 外部触发源 3 捕获中断		T2CAPS. 7	软件/硬件
8	8	43H	ADC 转换结束标志	IEN1. 2	ADCCON. 1	软件/硬件
9	9	4BH	ADC 转换结果匹配标志	IEN1. 3	ADCCON. 2	软件/硬件
10	10	53H	时钟操作错误	IEN1. 4	CLKSTAT. 7	软件
11	11	5BH	CPL 中断	IEN1. 5	不可读	软件/硬件
12	12	63H	外部管脚 P00~P07	IEN2. 0	EINT0. 5	软件/硬件
13	13	6BH	外部管脚 P10~P17	IEN2. 1	EINT1. 5	软件/硬件
14	14	73H	PWM 更新事件标志	IEN2. 2	PWMIEN. 7	软件
			PWM 故障标志		PWMIEN. 6	软件
			PWM 周期溢出标志		PWMIEN. 5	软件
			PWM 过零溢出标志		PWMIEN. 4	软件
15	15	7BH	通道 0 比较模式上升沿匹配/通道 0 捕获中断	IEN2. 3	CCISR. 0	软件
			通道 0 比较模式下降沿匹配		CCISR. 1	软件
			通道 1 比较模式上升沿匹配/通道 1 捕获中断		CCISR. 2	软件
			通道 1 比较模式下降沿匹配		CCISR. 3	软件
			通道 2 比较模式上升沿匹配/通道 2 捕获中断		CCISR. 4	软件
			通道 2 比较模式下降沿匹配		CCISR. 5	软件
			通道 3 比较模式上升沿匹配/通道 3 捕获中断		CCISR. 6	软件
			通道 3 比较模式下降沿匹配		CCISR. 7	软件

在中断响应执行时中断优先级按照组号越小, 中断优先级越高, 同一组内的中断, 中断向量地址越小优先级越高的顺序执行。对组-1中断(系统复位RST, 中断向量地址为0000H), 其具有最高的优先级, 且不可屏蔽, 只要发生就直接复位整个芯片, 主程序将重新从地址0000H开始执行。对于其他中断源受全局中断使能位和各自相应的中断使能位控制。当全局中断使能位为0时, 所有的中断都不会发生。只有当全局中断使能位为1, 同时相应的中断使能位也置1时才能开启相应的中断。

ATM8F8040最大可支持4级中断优先级, 用户可以通过中断优先级寄存器(IP00, IP01, IP10, IP11, IP20, IP21)为每个组分配固定的中断优先级。在同一中断优先级内, 组号小的中断源优先响应中断, 同一组内中断向量小的中断源优先响应中断。对于上述17个组中断源, 用户可以随意设置其相应的中断优先级。不同优先级配置时, 按照中断优先级值设置越高, 其相应的组的优先级越高, 即中断优先级为3的中断源优先级高于中断优先级为2的中断源。

系统中断源的优先级如图8-1所示, 图中中断使能位的设置由IEN0~IEN2共3个寄存器设置。全局中断使能由IEN0的第7位控制。中断优先级的控制由IP00, IP01, IP10, IP11, IP20, IP21共6个寄存器控制。

8.3. 寄存器描述

表 8-2 中断控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
IEN0	中断使能寄存器 0	×	R/W	0000_0000B	ALL BANK	A8H
IEN1	中断使能寄存器 1	×	R/W	0000_0000B	ALL BANK	C0H
IEN2	中断使能寄存器 2	×	R/W	0000_0000B	ALL BANK	C8H
IP00	中断优先级配置寄存器 00	×	R/W	0000_0000B	ALL BANK	B8H
IP01	中断优先级配置寄存器 01	×	R/W	0000_0000B	ALL BANK	A5H
IP10	中断优先级配置寄存器 10	×	R/W	0000_0000B	ALL BANK	A6H
IP11	中断优先级配置寄存器 11	×	R/W	0000_0000B	ALL BANK	A7H
IP20	中断优先级配置寄存器 20	×	R/W	0000_0000B	ALL BANK	CBH
IP21	中断优先级配置寄存器 21	×	R/W	0000_0000B	ALL BANK	CCH

中断控制寄存器详细说明如下：

中断使能寄存器0 (IEN0)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

IEN0, ALL BANK, A8H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EA	-	UART1	UART0	TIM1 V	INT1/WT	TIM0 V	INT0/WDG
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: EA, 全部中断使能位
0: 禁止中断
1: 使能中断
- Bit6: 保留
- Bit5: UART1, UART1中断向量入口地址002BH对应中断使能
0: 禁止
1: 使能
- Bit4: UART0, UART0中断向量入口地址0023H对应中断使能
0: 禁止
1: 使能
- Bit3: TIM1_V, TIM1溢出中断向量入口地址001BH对应中断使能
0: 禁止
1: 使能
- Bit2: INT1/WT, INT1/WT中断向量入口地址0013H对应中断使能
0: 禁止
1: 使能
- Bit1: TIM0_V, TIM0溢出中断向量入口地址000BH对应中断使能
0: 禁止

1: 使能

- Bit0: INT0/WDG, INT0/WDG中断向量入口地址0003H对应中断使能

0: 禁止

1: 使能

中断使能寄存器1 (IEN1)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

IEN1, ALL BANK, C0H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	CPL	CLK_ERR	ADC_M	ADC_E	TIM2_CAP	TIM2_MV
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: 保留

- Bit5: CPL, CPL中断向量入口地址005BH对应中断使能

0: 禁止

1: 使能

- Bit4: CLK_ERR, 时钟操作错误中断向量入口地址0053H对应中断使能

0: 禁止

1: 使能

- Bit3: ADC_M, ADC结果匹配标志中断向量入口地址004BH对应中断使能

0: 禁止

1: 使能

- Bit2: ADC_E, ADC转换结束标志中断向量入口地址0043H对应中断使能

0: 禁止

1: 使能

- Bit1: TIM2_CAP, TIM2外部触发捕获中断向量入口地址003BH对应中断使能

0: 禁止

1: 使能

- Bit0: TIM2_MV, TIM2匹配/溢出中断向量入口地址0033H对应中断使能

0: 禁止

1: 使能

中断使能寄存器2 (IEN2)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

IEN2, ALL BANK, C8H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	-	PWM_C	PWM	INT3	INT2
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:4]: 保留
- Bit3: PWM_C, PWM通道0/1/2/3比较模式中中断向量入口地址007BH对应中断使能
0: 禁止
1: 使能
- Bit2: PWM, PWM更新事件/故障标志/周期溢出/过零溢出中断向量入口地址0073H对应中断使能
0: 禁止
1: 使能
- Bit1: INT3, INT3中断向量入口地址006BH对应中断使能
0: 禁止
1: 使能
- Bit0: INT2, INT2中断向量入口地址0063H对应中断使能
0: 禁止
1: 使能

中断优先级寄存器00 (IP00)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

IP00, ALL BANK, B8H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	UART1(A)	UART0(A)	TIM1_V(A)	INT1/WT(A)	TIM0_V(A)	INT0/WDG(A)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: 保留
- Bit5: UART1(A), 与中断优先级寄存器01 (IP01) 中对应UART1(B)一起确定UART1中断优先级 { UART1(B), UART1(A)}:
00: 中断优先级0
01: 中断优先级1
10: 中断优先级2
11: 中断优先级3
- Bit4: UART0(A), 与中断优先级寄存器01 (IP01) 中对应UART0(B)一起确定UART0中断优先级 { UART0(B), UART0(A)}:
00: 中断优先级0
01: 中断优先级1
10: 中断优先级2
11: 中断优先级3
- Bit3: TIM1_V(A), 与中断优先级寄存器01 (IP01) 中对应TIM1_V(B)一起确定TIM1溢出中断优先级 { TIM1_V(B), TIM1_V(A)}:
00: 中断优先级0

- 01: 中断优先级1
- 10: 中断优先级2
- 11: 中断优先级3
- Bit2: INT1/WT(A), 与中断优先级寄存器01 (IP01) 中对应INT1/WT(B)一起确定INT1/WT中断优先级 { INT1/WT(B), INT1/WT(A)}:
- 00: 中断优先级0
- 01: 中断优先级1
- 10: 中断优先级2
- 11: 中断优先级3
- Bit1: TIM0_V(A), 与中断优先级寄存器01 (IP01) 中对应TIM0_V(B)一起确定TIM0溢出中断优先级 { TIM0_V(B), TIM0_V(A)}:
- 00: 中断优先级0
- 01: 中断优先级1
- 10: 中断优先级2
- 11: 中断优先级3
- Bit0: INTO/WDG(A), 与中断优先级寄存器01 (IP01) 中对应INT0/WDG(B)一起确定INT0/WDG中断优先级 { INTO/WDG(B), INTO/WDG(A)}:
- 00: 中断优先级0
- 01: 中断优先级1
- 10: 中断优先级2
- 11: 中断优先级3

中断优先级寄存器01 (IP01)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

IP01, ALL BANK, A5H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	UART1(B)	UART0(B)	TIM1_V(B)	INT1/WT(B)	TIM0_V(B)	INT0/WDG(B)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: 保留
- Bit[5:0]: 参考IP00寄存器描述

中断优先级寄存器10 (IP10)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:

IP10, ALL BANK, A6H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	CPL(A)	CLK_ERR(A)	ADC_M_FLAG(A)	ADC_E_FLAG(A)	TIM2_CAP(A)	TIM2_MV(A)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

提示: - : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: 保留
- Bit5: CPL(A), 与中断优先级寄存器11 (IP11) 中对应CPL(B)一起确定CPL中断优先级
 { CPL(B), CPL(A)}:
 00: 中断优先级0
 01: 中断优先级1
 10: 中断优先级2
 11: 中断优先级3
- Bit4: CLK_ERR(A), 与中断优先级寄存器11 (IP11) 中对应CLK_ERR(B)一起确定时钟操作错误中断优先级
 { CLK_ERR(B), CLK_ERR(A)}:
 00: 中断优先级0
 01: 中断优先级1
 10: 中断优先级2
 11: 中断优先级3
- Bit3: ADC_M_FLAG(A), 与中断优先级寄存器11 (IP11) 中对应ADC_M_FLAG(B)一起确定ADC结果匹配标志优先级
 { ADC_M_FLAG(B), ADC_M_FLAG(A)}:
 00: 中断优先级0
 01: 中断优先级1
 10: 中断优先级2
 11: 中断优先级3
- Bit2: ADC_E_FLAG(A), 与中断优先级寄存器11 (IP11) 中对应ADC_E_FLAG(B)一起确定ADC转换结束标志中断优先级
 { ADC_E_FLAG(B), ADC_E_FLAG(A)}:
 00: 中断优先级0
 01: 中断优先级1
 10: 中断优先级2
 11: 中断优先级3
- Bit1: TIM2_CAP(A), 与中断优先级寄存器11 (IP11) 中对应TIM2_CAP(B)一起确定TIM2外部触发捕获中断优先级
 { TIM2_CAP(B), TIM2_CAP(A)}:
 00: 中断优先级0
 01: 中断优先级1
 10: 中断优先级2
 11: 中断优先级3
- Bit0: TIM2_MV(A), 与中断优先级寄存器11 (IP11) 中对应TIM2_MV(B)一起确定TIM2匹配/溢出中断优先级
 { TIM2_MV(B), TIM2_MV(A)}:
 00: 中断优先级0

- 01: 中断优先级1
- 10: 中断优先级2
- 11: 中断优先级3

中断优先级寄存器11 (IP11)

名称/地址:	IP11, ALL BANK, A7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	CPL(B)	CLK_ERR(B)	ADC_M_FLAG(B)	ADC_E_FLAG(B)	TIM2_CAP(B)	TIM2_MV(B)
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: 保留
- Bit[5:0]: 参考IP10寄存器描述

中断优先级寄存器20 (IP20)

名称/地址:	IP20, ALL BANK, CBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	IP16A	PWM_C(A)	PWM(A)	INT3(A)	INT2(A)
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:5]: 保留
- Bit4: IP16A, 保留
- Bit3: PWM_C(A), 与中断优先级寄存器21 (IP21) 中对应PWM_C(B)一起确定PWM通道0/1/2/3比较模式中断优先级 { PWM_C(B), PWM_C(A)}:
 - 00: 中断优先级0
 - 01: 中断优先级1
 - 10: 中断优先级2
 - 11: 中断优先级3
- Bit2: PWM(A), 与中断优先级寄存器21 (IP21) 中对应PWM(B)一起确定PWM更新事件/故障标志/周期溢出/过零溢出中断优先级 { PWM(B), PWM(A)}:
 - 00: 中断优先级0
 - 01: 中断优先级1
 - 10: 中断优先级2
 - 11: 中断优先级3
- Bit1: INT3(A), 与中断优先级寄存器21 (IP21) 中对应INT3(B)一起确定INT3中断优先级 { INT3(B), INT3(A)}:

00: 中断优先级0

01: 中断优先级1

10: 中断优先级2

11: 中断优先级3

- Bit0: INT2(A), 与中断优先级寄存器21 (IP21) 中对应INT2(B) 一起确定INT2中断优先级 { INT2(B), INT2(A)}:

00: 中断优先级0

01: 中断优先级1

10: 中断优先级2

11: 中断优先级3

中断优先级寄存器 21 (IP21)

名称/地址:

IP21, ALL BANK, CCH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	IP16B	PWM_C(B)	PWM(B)	INT3(B)	INT2(B)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: 保留
- Bit[5:0]: 参考IP20寄存器描述

8.4. 功能描述

程序正常运行时, 如果某个中断满足条件, 相应的中断标志将置1, 若此时相应的中断使能位使能, 同时全局中断打开, 该中断将会被执行。CPU等待当前指令结束完成后, 保持PC指针到堆栈, 跳转到相应的中断向量地址开始执行中断服务子程序。子程序执行完毕后, 通过RETI指令退出中断服务子程序。CPU从堆栈中出栈中断服务子程序执行前的PC指针, 继续先前程序的执行。

如果对应中断使能位未使能或者全局中断未打开, 那么中断标志虽然置起, 但是中断子程序不会运行。

中断标志的清除有两种方式, 一种是硬件清除, 一种是软件清除。当中断允许, 同时CPU响应中断时, 系统硬件将会自动将中断位清除。若中断未允许, 中断标志位只能通过软件清除。

在中断执行时, 设置为高优先级的中断可以中断低优先级的中断。同级的中断不能嵌套。当多个中断源同时发生时, 中断组号低的中断源优先级高于中断组号高的中断优先级, 同一组中, 低中断向量的中断源优先级高于高中断向量的中断优先级。

中断响应时间与当前中断的指令有关, 若不执行MOVX指令, 则中断响应时间低于7个CPU时钟。若在执行MOVX指令时发生中断, 最大会有14个CPU时钟周期的延迟。

9. 外部中断

ATM8F8040的外部中断分成两种类型，共支持4个外部中断源,其中外部中断0和外部中断1是中断类型A，外部中断2和外部中断3是中断类型B。

- 外部中断0可以选择外部管脚P20输入或者是WDT定时器匹配输入
 - 外部中断1可以选择外部管脚P21输入或者是WT定时器溢出输出
 - 外部中断2可以选择外部端口P0的任何一个管脚输入
 - 外部中断3可以选择外部端口P1的任何一个管脚输入
- 4个外部中断源都可以作为停机模式的唤醒源。

9.1. 基本特征

- 中断源INT0/INT1/INT2/INT3均可设置为电平触发或者边沿触发
- 中断源配置为电平触发时，INT0/INT1支持高电平触发或低电平触发，INT2/INT3仅支持低电平触发
- 中断源配置为脉冲触发时，均支持上沿或下沿触发，但INT0/INT1不支持双沿触发，INT2/INT3支持双沿触发

9.2. 内部框图

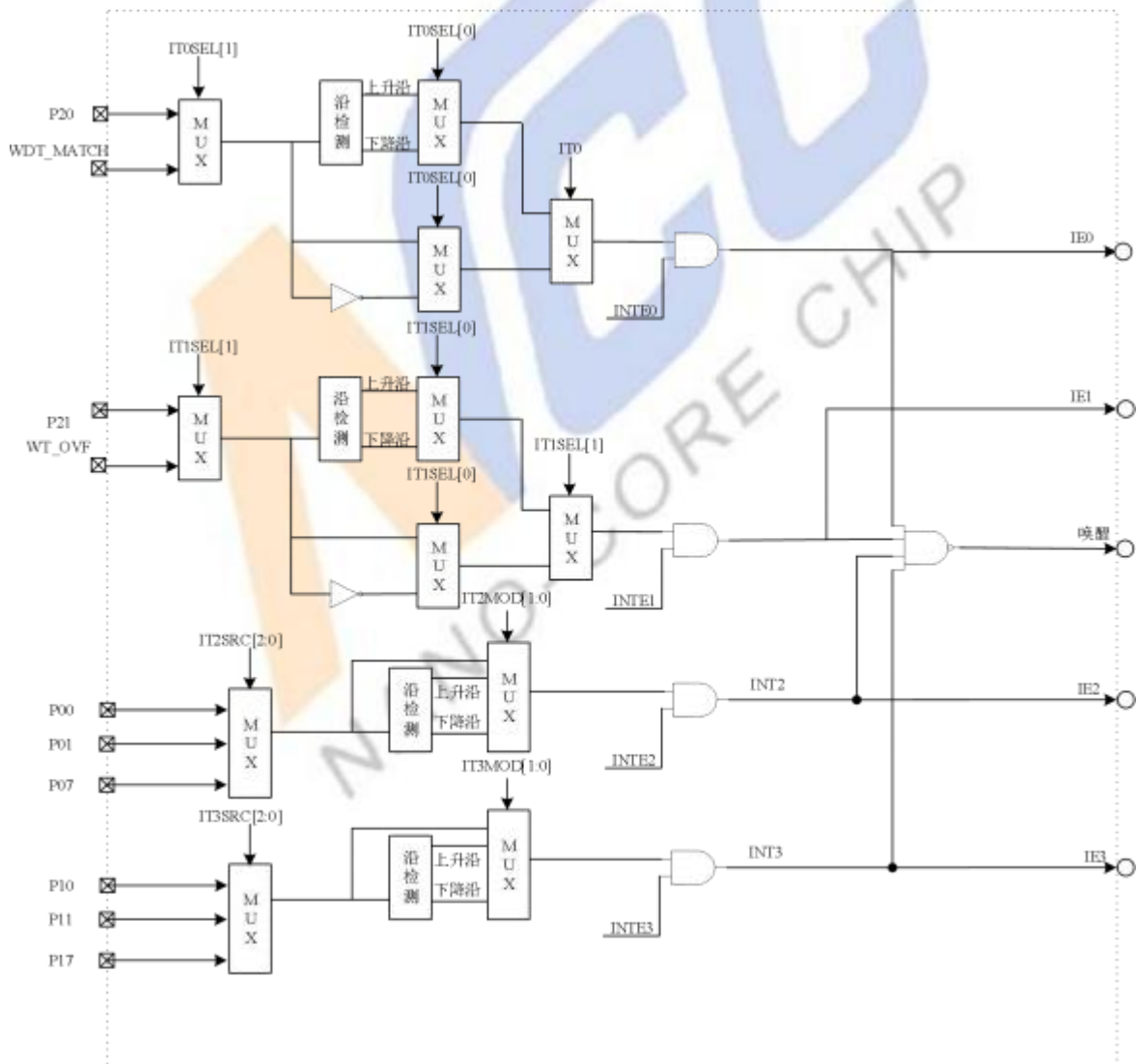


图 9- 1 中断结构图

9.3. 寄存器描述

表 9- 1 中断控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
TCON	T0/1 控制寄存器	√	R/W	0000 0000B	BANK0/1	88H
EINT0	外部中断控制寄存器 0	×	R/W	0000 0000B	BANK0	B1H
EINT1	外部中断控制寄存器 1	×	R/W	0000 0000B	BANK0	B2H

中断控制寄存器详细说明如下：

T0/1控制寄存器 (TCON)

TCON, BANK ALL, 88H								
名称/地址:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 序 号:					IE1	IT1	IE0	IT0
位 定 义:								
位 地 址:	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit3: IE1, 外部中断1标志位, 写0清零
0: 未发生中断
1: 发生中断
- Bit2: IT1, 外部中断1触发方式选择位
与IT0SEL[0]共同决定
- Bit1: IE0, 外部中断0标志位, 写0清零
0: 未发生中断
1: 发生中断
- Bit0: IT0, 外部中断0触发方式选择位
与IT1SEL[0]共同决定

外部中断控制寄存器0 (EINT0)

EINT0, BANK0, B1H								
名称/地址:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 序 号:								
位 定 义:	IT0SEL		IE2	IT2SRC			IT2MOD	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: IT0SEL[1], 外部中断0源选择
0: 中断源为P20输入
1: 中断源为WDT匹配信号
注意, 当选择WDT匹配信号时, 中断触发方式选择高电平触发。
- Bit6: IT0SEL[0], 外部中断0触发方式选择位
IT0为0时, 作为电平触发:

0: 低电平

1: 高电平

IT0为1时，作为沿触发：

0: 下降沿

1: 上升沿

➤ Bit5: IE2, 中断2标志位, 写0清零

0: 未发生中断

1: 发生中断

➤ Bit4: IT2SRC[2], 中断源选择位

➤ Bit3: IT2SRC[1], 中断源选择位

➤ Bit2: IT2SRC[0], 中断源选择位

IT2SRC[2:0]:

000: P00作为外部输入源

001: P01作为外部输入源

010: P02作为外部输入源

011: P03作为外部输入源

100: P04作为外部输入源

101: P05作为外部输入源

110: P06作为外部输入源

111: P07作为外部输入源

➤ Bit1: IT2MOD[1], 外部中断2模式选择位

➤ Bit0: IT2MOD[0], 外部中断2模式选择位

IT2MOD[1:0]

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

外部中断控制寄存器1 (EINT1)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

EINT1, BANK0, B2H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IT1SEL		IE3	IT3SRC			IT3MOD	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

➤ Bit7: IT1SEL[1], 外部中断1源选择

0: 中断源为P21输入

1: 中断源为WT溢出信号

注意，注意，当选择WT溢出信号时，中断触发方式选择高电平触发。

➤ Bit6: IT1SEL[0]， 外部中断1触发方式选择位

IT1为0时，作为电平触发：

0: 低电平

1: 高电平

IT1为1时，作为沿触发：

0: 下降沿

1: 上升沿

➤ Bit5: IE3， 中断3标志位，写0清零

0: 未发生中断

1: 发生中断

➤ Bit4: IT3SRC[2]， 中断源选择位

➤ Bit3: IT3SRC[1]， 中断源选择位

➤ Bit2: IT3SRC[0]， 中断源选择位

IT3SRC[2:0]：

000: P10作为外部输入源

001: P11作为外部输入源

010: P12作为外部输入源

011: P13作为外部输入源

100: P14作为外部输入源

101: P15作为外部输入源

110: P16作为外部输入源

111: P17作为外部输入源

➤ Bit1: IT3MOD[1]， 外部中断3模式选择位

➤ Bit0: IT3MOD[0]， 外部中断3模式选择位

IT3MOD[1:0]

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

9.4. 功能描述

在设置外部中断复用时，首先需要配置IO控制寄存器为输入模式。

对于INT0，INT1，可以通过TCON中IT0/IT1寄存其配置其中断类型，可以是电平中断，也可以是沿触发中断。可以通过EINT0/EINT1寄存器中的IT0SEL[0]/IT1SEL[0]位配置输入信号极性，通过IT0SEL[1]/IT1SEL[1]配置输入中断的信号源，可以选择P20/P21端口输入，也可以选择WDT匹配信号或者WT溢出信号。

对于INT2，INT3中断，可以通过EINT0或者EINT1中的IT2SRC/IT3SRC位选择输入的信号源，通过IT2MOD/IT3MOD寄存器选择时低电平触发，上升沿触发，下降沿触发或者是上升沿下降沿都触发。

在STOP模式下，用户可以选择INT0/1/2/3中的任何一个作为源来唤醒CPU。如果采用电平来作为唤醒源时，需要保证足够的电平宽度。在进入STOP模式之前，要确保IE0/1/2/3位都被清0，否则可能无法进入STOP模式。



10. 复位

10.1. 基本特征

ATM8F8040拥有7个复位源，分别为：

- 外部管脚复位ERST
- 上电复位POR
- 低压复位BOR
- WDT复位WDTR
- 软件复位SRST
- 调试复位DBGST
- 堆栈溢出复位SPRST

10.2. 工作模式

正常工作模式下：外部复位/上电复位/软件复位都是有效复位，BOR以及WDT复位是否打开由软件控制。

IDLE/STOP模式下：外部复位/上电复位可产生复位，由于CPU停止所以不会产生软件复位。BOR以及WDT复位是否打开由软件控制。

默认情况下BOR开启，WDT不工作。

调试复位只有在调试模式下发生调试复位命令方可复位。

10.3. 内部框图

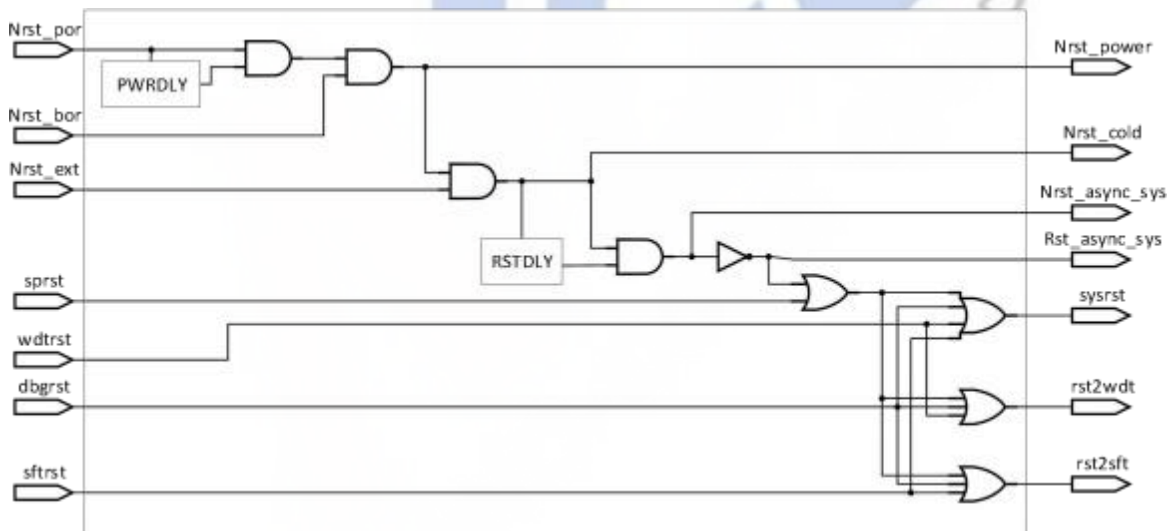


图 10- 1 复位结构内部框图

10.4. 寄存器描述

表 10- 1 复位寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SRST	软件复位寄存器	x	W	-	BANK0	8FH
RSTID	复位标志寄存器	x	R	0000_0xxxB	BANK0	C7H
SPOVL	堆栈低溢出寄存器	x	R/W	1111_1111B	BANK1	E6H
SPOVH	堆栈高溢出寄存器	x	R/W	0000_0000B	BANK1	E7H

复位寄存器详细说明如下：

软件复位寄存器 (SRST)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

SRST, BANK0, 8FH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	-	-	-	-	SRSTEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	-	-	-

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7: 1]: 保留
- Bit0: SRSTEN, 软件复位, 对该位连续两条指令写1将会产生软件复位

复位标志寄存器 (RSTID)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

RSTID, BANK0, C7H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	SPRST	DBGST	SRST	WDTRST	ERST	BORST	PORST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
-	-	-	-	-	-	-	-

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: 保留
- Bit6: SPRST, 堆栈溢出复位标志
0: 未发生堆栈溢出复位
1: 发生堆栈溢出复位
- Bit5: DBGST, 调试复位标志, 写0清除, 写1不会影响该位状态
0: 未发生调试复位
1: 发生调试复位
- Bit4: SRST, 软件复位标志, 写0清除, 写1不会影响该位状态
0: 未发生软件复位
1: 发生软件复位
- Bit3: WDTRST, 看门狗复位标志, 写0清除, 写1不会影响该位状态
0: 未发生看门狗复位
1: 发生看门狗复位
- Bit2: ERST, 外部复位标志, 写0清除, 写1不会影响该位状态
0: 未发生外部复位
1: 发生外部复位
- Bit1: BORST, 低压复位标志, 写0清除, 写1不会影响该位状态
0: 未发生低压复位
1: 发生低压复位
- Bit0: PORST, 上电复位标志, 写0清除, 写1不会影响该位状态
0: 未发生上电复位

1: 发生上电复位

在第一次上电复位时，PORST会置1。

堆栈低溢出寄存器 (SPOVL)

名称/地址:	SPOVL, BANK0, E6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPOVL							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7: 0]: SPOVL, 堆栈溢出低地址寄存器

堆栈高溢出寄存器 (SPOVH)

名称/地址:	SPOVH, BANK0, E7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPOVH							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7: 0]: SPOVH, 堆栈溢出高地址寄存器

10.5. 功能描述

ATM8F8040共支持7种复位源，共分为2大类：冷复位和热复位。其中，外部复位，上电复位，和低压复位属于冷复位。看门狗复位，软件复位，堆栈溢出复位和调试复位属于热复位。冷复位时系统会重新载入FLASH信息区中的存储内容，同时为了保证内核电压稳定，需要有一时间的延迟。热复位发生时，系统将直接复位，无须重新载入FLASH信息区中的存储内容，同时也无须等待内核电压稳定。相比而言，冷复位的时间相比热复位要长很多。

在正常工作模式下，系统上电启动时，为了保证内核电压能够达到一定水平保证芯片正常工作，需要对复位信号作一定延迟。如图所示。当POR复位释放后需要经过646个ILRC时钟周期的延迟，以32KHz计算约20ms，以保证5V电压上升到安全工作区。然后再经过3072个IHRC时钟周期的延迟释放复位信号。复位以后系统默认ILRC和IHRC开启，系统时钟默认选择IHRC时钟，默认8分频。在实际使用中，由于时钟频率随电压的变化，时间可能略长。



图 10- 2 POR 复位时序图

如果发生BOR复位唤醒或者外部复位唤醒时，系统等待3072个IHRC时钟延迟后正常进入工作状态。

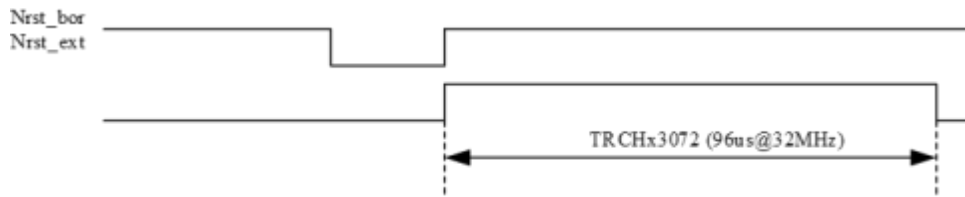


图 10- 3 外部复位时序图

外部复位是通过外部复位脚来对芯片进行复位，当该管脚作为复位功能使用且被置位低电平时，系统复位将会发生。当该管脚释放时，MCU进入初始化状态。复位标志寄存器中ERST位将被置1，用户可以通过软件来清除该复位标志。

低压复位是当外部VDD低于设定的低压复位点时发生的复位。当电压低于设定低压复位点时，系统进入复位状态，当电压重新高于低压复位点时，系统进入初始状。低压复位将会置位复位标志寄存器中的BORRST位，用户可以通过软件来清除该复位标志。ATM8F8040共支持4个低压复位点，详见BORCON寄存器配置。在上电复位后，低压复位默认开启。

关于看门狗复位，具体配置详见看门狗章节。在IDLE或者STOP模式时通过配置相应字节可以唤醒或者复位整个系统。看门狗复位发生时，复位标志寄存器中的WDTRST位将被置1，用户可以通过软件来清除该复位标志。在上电复位后，看门狗复位默认关闭。

软件复位，当系统向软件复位寄存器中连续两次写01H时将会发生软件复位。软件复位不会复位调试模块，软件复位会置位复位标志寄存器中的SRST位，用户可以通过软件来清除该复位标志。

调试复位，当调试器向芯片写复位命令时将会发生调试复位。调试复位会置位复位标志寄存器中的DBGRST位，用户可以通过软件来清除该复位标志。

堆栈复位，当系统堆栈压栈后堆栈指针超出SPOVH或者出栈后堆栈指针小于SPOVL时发生堆栈溢出复位操作。堆栈溢出复位可由PCON中第5位SPOVEN位控制使能或者禁止。复位操作发生时，会置位复位标志寄存器中的SPRST位，用户可以通过软件来清除该复位标志。

11. 时钟

ATM8F8040最高工作频率可以达到32MHz，共提供三种时钟源可供选择，用户可以根据需要灵活配置系统时钟，对于时钟精度要求较高或者对于某些特殊应用场合可以采用外部晶振。对于低成本解决方案可以采用内部高频RC。

- 支持多种时钟源，满足不同工作频率需求
- 支持系统时钟分频，系统时钟可分频为1/2/4/8
- 具有外部晶振停振检测功能
- 支持时钟门控
- 具有时钟切换保护逻辑，提供切换错误信息

11.1. 工作模式

1)：正常工作模式

正常工作模式下，所有的时钟源都可以关闭或者开启，但是选中作为系统时钟源的时钟不能关闭。

当系统时钟源选中IHRC作为系统时钟源时，除IHRC外其他时钟源可根据功耗要求关闭或打开。

当系统时钟源选中ILRC作为系统时钟源时，除ILRC外其他时钟源可根据功耗要求关闭或打开。

当系统时钟源选中XTAL作为系统时钟源时，除XTAL外其他时钟源可根据功耗要求关闭或打开。

复位状况下，系统默认选中IHRC作为系统时钟，同时系统时钟为8分频时钟。

2)：IDLE模式

IDLE模式时CPU时钟将会停止，其他时钟可以正常工作。

3)：STOP模式

进入STOP模式后，IHRC，XTAL时钟源将被完全关闭，ILRC时钟根据系统配置可正常工作。

11.2. 内部框图

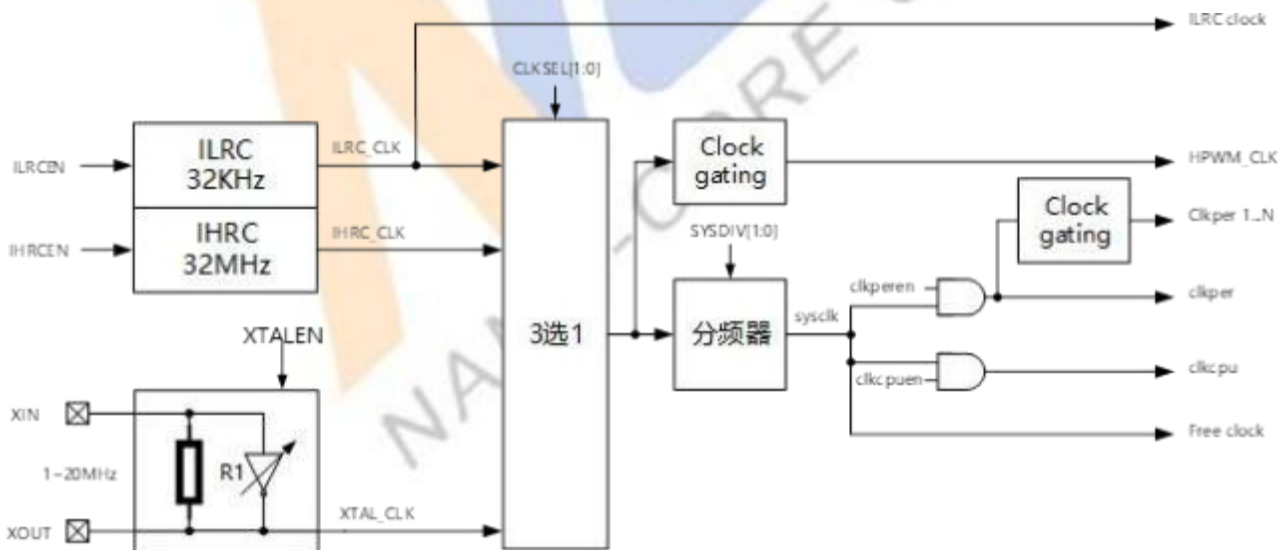


图 11- 1 时钟控制框图

11.3. 寄存器描述

表 11-1 时钟控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SYSCON	系统时钟控制寄存器	x	R/W	0011 0101B	BANK0	D2H

CLKCFG	系统时钟配置寄存器	×	R/W	0001_0000B	BANK0	D3H
CLKEN0	外设时钟使能寄存器 0	×	R/W	1111_1111B	BANK0	D4H
CLKEN1	外设时钟使能寄存器 1	×	R/W	1111_1111B	BANK0	D5H
BORCON	BOR 控制寄存器	×	R/W	1111_0001B	BANK0	D6H
CLKSTAT	时钟状态寄存器	×	R/W	0000_0101B	BANK0	D7H
CKCON	存储器访问延迟寄存器	×	R/W	0000_0000B	BANK0	D1H

时钟控制寄存器详细说明如下：

系统时钟控制寄存器（SYSCON）

名称/地址:	SYSCON, BANK0, D2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SYSDIV[1:0]		XTALST_TIME[1:0]			ILRCEN	XTALEN	IHRCEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	1	1	0	1	0	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: SYSDIV, 系统时钟分频
 - 00: 系统时钟源8分频
 - 01: 系统时钟源4分频
 - 10: 系统时钟源2分频
 - 11: 系统时钟源不分频
- Bit[5:4]: XTALST_TIME, 稳定时间选择位
 - 00: 需要2¹⁶个晶振时钟稳定
 - 01: 需要2¹⁵个晶振时钟稳定
 - 10: 需要2¹⁴个晶振时钟稳定
 - 11: 需要2¹³个晶振时钟稳定
- Bit3: 保留
- Bit2: ILRCEN, ILRC使能位
 - 0: ILRC禁止
 - 1: ILRC使能
- Bit1: XTALEN, XTAL使能位
 - 0: 外部晶振禁止
 - 1: 外部晶振使能
- Bit0: IHRCEN, IHRC使能位
 - 0: IHRC禁止
 - 1: IHRC使能

系统时钟配置寄存器（CLKCFG）

名称/地址:	CLKCFG, BANK0, D3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

位 定 义:

访问权限:

复 位 值:

提 示:

CLKSEL[1:0]			ILRCSTPEN	FSCMEN	CLKO[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	1	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]:CLKSEL, 系统钟选择位
 - 00: 选择IHRC作为系统时钟
 - 01: 选择外部晶振作为系统时钟
 - 1x: 选择ILRC作为系统时钟
- Bit5:保留
- Bit4:ILRCSTPEN, STOP模式ILRC使能控制位
 - 0: STOP模式下ILRC时钟禁止
 - 1: STOP模式下ILRC时钟使能
- Bit3:FSCMEN, XTAL停振监测使能
 - 0: XTAL停振监测禁止
 - 1: XTAL停振监测使能
- Bit[2:0]: CLK0, 时钟输出选择位 (REMAP寄存器CLK0SEL设置为0)
 - 000: CPU时钟4分频输出
 - 001: IHRC时钟4分频输出
 - 010: ILRC时钟4分频输出
 - 011: 系统外设时钟4分频输出
 - 100: XTAL时钟4分频输出
 - 101: 自由时钟4分频输出
 - 110: 系统时钟4分频输出
 - 111: 保留

注意: ILRCSTP位为1时将忽略SYSCON寄存器中ILRCEN的配置。

外设时钟使能控制寄存器 (CLKEN0)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

CLKEN0, BANK0, D4H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CG7	CG6	CG5	CG4	CG3	CG2	CG1	CG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: CG7, ADC时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit6: CG6, CRC时钟使能位
 - 0: 禁止

- 1: 使能
- Bit5: CG5, PWM时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit4: CG4, UART1时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit3: CG3, UART0时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit2: CG2, Timer2时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit1: CG1, Timer1时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit0: CG0, Timer0时钟使能位
 - 0: 禁止
 - 1: 使能

外设时钟使能控制寄存器 (CLKEN1)

名称/地址:	CLKEN1, BANK0, D5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REV	REV	REV	REV	CG11	CG10	CG9	CG8
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:4]: 保留
- Bit3: CG11, BUZ时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit2: CG10, CPL时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit1: CG9, WT时钟使能位
 - 0: 禁止
 - 1: 使能

- Bit0: CG8, WDT时钟使能位
- 0: 禁止
- 1: 使能

BOR控制寄存器 (BORCON)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

BORCON, BANK0, D6H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FLASHMD[1:0]		WUT[1:0]		BODEN	BORS[1:0]		BOREN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	0	0	0	1

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: FLASHMD, FLASH工作模式, 需保证为3
 - 00: 保留
 - 01: 保留
 - 10: 保留
 - 11: FLASH高速工作模式
- Bit[5:4]: WUT, 唤醒延迟时间
 - 00: 唤醒后延迟8个系统时钟周期
 - 01: 唤醒后延迟16个系统时钟周期
 - 10: 唤醒后延迟32个系统时钟周期
 - 11: 唤醒后延迟64个系统时钟周期
- Bit[3]: BODEN, BOD使能
 - 0: 禁止BOD功能
 - 1: 使能BOD功能

注意: 使用BOR或BOD功能, 需要把BOREN置1。
- Bit[2:1]: BORS, BOR电平选择位
 - 00: BOR电平选择2.5V
 - 01: BOR电平选择2.9V
 - 10: BOR电平选择3.7V
 - 11: BOR电平选择4.3V
- Bit0: BOREN, BOR使能位
 - 0: 禁止BOR
 - 1: 使能BOR

时钟状态寄存器 (CLKSTAT)

名称/地址:
位 序 号:
位 定 义:

CLKSTAT, BANK0, D7H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CLKXERR	ERR_INFO				ILRCST	XTALST	IHRCST

访问权限:	R/W	R	R	R	R	R	R	R
复位值:	0	0	0	0	0	1	0	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7]: CLKXERR, 时钟操作出错标志位, 当中断使能时将触发出错中断

0: 未发生时钟操作错误

1: 发生时钟操作错误

- Bit[6:4]: ERR_INFO, 时钟操作错误信息

000: 未出错

001: XTAL作为系统时钟企图关闭XTAL

010: ILRC作为系统时钟企图关闭ILRC

011: IHRC作为系统时钟企图关闭IHRC

100: 时钟切换时, 目标时钟仍未稳定

101: 检测到晶振停振

110: BOD信号中断 (选择BODEN为1时有效)

111: 保留

- Bit3: 保留

- Bit2: ILRCST, ILRC稳定标志

0: ILRC未稳定

1: ILRC稳定

- Bit1: XTALST, 晶振稳定标志

0: XTAL未稳定

1: XTAL稳定

- Bit0: IHRCST, IHRC稳定标志

0: IHRC未稳定

1: IHRC稳定

注意: 往CLKXERR中写0将会自动清ERR_INFO的信息。

11.4. 功能描述

11.4.1. 时钟源详细描述

ATM8F8040共支持3种时钟源配置, 包括内部32M高频时钟, 外部晶振, 内部32K低频时钟。

对于内部32MHz高频时钟, 在出厂时会经过校准达到1%的精度。在实际应用过程中, 该频率随着电压和温度会有所漂移, 不过依然能保证在±5%范围之内。

对于外部晶振, 其频率范围为1~20MHz。当外部晶振使能时, 与外部晶振XIN, XOUT复用的管脚将自动关闭复用功能以减小IO的漏电。当外部晶振关闭时, 与外部晶振XIN, XOUT复用的管脚可以使用其复用功能。根据不同环境, 晶振的起振时间也不尽相同。为了可靠起见, 只有等起振稳定以后的时钟方可输入给系统使用。用户可根据需要配置SYSCON寄存器中的晶振稳定时间位来获得相应的稳定时间。

内部低频时钟主要作为看门狗定时器时钟以及停机模式下唤醒模块的时钟源。在某些需要特别低功耗的场合也可以作为系

统时钟使用。由于ILRC时钟本身随温度、电压和工艺的偏差比较大，因此该时钟作为系统时钟使用时精度会较差。

WT和WDT的时钟是内部32kHz时钟。

11.4.2. 系统时钟配置

ATM8F8040最高支持32MHz的工作频率。用户可以根据需要自由选择内部高频振荡器IHRC，内部低频振荡器ILRC或者外部晶振作为系统时钟源。系统时钟可通过SYSCON中的SYSDIV位配置为不同的分频给CPU或者外设。分配比可以设置为1, 1/2, 1/4, 1/8。系统复位后默认选择IHRC作为系统时钟，分配系数为8分频。

11.4.3. 时钟切换及保护

ATM8F8040支持任意两种时钟源之间切换。在切换时，必须保证需要当前的时钟源和要切换的时钟源都稳定。即保证CLKSTAT中相应时钟源的稳定标志都为1时方可正常切换。如果要切换到时钟源未稳定即写切换命令时，将会发生时钟切换错误，切换不能成功，系统时钟仍维持为原有时钟。为了防止出现毛刺，在时钟切换时需要三个原时钟周期和三个目标时钟周期来同步。如下图所示列举了从快速时钟到慢速时钟和从慢速时钟切换到快速时钟的例子。在切换时需要等待切换完成后才能关闭原时钟源。

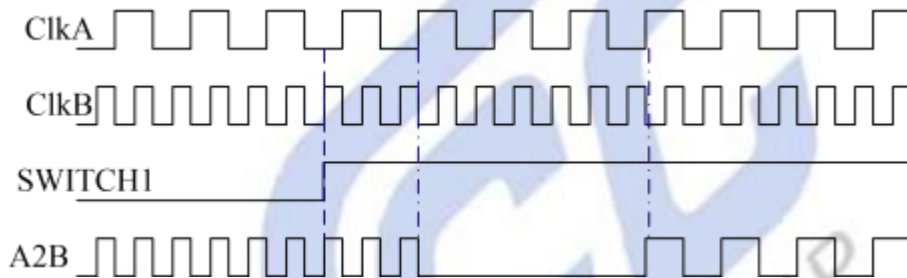


图 11- 2 快速时钟切换到慢速时钟

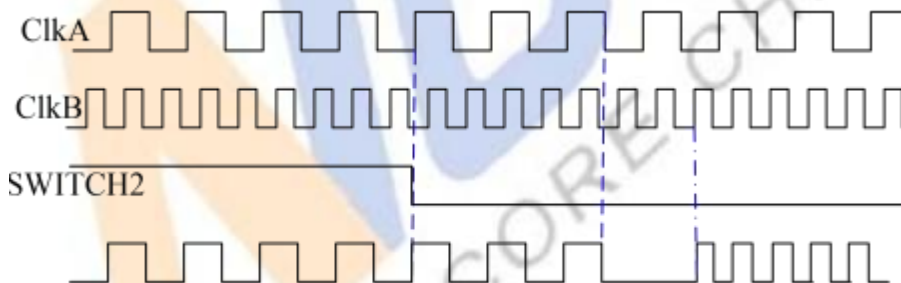


图 11- 3 慢速时钟切换到快速时钟

系统的时钟状态可有时钟状态寄存器获取，在切换时钟时首先需要查询需要切换时钟的状态是否稳定。如果未稳定则需要等待稳定以后方可切换。

系统程序不能随意关闭当前状态下的系统时钟源。如当前系统时钟选择为IHRC时，程序如果要关闭IHRC，CLKERR位将会置起，同时ERR_INFO位会显示当前的错误原因。

11.4.4. 时钟安全系统

ATM8F8040可以实时监测外部晶振错误。当外部晶振使能时，若使能CLKCFG寄存器中的FSCMEN位，可通过内部低频振荡器监测外部晶振是否产生停振。

当监测到停振时：

- CLKSTAT中的时钟失效位CLKXERR位将被置起，ERR_INFO位被设置为0x5
- 系统时钟将自动切换到IHRC
- 系统时钟分频切换为8分频操作

- 如果出错中断使能，将自动执行中断程序

11.4.5. 低功耗工作模式

ATM8F8040支持待机和停机两种低功耗模式。待机工作模式时，CPU时钟停止，外设时钟可根据CLKEN0/1寄存器分别配置。

停机模式时又可分多种模式。

- 低功耗模式1：所有时钟都关闭，低压检测也关闭，系统唤醒必须通过外部中断唤醒。
- 低功耗模式2：所有时钟都关闭，低压复位打开，停机时电源掉到指定电平以下，系统将会复位，系统唤醒必须通过外部中断唤醒。
- 低功耗模式3：内部低频时钟打开，系统可以通过唤醒定时器，WDT的匹配信号及外部中断唤醒。

ATM8F8040的所有IO管脚都可作为唤醒中断源唤醒停机模式，唤醒定时器和WDT匹配唤醒信号与INT0/INT1复用，具体配置可参考12章-外部中断章节。

ATM8F8040唤醒时系统时钟将保持为进停机模式之前的系统时钟。在唤醒时需要等待时钟稳定后再延迟BORCON中WUT寄存器配置的唤醒延迟时间后切回系统运行。



12. 通用输入输出端口

ATM8F8040所有的端口均可独立配置为单独输入输出功能，同时也可以配置为其他模块的复用功能。

12.1. 基本特征

3组I/O口（P0/P1/P2），最大支持18个I/O口，所有口均可按位操作

- 每组I/O口最多有六个配置寄存器
- 端口数据寄存器（Px）
- 通用输入输出控制寄存器（PxCR）
- 上拉控制寄存器（PxPU）
- 输出开漏控制寄存器（PxOD）
- 复用功能寄存器（PxSELL~PxSELH）

端口作为输入输出功能时，可配置为：

- 输入悬空
- 带上拉的输入模式
- 推挽输出
- 开漏输出

端口可以复用多种功能，根据复用功能寄存器来配置不同的功能

12.2. 工作模式

芯片复位完成后进入正常工作模式，所有控制寄存器均处于复位状态，端口默认是输入悬空状态。在实际工作时，芯片内的多种外设输入输出可以复用到通用输入输出，在使用时，同一时刻只能选择一种功能。即在配置为通用输入输出是不能作为复用输入或输出。在用作复用输入或输出时，只能配置作为某种特殊复用功能使用。

12.3. 寄存器描述

表 12-1 GPIO 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
P0	P0 数据寄存器	√	R/W	1111_1111B	ALL BANK	80H
P0ODR	P0 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	D9H
P0CR	P0 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E1H
P0PCR	P0 上拉控制寄存器	×	R/W	0000_0000B	BANK0	E9H
P0SELL	P0 复用选择寄存器 0	×	R/W	0000_0000B	BANK0	DDH
P0SELH	P0 复用选择寄存器 1	×	R/W	0000_0000B	BANK0	E5H
P1	P1 数据寄存器	√	R/W	1111_1111B	ALL BANK	90H
P1ODR	P1 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DAH
P1CR	P1 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E2H
P1PCR	P1 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EAH
P1SELL	P1 复用选择寄存器 0	×	R/W	0000_0000B	BANK0	DEH
P1SELH	P1 复用选择寄存器 1	×	R/W	0100_0000B	BANK0	E6H
P2	P2 数据寄存器	√	R/W	1111_1111B	ALL BANK	A0H
P2ODR	P2 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DBH
P2CR	P2 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E3H
P2PCR	P2 上拉控制寄存器	×	R/W	0000_0010B	BANK0	EBH

P2SELL	P2 复用选择寄存器 0	×	R/W	0000 0100B	BANK0	DFH
REMAP	重映射寄存器	×	R/W	0000 0000B	BANK1	FAH
AEN0	模拟端口控制寄存器 0	×	R/W	0000 0000B	BANK0	ECH
AEN1	模拟端口控制寄存器 1	×	R/W	0000 0000B	BANK0	E4H

GPIO 寄存器详细说明如下：

端口数据寄存器 (Px, x=0, 1, 2)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

Px, ALL BANK, (80H/90H/A0H) (x=0,1,2,3)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Px.7	Px.6	Px.5	Px.4	Px.3	Px.2	Px.1	Px.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: Px.y, Pxy (x=0, 1, 2, y=0-7) 端口状态寄存器

输入状态下:

写该寄存器不会影响输入端口的状态

读该寄存器读入输入端口状态

输出状态下 (包括开漏和推挽输出)

写该寄存器可以配置输出端口状态

读该寄存器读入先前写入的该寄存器数值

注意: P0, P1, P2支持位操作

开漏输出控制寄存器 (PxODR, x=0, 1, 2)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PxODR, BANK0, (D9H/DAH/DBH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Odx.7	Odx.6	Odx.5	Odx.4	Odx.3	Odx.2	Odx.1	Odx.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: Odx.y, Pxy (x=0, 1, 2, y=0-7) 端口开漏控制寄存器

0: 推挽输出

1: 开漏输出

端口输入输出控制寄存器 (PxCR, x=0, 1, 2)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PxCR, BANK0, (E1H/E2H/E3H)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CRx.7	CRx.6	CRx.5	CRx.4	CRx.3	CRx.2	CRx.1	CRx.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: CRx.y, Pxy (x=0, 1, 2, y=0-7) 端口控制寄存器

0: 输入

1: 输出

端口上拉控制寄存器 (PxPCR, x=0, 1, 2)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

PxPCR, BANK0, (E9H/EAH/EBH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PCRx.7	PCRx.6	PCRx.5	PCRx.4	PCRx.3	PCRx.2	PCRx.1	PCRx.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:0]: PCRx.y, Pxy (x=0, 1, 2, y=0-7)端口上拉控制寄存器

0: 上拉禁止

1: 上拉使能

注: P2PCR 默认值位0x02, 确保P2.1默认上拉。

复用选择寄存器0 (PxSELL, x=0, 1, 2, 3, 4)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

PxSELL, BANK0 (DDH/DEH/DFH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Px3SEL		Px2SEL		Px1SEL		Px0SEL	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: Px3SEL, Px.3复用功能选择位, x=0, 1

00: 正常IO输入输出

01: 选择复用功能1

10: 选择复用功能2

11: 选择复用功能3

- Bit[5:4]: Px2SEL, Px.2复用功能选择位, x=0, 1

00: 正常IO输入输出

01: 选择复用功能1

10: 选择复用功能2

11: 选择复用功能3

- Bit[3:2]: Px1SEL, Px.1复用功能选择位, x=0, 1, 2

00: 正常IO输入输出

01: 选择复用功能1

10: 选择复用功能2

11: 选择复用功能3

- Bit[1:0]: Px0SEL, Px.0复用功能选择位, x=0, 1, 2

00: 正常IO输入输出

- 01: 选择复用功能1
- 10: 选择复用功能2
- 11: 选择复用功能3

注: P2SEL 默认值为0x04, 确保P2.1默认为SWDAT。

复用选择寄存器1 (PxSELH, x=0, 1)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PxSELH, BANK0 (E5H/E6H)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Px7SEL		Px6SEL		Px5SEL		Px4SEL	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: Px7SEL, Px. 7复用功能选择位, x=0, 1
 - 00: 正常IO输入输出
 - 01: 选择复用功能1
 - 10: 选择复用功能2
 - 11: 选择复用功能3
- Bit[5:4]: Px6SEL, Px. 6复用功能选择位, x=0, 1
 - 00: 正常IO输入输出
 - 01: 选择复用功能1
 - 10: 选择复用功能2
 - 11: 选择复用功能3
- Bit[3:2]: Px5SEL, Px. 5复用功能选择位, x=0, 1
 - 00: 正常IO输入输出
 - 01: 选择复用功能1
 - 10: 选择复用功能2
 - 11: 选择复用功能3
- Bit[1:0]: Px4SEL, Px. 4复用功能选择位, x=0, 1
 - 00: 正常IO输入输出
 - 01: 选择复用功能1
 - 10: 选择复用功能2
 - 11: 选择复用功能3

注: P1SELH 默认值为0x40, 确保P1.7默认为SWCLK。

重映射寄存器 (REMAP)

名称/地址:
位 序 号:
位 定 义:

REMAP, BANK1 (FAH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	ADTRGSRC	-	CLKOSRC	T2CAP3SRC	T2CAP1SRC

访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0
提示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

- Bit[7:5]: 保留
- Bit4: ADCTRGSR: ADC外部触发源选择
 - 0: 选择P01
 - 1: 选择P11
- Bit3: 保留
- Bit2: CLKOSRC: CLK0输出选择
 - 0: 选择CLK0
 - 1: 选择CPL
- Bit1: T2CAP2SRC: T2外部触发源2 T2CAP2选择
 - 0: 选择P00
 - 1: 选择P07
- Bit0: T2CAP0SRC: T2外部触发源0 T2CAP0选择
 - 0: 选择P02
 - 1: 选择P14

模拟控制寄存器0 (AEN0)

名称/地址:	AEN0, BANK0 (ECH)							
位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P04AEN	P03AEN	P01AEN	P00AEN	P14AEN	P11AEN	P10AEN	P07AEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7]: P04AEN, P04作为模拟信号输入, 高电平有效
- Bit[6]: P03AEN, P03作为模拟信号输入, 高电平有效
- Bit[5]: P01AEN, P01作为模拟信号输入, 高电平有效
- Bit[4]: P00AEN, P00作为模拟信号输入, 高电平有效
- Bit[3]: P14AEN, P14作为模拟信号输入, 高电平有效
- Bit[2]: P11AEN, P11作为模拟信号输入, 高电平有效
- Bit[1]: P10AEN, P10作为模拟信号输入, 高电平有效
- Bit[0]: P07AEN, P07作为模拟信号输入, 高电平有效

模拟控制寄存器1 (AEN1)

名称/地址:	AEN1, BANK0 (E4H)							
位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	-	P21AEN	P06AEN	P05AEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值：
提示：

0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 3]: 保留,
- Bit[2]: P21AEN, P21作为模拟信号输入, 高电平有效
- Bit[1]: P06AEN, P06作为模拟信号输入, 高电平有效
- Bit[0]: P05AEN, P05作为模拟信号输入, 高电平有效

注: 保留位不要做修改, 当更改Bit[0]~Bit[2]时, 使用AEN1 &= 0xF8; AEN1 |= 0x07; 方式。

12.4. 功能描述

ATM8F8040每个IO口既可以作为GPIO, 也可以作为其他功能复用。

PxCR寄存器用于控制相应IO口的输入输出状态。当相应位配置为0时, 用作信号输入, 当相应为配置为1时, 用作内部信号输出。

当IO用作信号输入时, 可以通过PxPCR位配置是悬空输入还是上拉输入。系统上电时, 除PDIO/PCLK外所有IO默认都作为悬空输入。

当IO用作信号输出时, 可通过PXodr配置为开漏或者推挽输出。

P1.7/P2.1在复位时默认作为调试信号(PCLK, PDIO)功能。P2.1默认上拉使能。

IO口也可作为内部功能复用, 可通过PxSELL和PxSELH寄存器配置相应管脚的复用功能。

ATM8F8040各个管脚的复用和配置情况如下表所示:

表 12-2 IO 口复用功能列表

IO	复用功能 1	复用功能 2	复用功能 3
P00	T2CAP2	PWM3CAP	PWM5
P01	T2CAP1	ADC_TRIG	PWM3
P02	T2CAPO	BUZ	PWM6
P03		PPG	TXD0
P04	T2-CLKIN		RXD0
P05			
P06			
P07	T0-CLKIN	T2CAP2	
P10	FLT	T1-CLKIN	
P11	ADC_TRIG		PWM1
P12		PWMOCAP	PWM0
P13	CLKO	PWM6	PWM1
P14	T2CAPO	PWM1CAP	PWM2
P15			PWM3
P16		PWM2CAP	PWM4
P17	SWCLK		RXD1
P20			

P21	SWDAT		TXD1
-----	-------	--	------

当P07/P10/P04定时器用作T0/T1/T2的时钟输入时，需要首先将相应PIN脚配置成输入模式，并配置对应的复用功能。

当P00/P01/P02/P07/P14用作T2的捕获输入时，需要首先将相应那个PIN脚配置成输入模式，并配置对应的复用功能。

当P10用作PWM的FLT输入时，需要将P10配置成输入模式，并配置复用功能为1。

当P01/P11用足ADT外部触发时，需要将P01/P11配置成输入模式，并配置相应的复用功能。

当P03/P04/P17/P21配置为UART的RXD和TXD功能时，**首先需要将P03/P21配置为输出模式，P04/P17配置为输入模式，配置复用功能为3.**

当P02用作BUZ输出时，配置P02为输出模式，并配置复用功能为2.

当P03用作PPG输出时，配置P03为输出模式，并配置复用功能为2.

当P00/P01/P02/P10/P11/P12/P13/P14/P15/P16配置为PWM复用管脚时，需要将相应端口选择相应的复用功能。

当相应端口的AEN位配置为1时，输入输出都无效。

P20接口可以作为RST口和普通IO口，如果作为普通IO口，该端口在CPU运行前不能一直为低电平，否则系统不能启动。

12.5. 示例程序

P03, P04配置为UART功能复用：

```
MOV POCR , #008H ; (P03为输出状态, P04为输入状态)
```

```
MOV POSELL, #0C0H ; (P03 用作TXD0)
```

```
MOV POSELH, #003H ; (P03 用作RXD0)
```



13. 定时器 T0/T1

ATM8F8040 内部集成定时器T0/T1，其操作方式与传统51完全兼容，基本特征如下：

- 定时器能工作在定时或者计数模式
- 支持13/16位定时或者计数模式
- 支持8位自动重载定时或者计数模式
- 支持两个独立的8位定时或者计数模式（仅T0支持）
- 支持预分频时钟选择

13.1. 工作模式

复位释放后定时器默认关闭，软件使能后开启。

如果进入待机模式前使能，待机模式下仍能工作。如果待机模式前使能了中断，产生中断时，能够唤醒电路。

13.2. 寄存器描述

表 13-1 T0/1 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
TCON	T0/1 控制寄存器	√	R/W	0000 0000B	BANK0/1	88H
TMOD	T0/1 模式寄存器	×	R/W	0000 0000B	BANK0	89H
TL0	T0 低字节	×	R/W	0000 0000B	BANK0	8AH
TL1	T1 低字节	×	R/W	0000 0000B	BANK0	8BH
TH0	T0 高字节	×	R/W	0000 0000B	BANK0	8CH
TH1	T1 高字节	×	R/W	0000 0000B	BANK0	8DH
TIMPRS	T0/1 时钟预分频寄存器	×	R/W	0000 0000B	BANK0	8EH

T0寄存器列表详细说明如下：

T0/1控制寄存器（TCON）

名称/地址:

TCON, BANK ALL, 88H							
---------------------	--	--	--	--	--	--	--

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------

位 定 义:

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

位 地 址:

8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
-----	-----	-----	-----	-----	-----	-----	-----

访问权限:

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

复 位 值:

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: TF1, 定时器/计数器1溢出中断请求标志位
 - 0: 未发生定时器/计数器1溢出中断
 - 1: 发生定时器/计数器1溢出中断
- Bit6: TR1, 定时器/计数器1启动/停止控制位
 - 0: 停止定时器/计数器1
 - 1: 启动定时器/计数器1
- Bit5: TF0, 定时器/计数器0溢出中断请求标志位
 - 0: 未发生定时器/计数器0溢出中断
 - 1: 发生定时器/计数器0溢出中断

- Bit4: TR0, 定时器/计数器0启动/停止控制位
0: 停止定时器/计数器0
1: 启动定时器/计数器0
- Bit3: IE1, 外部中断1标志位
- Bit2: IT1, 外部中断1触发方式选择位
- Bit1: IE0, 外部中断0标志位
- Bit0: IT0, 外部中断0触发方式选择位

T0/1模式寄存器 (TMOD)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

TMOD, BANK0, 89H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
GATE1	C/T1	T1M1	T1M0	GATE0	C/T0	T0M1	T0M0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: GATE1, 定时器/计数器1门控方式使能位
0: 内部定时计数方式
1: 门控模式, 只有INT1输入为高电平时才正常计数
- Bit6: C/T1, 定时器/计数器1定时计数模式选择位
0: 定时模式, 由系统预分频产生计数时钟
1: 计数模式, 由脉冲信号T1触发计数器计数
- Bit5: T1M1, 定时器/计数器1模式控制位1, 与T1M0位结合, 共有3种模式
00: 模式0, 13位计数模式
01: 模式1, 16位计数模式
10: 模式2, 8位可重载模式
11: 无效
- Bit4: T1M0, 定时器/计数器1模式控制位0
- Bit3: GATE0, 定时器/计数器0门控方式使能位
0: 内部定时计数方式
1: 门控模式, 只有INT0输入为高电平时才正常计数
- Bit2: C/T0, 定时器/计数器0定时计数模式选择位
0: 定时模式, 由系统预分频产生计数时钟
1: 计数模式, 由脉冲信号T0触发计数器计数
- Bit1: T0M1, 定时器/计数器0模式控制位1, 与T0M0位结合, 共有4种模式
00: 模式0, 13位计数模式
01: 模式1, 16位计数模式
10: 模式2, 8位可重载模式

11: 模式3, 将定时器0分成两个8位计数模式

- Bit0: TOM0, 定时器/计数器0模式控制位0

T0低字节 (TL0)

名称/地址:	TL0, BANK0, 8AH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T0L							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: T0L, 定时器/计数器0低字节

T1低字节 (TL1)

名称/地址:	TL1, BANK0, 8BH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1L							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: T1L, 定时器/计数器1低字节

T0高字节 (TH0)

名称/地址:	TH0, BANK0, 8CH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH0							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: TH0, 定时器/计数器0高字节

T1高字节 (TH1)

名称/地址:	TH1, BANK0, 8DH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: TH1, 定时器/计数器1高字节

T0/1时钟预分频控制寄存器 (TIMPRS)

名称/地址:	TIMPRS, BANK0, 8EH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	TIMPRS1			-	TIMPRS0		

访问权限:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: 保留
- Bit[6:4]: TIMPRS1, 定时器/计数器1预分频选择信号
 - 000: 系统时钟12分频
 - 001: 系统时钟4分频
 - 010: 系统时钟8分频
 - 011: 系统时钟16分频
 - 100: 系统时钟32分频
 - 101: 系统时钟64分频
 - 110: 系统时钟128分频
 - 111: 系统时钟256分频
- Bit3: 保留
- Bit[2:0]: TIMPRS0, 定时器/计数器0预分频选择信号
 - 000: 系统时钟12分频
 - 001: 系统时钟4分频
 - 010: 系统时钟8分频
 - 011: 系统时钟16分频
 - 100: 系统时钟32分频
 - 101: 系统时钟64分频
 - 110: 系统时钟128分频
 - 111: 系统时钟256分频

13.3. 功能描述

定时器0根据TMOD配置共支持4种工作模式，13位定时/计数模式，16位定时/计数模式，8位可重载模式和两个8位定时器工作模式。

13.3.1. 工作模式 0

TMOD寄存器中模式寄存器设置为0时，定时器0/1工作在模式0。

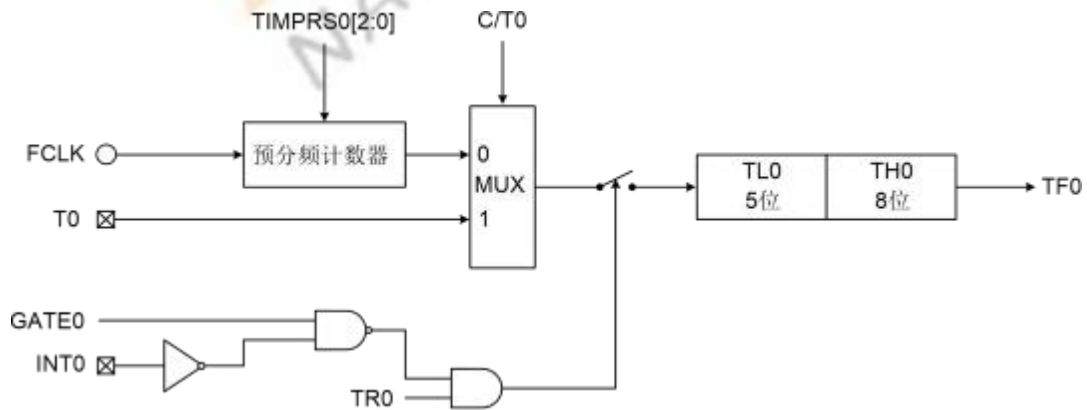


图 13.1 定时器 0 工作模式 0

定时器0/1工作在13位定时模式时，由定时器的高字节（THx）和低字节（TLx）的低5位共同构成一个13位定时器。低字节（TLx）的高三位不使用。在13位定时器发生溢出时将产生中断，置位TF0或者TF1。在中断响应后该标志会被自动清零。

在该模式下，如果TMOD中的C/T0位设置为0，则选择内部系统时钟分频作为定时器/计数器0的计数时钟，如果C/T0位设置为1时，由外部时钟输入作为计数时钟。

在计数时可选择正常计数模式或者门控计数模式，当TMOD中的GATE0为0时，只要TR0使能，计数器就正常计数，当TMOD中的GATE0为1时，必须要等待INT0的低电平方可计数。

13.3.2. 工作模式 1

TMOD寄存器重的模式位设置为01时，定时器0/1工作在模式1。

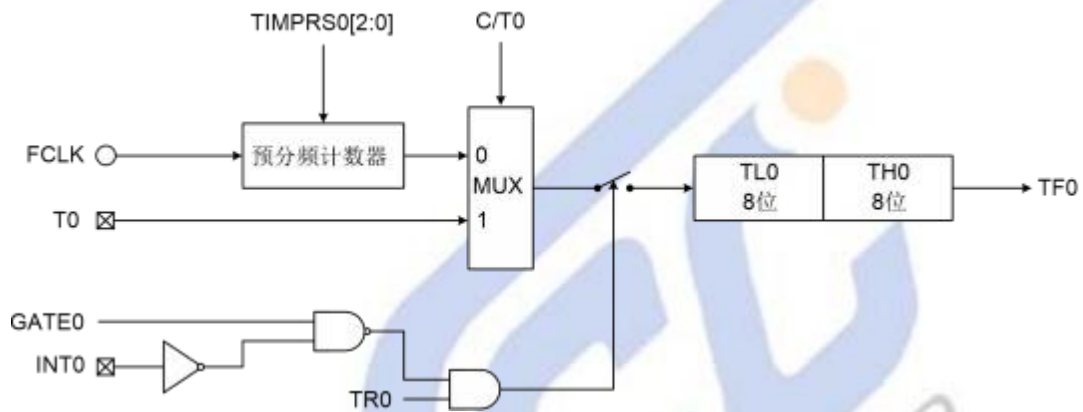


图 13-2 定时器 0 工作模式 0

定时器/计数器0工作在模式1时除了计数器采用16位的计数器外，其他工作方式与模式0相同。

13.3.3. 工作模式 2

TMOD寄存器中的模式位设置为10时，定时器0/1工作在模式2，即8位可重载方式。

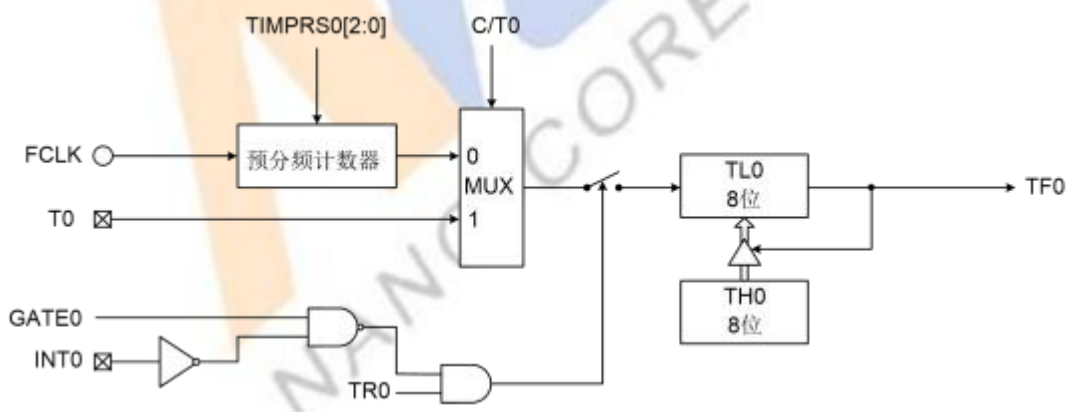


图 13-3 定时器 0 工作模式 0

当定时器/计数器0/1工作在模式2时，TLx作为一个8位的计数器工作，THx用于保存重载值。当在TLx计数超过FFH时，计数器溢出标志TF0将被置位，同时将THx中的数据载入TLx，计数器从载入的值开始继续计数，直到再次溢出。

13.3.4. 工作模式 3

TMOD寄存器的模式位设置为11时，定时器0工作在模式3。

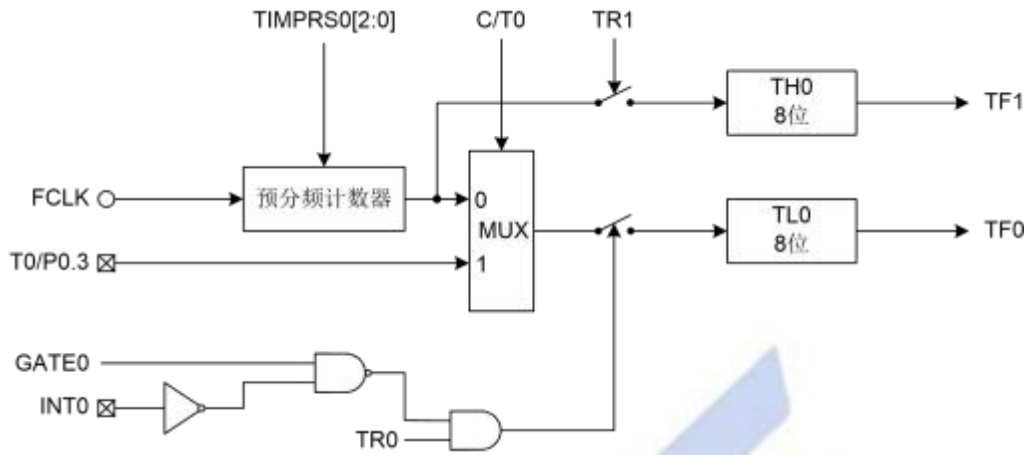


图 13-4 定时器 0 工作模式 0

模式3是分立定时器模式，该模式下每个定时器的的工作模式不同。在模式3，定时器0分离为两个独立的8位定时器。TL0和TH0分别作为独立的定时器工作，对应的溢出标志是TF0，TF1。定时器1在模式3下不工作，但是可以切换到其他模式，由于溢出标志已经被TH0占用，因此可以使用在其他不需要中断的场合。



14. 定时器 T2

14.1. 基本特征

ATM8F8040具有一个16位的定时器，其具有四种工作状态，分别是：

- 16位自动重载模式，支持内部触发重载，外部触发重载和溢出重载三种重载方式
- 16位捕获模式，支持多个外部可选触发源，提供两个16位的捕获寄存器
- 可编程波形生成模式（PPG模式），支持内部触发和外部触发，支持重复触发
- 单脉冲模式（one-shot模式），支持内部触发和外部触发

14.2. 寄存器描述

表 14-1 Timer2 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T2MOD	T2 模式寄存器	×	R/W	0000 0000B	BANK0	B9H
T2CPL1	T2 捕获寄存器 1 低字节	×	R/W	0000 0000B	BANK0	BAH
T2CPH1	T2 捕获寄存器 1 高字节	×	R/W	0000 0000B	BANK0	BBH
T2CPL2	T2 捕获寄存器 2 低字节	×	R/W	0000 0000B	BANK0	BCH
T2CPH2	T2 捕获寄存器 2 高字节	×	R/W	0000 0000B	BANK0	BDH
T2CAP	T2 捕获设置寄存器	×	R/W	0100 0000B	BANK0	BEH
T2CAPS	T2 捕获状态寄存器	×	R/W	0000 0000B	BANK0	BFH
T2CON	T2 控制寄存器	×	R/W	0000 0000B	BANK0	B4H
TL2	T2 计数器低字节	×	R/W	0000 0000B	BANK0	B5H
TH2	T2 计数高字节	×	R/W	0000 0000B	BANK0	B6H
T2EXS	T2 外部触发源选择寄存器	×	R/W	0000 0000B	BANK0	B7H

Timer2 寄存器详细说明如下：

T2模式寄存器（T2MOD）

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2MOD, BANK0, B9H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CLKDIV[2:0]			CAPCLR/INT S	RTRGEN	RDSRC[1:0]		LOAD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- Bit[7:5]:CLKDIV, Timer2 内部时钟源分频位

- 000: 系统时钟2分频
- 001: 系统时钟4分频
- 010: 系统时钟8分频
- 011: 系统时钟16分频
- 100: 系统时钟32分频
- 101: 系统时钟64分频
- 110: 系统时钟128分频
- 111: 系统时钟256分频

- Bit4:CAPCLR/INTS, 仅在捕获模式, PPG模式和单脉冲模式下有效
在捕获模式下
0: 捕获操作发生时, 计数器继续计数
1: 捕获操作发生时, 计数器从0开始计数
在PPG模式和单脉冲模式下, 确定T2CON TF2标志位的中断类型
0: PPG模式和单脉冲模式下, 溢出中断
1: PPG模式和单脉冲模式下, 匹配中断
- Bit3:RTRGEN, 仅在PPG模式下有效
0: 禁止多次触发
1: 允许多次触发
- Bit[2:1]: RDSRC, 重载值选择, 仅在重载模式下有效
00: 重载值选择T2CPL2, T2CPH2
01: 重载值选择T2CPL1, T2CPH1
1x: 重载值选择16'h0000
- Bit0: LOAD, Timer2 软件触发使能位, 写1后自动清零
在重载模式下, 对该位写1启动重载操作
在PPG模式和单脉冲模式下, 对该位写1触发PPG输出和单脉冲输出

T2捕获寄存器1低字节 (T2CPL1)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

T2CPL1, BANK0, BAH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2CPL1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]:T2CPL1, Timer2 捕获寄存器1低字节
在重载模式下, 可作为计数器低8位的重载值
在捕获模式下, 发生外部触发0~2时, 存储计数器的低8位
在PPG模式和单脉冲模式时, 作为计数器起始值的低8位

T2捕获寄存器1高字节 (T2CPH1)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

T2CPH1, BANK0, BBH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2CPH1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]:T2CPH1, Timer2 捕获寄存器1高字节
在重载模式下, 可作为计数器高8位的重载值

在捕获模式下，发生外部触发0~2时，存储计数器的高8位

在PPG模式和单脉冲模式时，作为计数器起始值的高8位

T2捕获寄存器2低字节 (T2CPL2)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2CPL2, BANK0, BCH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2CPL2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]:T2CPL2, Timer2 捕获寄存器2低字节

在重载模式下，可作为计数器低8位的重载值

在捕获模式下，发生外部触发3时，存储计数器的低8位

在PPG模式和单脉冲模式时，作为计数器比较值的低8位

T2捕获寄存器2高字节 (T2CPH2)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2CPH2, BANK0, BDH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2CPH2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]:T2CPH2, Timer2 捕获寄存器2高字节

在重载模式下，可作为计数器高8位的重载值

在捕获模式下，发生外部触发3时，存储计数器的高8位

在PPG模式和单脉冲模式时，作为计数器比较值的高8位

T2捕获寄存器 (T2CAP)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2CAP, BANK0, BEH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CAP3		CAP2		CAP1		CAP0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	1	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:6]:CAP3, Timer2 外部触发源3边沿选择

00: 禁止外部触发源3触发

01: 下降沿触发

10: 上升沿触发

11: 上升沿或者下降沿触发

➤ Bit[5:4]:CAP2, Timer2 外部触发源2边沿选择

- 00: 禁止外部触发源2触发
- 01: 下降沿触发
- 10: 上升沿触发
- 11: 上升沿或者下降沿触发
- Bit[3:2]:CAP1, Timer2 外部触发源1边沿选择
 - 00: 禁止外部触发源1触发
 - 01: 下降沿触发
 - 10: 上升沿触发
 - 11: 上升沿或者下降沿触发
- Bit[1:0]:CAP0, Timer2 外部触发源0边沿选择
 - 00: 禁止外部触发源0触发
 - 01: 下降沿触发
 - 10: 上升沿触发
 - 11: 上升沿或者下降沿触发

T2捕获状态寄存器 (T2CAPS)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

T2CAPS, BANK0, BFH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CAP3F	CAP2F	CAP1F	CAP0F	T2EX3IN	T2EX2IN	T2EX1IN	T2EX0IN
R/W	R/W	R/W	R/W	R	R	R	R
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
- Bit7: CAP3F, 外部触发源3触发标志位, 写0清除
 - 0: 未发生触发
 - 1: 发生触发
 - Bit6: CAP2F, 外部触发源2触发标志位, 写0清除
 - 0: 未发生触发
 - 1: 发生触发
 - Bit5: CAP1F, 外部触发源1触发标志位, 写0清除
 - 0: 未发生触发
 - 1: 发生触发
 - Bit4: CAP0F, 外部触发源0触发标志位, 写0清除
 - 0: 未发生触发
 - 1: 发生触发
 - Bit3: T2EX3IN, 外部触发源3输入状态, 只读
 - 0: 输入值为低
 - 1: 输入值为高

- Bit2: T2EX2IN, 外部触发源2输入状态, 只读
0: 输入值为低
1: 输入值为高
- Bit1: T2EX1IN, 外部触发源1输入状态, 只读
0: 输入值为低
1: 输入值为高
- Bit0: T2EX0IN, 外部触发源0输入状态, 只读
0: 输入值为低
1: 输入值为高

T2控制寄存器 (T2CON)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

T2CON, BANK0, C1H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TF2	EXF2	INVEN	PPGEN	EXEN2	TR2	C/T2	CP/RL2
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit7: TF2, Timer2 中断标志, 在中断使能后硬件自动清0
在PPG模式或者单脉冲模式, INTS设置为1时:
0: 代表未发生匹配中断
1: 代表发生匹配终端
其他情况下:
0: 代表未发生溢出中断
1: 代表发生溢出中断
- Bit6: EXF2, Timer2外部触发中断标志, 在中断使能后硬件自动清0
0: 未发生外部触发中断
1: 发生外部触发中断
- Bit5: INVEN, 仅在PPG模式和单脉冲模式下有效
0: 代表正常输出
1: 代表反相输出
- Bit4: PPGEN, 与CP/RL2一起确定Timer2的工作模式
0: Timer2工作在捕获模式或者重载模式
1: Timer2工作在PPG模式或者单脉冲模式
- Bit3: EXEN2, 外部捕获使能位
0: 禁止外部捕获功能
1: 使能外部捕获功能
- Bit2: TR2, Timer2 使能控制位

0: Timer2 禁止

1: Timer2 使能

➤ Bit1: C/T2, 外部时钟使能位

0: Timer2采用内部时钟

1: Timer2采用外部时钟

➤ Bit0: CP/RL2, 与PPGEN一起控制Timer2的工作模式。

PPGEN=0, CP/RL2=0: 16位自动重载模式

PPGEN=0, CP/RL2=1: 捕获模式

PPGEN=1, CP/RL2=0: PPG模式

PPGEN=1, CP/RL2=1: 单脉冲模式

T2计数器低字节 (T2L)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2L, BANK0, C2H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2L							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]:T2L, Timer2计数器低字节

T2计数器高字节 (T2H)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2H, BANK0, C3H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2H							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]:T2H, Timer2计数器高字节

注意: T2H, T2L只有在T2启动之前才可以配置, 在重载时, 由硬件从相应重载源重载数据。在PPG模式或者单脉冲模式时, 从T2CPL1和T2CPH1的缓冲区载入数据。

T2外部触发源选择寄存器 (T2EXS)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

T2EXS, BANK0, C4H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2EXS3		-	T2EXS2	-	T2EXS1	-	T2EXS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:6]: T2EXS3, 外部触发源3选择

00: 选择CPL输入

01: 选择PWMCAP0作为输入

1x: 选择RCL时钟作为输入

注意，选择RCL时钟作为输入时，必须确保主时钟频率高于RCL时钟频率。

- Bit5: 保留
- Bit4: T2EXS2, 外部触发源2选择
 - 0: 选择T2CAP2输入
 - 1: 选择PWMCAP3输出作为输入
- Bit3: 保留
- Bit2: T2EXS1, 外部触发源1选择
 - 0: 选择T2CAP1输入
 - 1: 选择PWMCAP2作为输入
- Bit1: 保留
- Bit0: T2EXS0, 外部触发源0选择
 - 0: 选择T2CAP0输入
 - 1: 选择PWMCAP1作为输入

14.3. 功能描述

14.3.1.16 位自动重载模式 (PPGEN=0, CP/RL=0)

在该模式下，内部向上计数器正常计数，捕获寄存器1和捕获寄存器2用于存储重载的数据。当遇到重载条件发生时，将相应寄存器值重载到计数器中继续计数。

ATM8F8040共支持6个重载源，四个外部触发，内部软件触发和计数溢出重载。其中：外部触发可以选择上升沿触发，下降沿触发或者同时触发，在采用外部触发时首先需要选择相应触发源的触发极性，然后使能T2CON中的EXEN2位。当外部重载触发时，可以通过查看T2CAPSTAT寄存器查看相应触发标志。当选用内部软件触发时，直接写T2MOD中LOAD位为1，该位在写完后将会自动清零。

重载寄存器有三种可以选择，可以通过T2MOD寄存器中的RDSRC位配置，可以配置为重载全0，重载捕获寄存器1和重载捕获寄存器2。

在开启定时器2之前，可以往T2CNTL和T2CNTH中写入计数器初值。

在自动重载模式下，有两个中断源，T2溢出中断和T2外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。

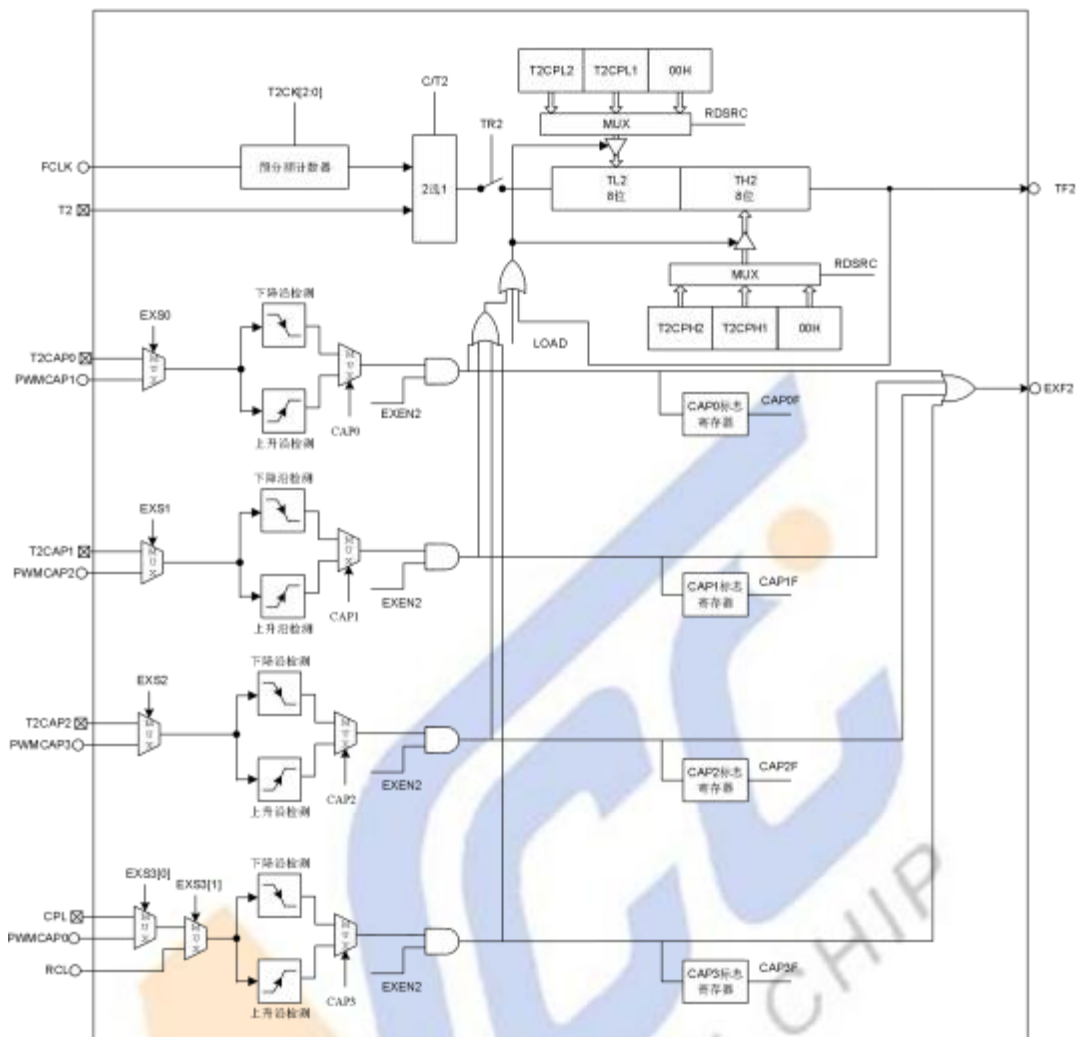


图 14- 1 16 位自动重载模式内部框图

14.3.2.16 位捕获模式 (PPGEN=0, CP/RL=1)

16位捕获模式可以捕获当前16位计数器的值到捕获寄存器。捕获寄存器1和捕获寄存器2用于存储捕获数据。存储的捕获寄存器与捕获源有关，当外部CAP0, CAP1, CAP2触发时，捕获的数据将存储到捕获寄存器1中；当外部CAP3触发时，捕获的数据将存储到捕获寄存器2中。

在捕获操作发生时，可以根据T2MOD寄存器中CAPCLR位确定计数器是继续计数还是归零重新开始计数。

在开启定时器2之前，可以往T2L和T2H中写入计数器初值。

在捕获模式下，有两个中断源，T2溢出中断和T2外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。

输出为1。当捕获寄存器2的值大于等于捕获寄存器1的值时，输出正常波形，占空比为： $(65535 - \text{捕获寄存器2}) / (65536 - \text{捕获寄存器1})$ 。

特别的，当捕获寄存器1和捕获寄存器2的值都为16' Hffff时，若INVEN为0，输出PPG为0，若INVEN为1，输出PPG为1。

在PPG模式下，有三个中断源，T2溢出中断，T2匹配中断和T2外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。溢出中断和匹配中断共享一个中断向量，通过T2MOD寄存器中的INTS位选择使能的中断。

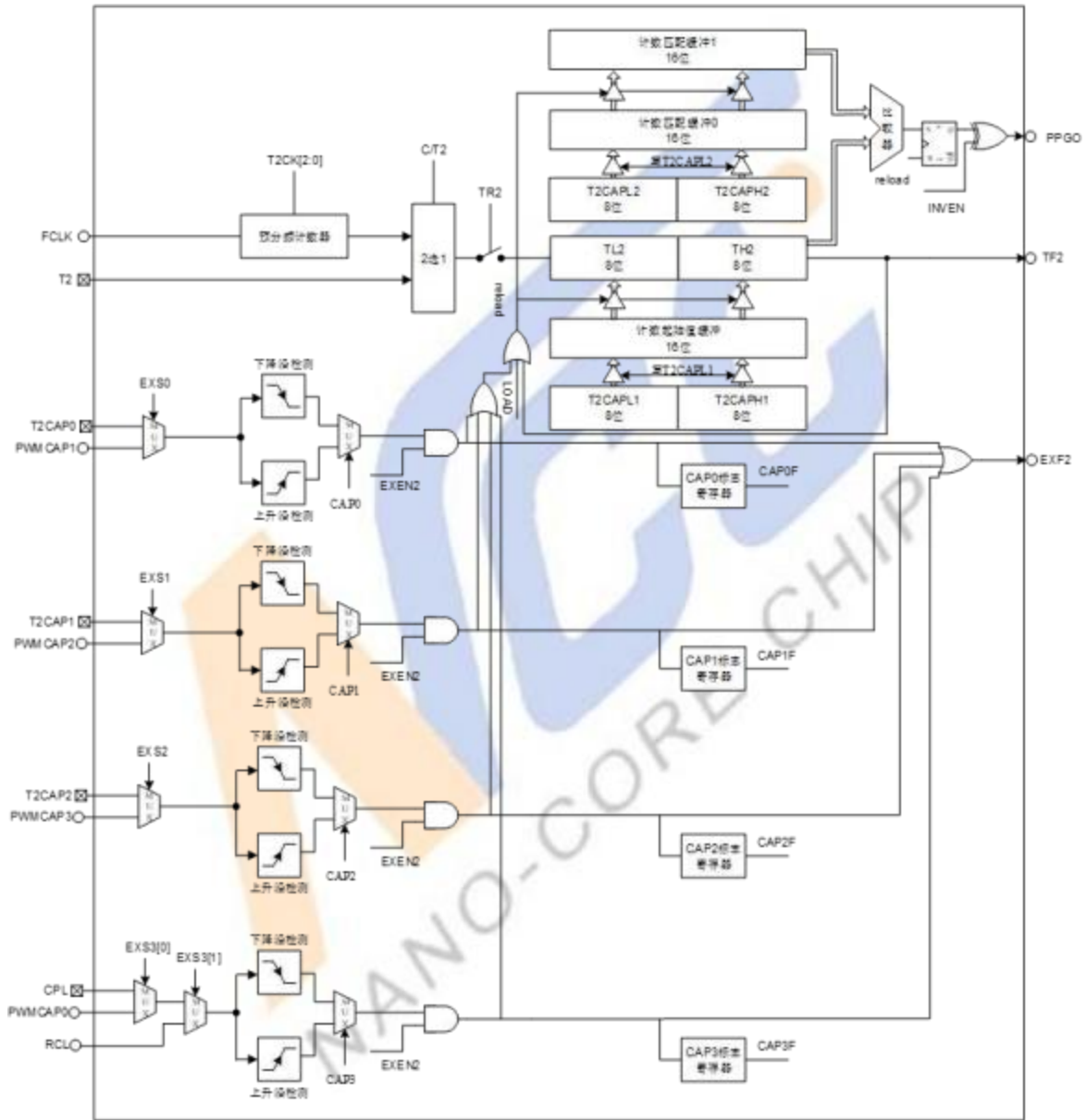


图14- 3 16位PPG模式内部框图

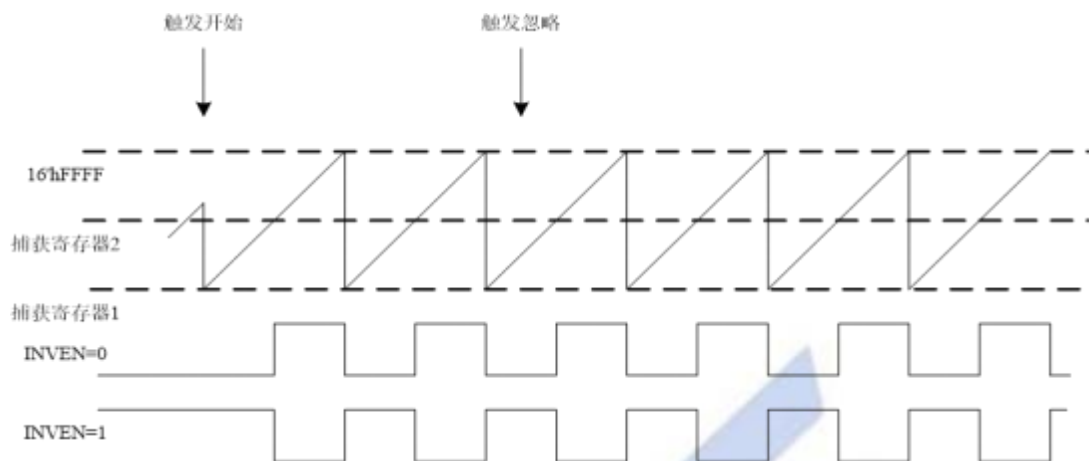


图 14- 4 16位PPG模式重复触发禁止波形图

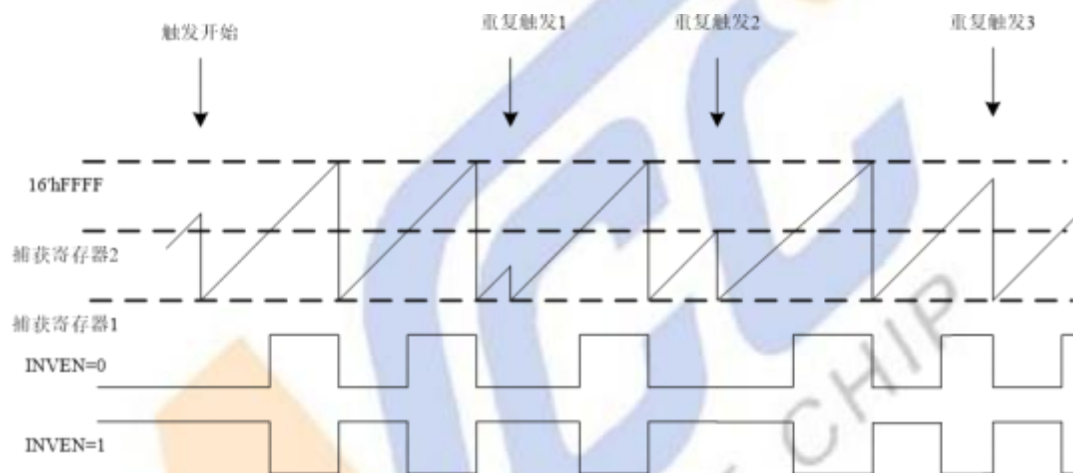


图 14- 5 16位PPG模式重复触发使能波形图

14.3.4. 单脉冲发生器

单脉冲发生器工作模式只产生单个脉冲。通过软件触发或者外部触发来启动单脉冲发生器。在外部触发或者内部触发发生后经过一段时间延迟后输出脉冲波形。延迟的时间取决于捕获寄存器2和捕获寄存器1的差。当捕获寄存器2值小于捕获寄存器1的值时，将没有脉冲信号输出。特别的，当捕获寄存器1和捕获寄存器2的值都为16'hffff时，若INVEN为0，输出PPG为0，若INVEN为1，输出PPG为1。

单脉冲宽度的计算： $(65535 - \text{捕获寄存器2}) \times T_{\text{cycle}}$;

延迟时间的计算： $(\text{捕获寄存器2} - \text{捕获寄存器1} + 1) \times T_{\text{cycle}}$ 。

在单脉冲发生器模式下，重复触发将无效，只有首次触发才能启动单脉冲计数。在单脉冲模式中，有三个中断源，T2溢出中断，T2匹配中断和T2外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。溢出中断和匹配中断共享一个中断向量，通过T2MOD寄存器中的INTS位选择使能的中断。

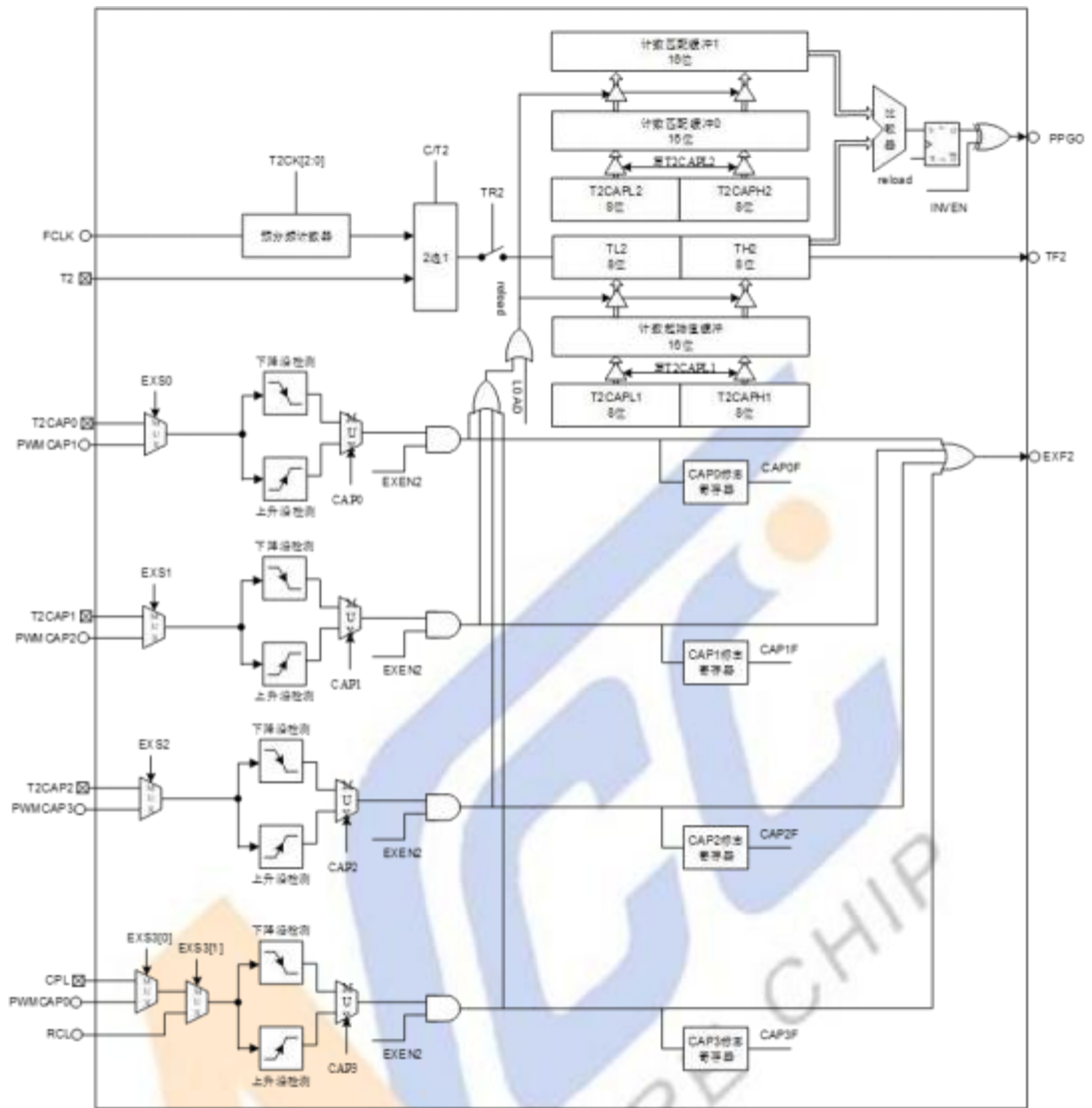


图 14- 6 16位单脉冲模式内部框图

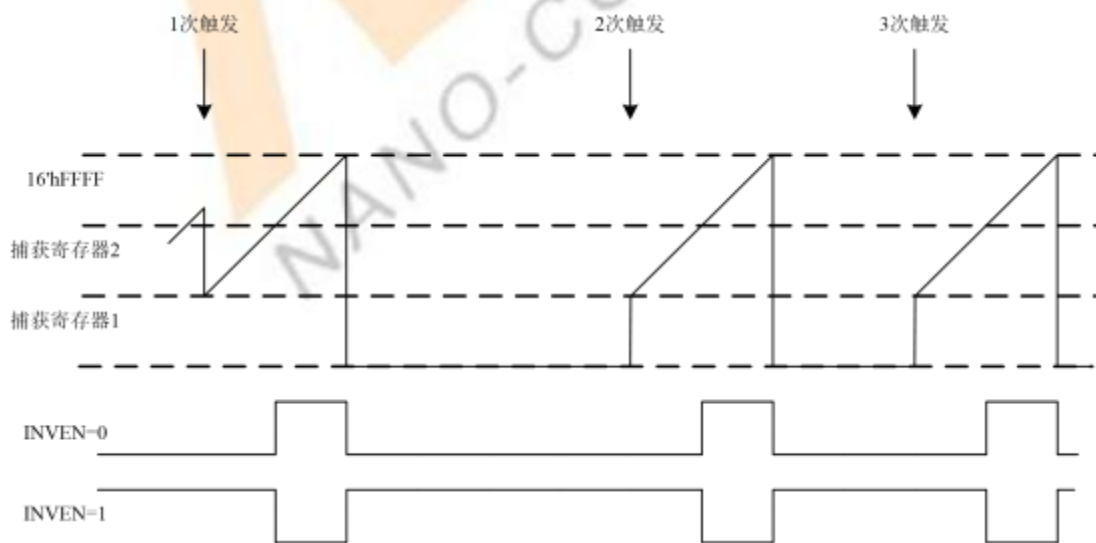


图 14- 7 16 位单脉冲模式波形图

15. UART

ATM8F8040 内部集成两个串行通讯接口。该串口可在很宽的频率范围内以多种模式工作，其主要功能如下：在输出数据时，把数据进行并-串转换，在输入数据时，把数据进行串-并转换。

ATM8F8040的串口支持同步和异步的收发。可以工作在4种工作模式，一种同步模式，3种异步模式。在接收时具有一个字符的接收缓冲功能，即在接收第2个字符时将先前接收到的字符存储在缓冲区，只要用户在第2个字符接收结束之前将第一个字符取走，数据就不会丢失。

ATM8F8040的串口兼容传统51的4种工作模式，其基本特征如下：

- 支持8位移位寄存器模式（模式0）
- 支持8位可变波特率模式（模式1）
- 支持9位固定波特率模式（模式2）
- 支持9位可变波特率模式（模式3）
- 串口的波特率可以选择定时器1产生也可以选择串口自动产生

15.1. 工作模式

复位释放后定时器默认关闭，软件使能后开启。

待机模式下，如果进入待机前使能，待机模式下仍能工作。如果待机模式前使能了中断，产生中断时，能够唤醒电路。

15.2. 内部框图

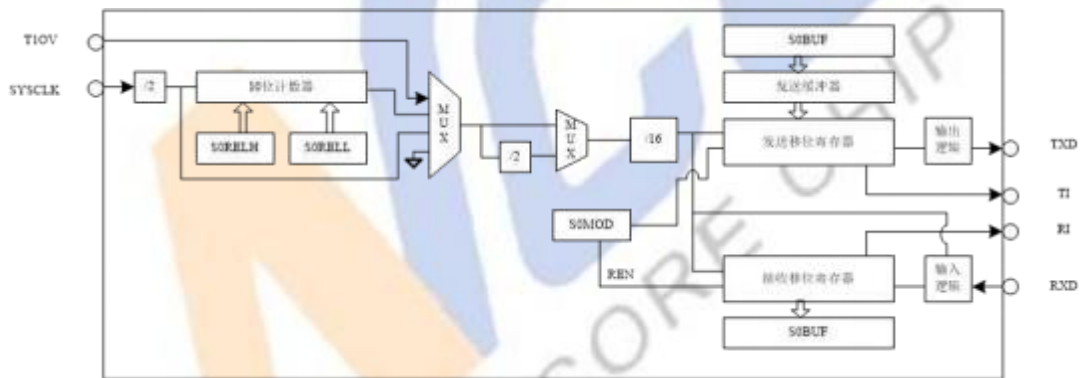


图 15- 1 UART功能框图

15.3. 寄存器描述

表 15-1 UART 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
S0CON	串口 0 控制寄存器	×	R/W	0000 0000B	BANK0/1	98H
S0BUF	串口 0 缓冲寄存器	×	R/W	0000 0000B	BANK0	99H
S0RELL	串口 0 波特率寄存器低字节	×	R/W	0000 0000B	BANK0	9AH
S0RELLH	串口 0 波特率寄存器高字节	×	R/W	0000 0000B	BANK0	9BH
S1CON	串口 1 控制寄存器	×	R/W	0000 0000B	BANK0	A1H
S1BUF	串口 1 缓冲寄存器	×	R/W	0000 0000B	BANK0	A2H
S1RELL	串口 1 波特率寄存器低字节	×	R/W	0000 0000B	BANK0	A3H
S1RELLH	串口 1 波特率寄存器高字节	×	R/W	0000 0000B	BANK0	A4H

注意：

UART0的SMOD和BD控制位在PCON（地址87H）中定义；

UART1的SMOD和BD控制位在BUZCON（地址DCH）中定义。

UART寄存器列表详细说明如下：

串口控制寄存器（S0CON/S1CON）

名称/地址:	S0CON (98H, BANK0/1), S1CON(A1H,BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: SM0, 工作模式控制位0
- Bit6: SM1, 工作模式控制位1, 与工作模式控制位0(SM0)一起确定串口工作模式
 - 00: 8位移位寄存器模式
 - 01: 8位可变波特率模式
 - 10: 9位固定波特率模式
 - 11: 9位可变波特率模式
- Bit5: SM2, 工作模式控制位2, 允许在工作模式2和3下进行多处理器通信, 如果接收到的第9位是0, RI不会置位
 - 0: 禁止多处理器通信
 - 1: 使能多处理器通信
- Bit4: REN, 接收使能位
 - 0: 禁止串口接收
 - 1: 使能串口接收
- Bit3: TB8, 发送数据的第8位, 在模式3下, 这是发送数据的第9位
- Bit2: RB8, 接收数据的第8位, 在模式3下, 存放接收到的第9位数据
- Bit1: TI, 发送中断标志
 - 0: 发送未完成
 - 1: 发送完成
- Bit0: RI, 接收中断标志
 - 0: 接收未完成
 - 1: 接收完成

串口0缓冲寄存器（S0BUF）

名称/地址:	S0BUF (99H, BANK0), S1BUF(A2H,BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	S0BUF							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: SOBUF, 串口0缓冲寄存器, 写该寄存器时自动启动串口发送操作。读该寄存器时, 读串口接收缓冲器的内容。

串口0波特率寄存器低字节 (SORELL)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

SORELL (9AH, BANK0), S1RELL(A3H,BANK0)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SORELL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: SORELL, 串口0波特率寄存器低8位

串口0波特率寄存器高字节 (SORELH)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

SORELH (9BH, BANK0), S1RELH(A4H, BANK0)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SORELH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:2]: 未使用
- Bit[1:0]: SORELH, 波特率寄存器高2位

15.4. 功能描述

串口0工作寄存器共支持4种工作模式, 根据SOCON配置SM0, SM1位选择。其中模式0为同步模式, 模式1, 2, 3为异步模式。在异步模式发送或者接收时都带有一个开始位和一个停止位。模式0仅仅用作简单的移位寄存器。详细说明如下描述。

15.4.1.8 位移位寄存器模式 (模式 0)

当SOCON中的{SM1, SM0}配置为00时, 串口工作在模式0, 该模式是一种同步模式, 仅仅用作简单的移位寄存器, 其中TXD输出移位时钟, RXD用作输入输出数据。

在输出时, 只需要将需要发送的数据写入SOBUF寄存器中, 数据发送立刻开始, 数据通过RXD端输出, 时钟脉冲通过TXD输出, 发送时LSB数据先输出。

在作为输入时, 首先需要配置SOCON中的接收使能, 在要开始数据接收时需要配置RI的下降沿, 接收电路在判断到RI的下降沿后开始发送移位时钟。数据在TXD移位的时钟的上升沿输入。

8 位移位寄存器模式的移位脉冲是主时钟的 12 分频。

15.4.2.8 位可变波特率模式 (模式 1)

当SOCON中的{SM1, SM0}配置为01时, 串口工作在8位可变波特率模式。8位可变波特率模式是以种异步收发模式, 每次发送或者接收10位数据, 包括1个低电平的起始位, 8位数据位 (LSB在先), 1个停止位。

在发送或者接收时波特率可以根据PCON寄存器的BD位选择是采用Timer1的溢出速率, 或者由串口自身寄存器SORELL, SORELH组成的波特率发生器, 同时也可以根据PCON的SMOD位选择是否要将串口波特率倍增。

模式1的发送只需要往SOBUF中写入需要发生的数据。TXD将根据前面介绍的数据帧发送数据, 发送结束后产生发送完成标志, TI置1。

模式1的接收首先需要配置SOBUF的REN位为1, 然后一直监测RXD信号的变化, 当发生RXD由1到0的变化时, 接收开始, 接

收到的数据首先存储在接收移位寄存器中，接收结束后将移位寄存器中的值更新到SOBUF中，同时接受完成标志RI置1。接受时停止位将会被置入SOCON的RB8位。

15.4.3.9 位固定波特率模式（模式2）

当SOCON中的{SM1, SM0}配置为10时，串口工作在9位固定波特率模式。每次发送或接收11位数据，包括一个起始位，8位数据，1个可编程位，1个停止位。

工作在模式2时，发送或者接受的波特率为系统时钟的32分频或者64分频。可以根据PCON中的SMOD配置是否需要倍频。

模式2的发送数据配置在SOBUF中，第9位（可编程位）由SOCON的TB8配置，用户可以根据需要将该位配置为奇偶校验位或者其他数据内容。发送方式与模式1相同。

模式2的接收与模式1类似，第9位将被送入SOCON的RB8中。

15.4.4.9 位可变波特率模式（模式3）

当SOCON中的{SM1, SM0}配置为11时，串口工作在9位可变波特率模式，改工作模式与工作模式2类似，唯一的区别是其波特率是可变的。

工作在模式3时，其发送或者接收时波特率可以根据PCON寄存器的BD位选择是采用Timer1的溢出速率，或者由串口自身寄存器SORELL, SORELH组成的波特率发生器，同时也可以根据PCON的SMOD位选择是否要将串口波特率倍增。

15.4.5. 波特率

在模式1和模式3中，波特率可以根据不同的配置设置可变波特率。

当PCON中的BD为设置为0时，将采用Timer1的溢出速率作为波特率，波特率的计算公式为：

$$\text{baud rate} = \frac{2^{\text{SMOD}}}{32} * (\text{T1 溢出频率})$$

当PCON中的BD为设置为1时，将采用波特率发生器产生波特率，波特率的计算公式为：

$$\text{baud rate} = \frac{2^{\text{SMOD}} * \text{FCLK}}{64 * (2^{10} - \text{SOREL})}$$

15.4.6. 多处理器通讯

当串口工作在模式2或者模式3时，可以用作多处理器通信。在这两个模式中，接收的第9位数据将被写入SOCON的RB8。通过配置SOCON的SM2位为1，使得只有接收到RB1为1时才会置位接收中断标志，配置多机通信的流程如下：

首先为所有的从机分配独立的从机地址，所有的从机SOCON中的SM2都置位为1。在需要发生通信时，主机首先发送需要通信的从机地址，注意地址的第9位为1，所有的从机接收到该地址后都将产生中断，在中断中比较该地址是否与自身地址匹配，如果匹配则将该机SM2清零。此后主机和从机开始通信，注意通信时的数据第9位都必须为0。如果不匹配，则依然保持它们的SM2为1，忽略接收到的数据，继续它们自己的任务，直到新的地址字节来临。

16. CRC

ATM8F8040内部集成循环冗余编码单元（CRC），支持CRC16-CCITT 1021多项式，主要包括以下特性：

- 支持计算数据顺序或倒序输入
- 支持计算结果顺序或倒序输出
- 支持设置初始数据
- 支持计算结果异或输出
- 支持复位CRC计算结果

16.1. 内部框图

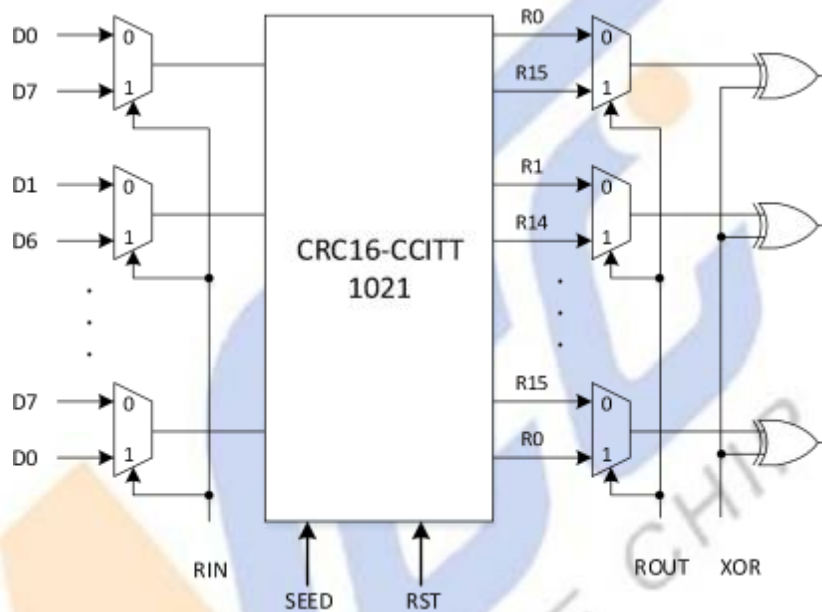


图 16- 1 CRC 结构图

16.2. 寄存器描述

表 16- 1 CRC 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
CRCCON	CRC 控制寄存器	×	R/W	0000 0000B	BANK0	0x9C
CRCDAT	CRC 数据寄存器	×	R/W	0000 0000B	BANK0	0x9D
CRCS0	CRC 结果寄存器低 8 位	×	R/W	0000 0000B	BANK0	0x9E
CRCS1	CRC 结果寄存器高 8 位	×	R/W	0000 0000B	BANK0	0x9F

中断控制寄存器详细说明如下：

CRC控制寄存器（CRCCON）

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

CRCCON, BANK0, 9CH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	REV	XOR	ROUT	RIN	RST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- Bit[7:4]:保留

- Bit3: XOR, 输出异或控制
 - 0: 禁止
 - 1: 使能
- Bit2: ROUT, 输出计算结果控制
 - 0: 顺序输出
 - 1: 倒序输出
- Bit1: RIN, 输入控制
 - 0: 顺序输入
 - 1: 倒序输入
- Bit0: RST, 复位信号, 写1清0
 - 0: 无效
 - 1: 清零

CRC数据寄存器1 (CRCDAT)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CRCDAT , BANK0, 9DH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CRCDAT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: CRC数据寄存器, 写该寄存器时自动启动CRC操作。

CRC结果寄存器0 (CRCSD0)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CRCSD0, BANK0, 9EH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CRCSD0							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: 8位寄存器, 写该寄存器时, 配置CRC SEED的低8位, 读该寄存器时, 读取CRC结果低八位。

CRC结果寄存器1 (CRCSD1)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CRCSD1, BANK0, 9FH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CRCSD1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: 8位寄存器, 写该寄存器时, 配置CRC SEED的高8位, 读该寄存器时, 读取CRC结果高八位。

16.3. 功能描述

ATM8F8040内嵌循环冗余编码单元, 采用CRC16-CCITT 1021多项式, 控制算法如下图所示。启动CRC运算时, 首选需要配置

CRC SD0/SD1 寄存器，设置CRC运算的初始SEED，复位默认值为全0。根据需要可以配置CRCCON中RIN位使得CRC数据以顺序或者倒序输入CRC运算单元，在写CRCDAT寄存器时开始CRC运算。CRC计算后的结果可以通过读取CRC SD0或者SD1寄存器获得。根据CRCCON中的ROUT和XOR位可以配置CRC输出结果是以顺序还是倒序输出以及输出是否经过异或操作。

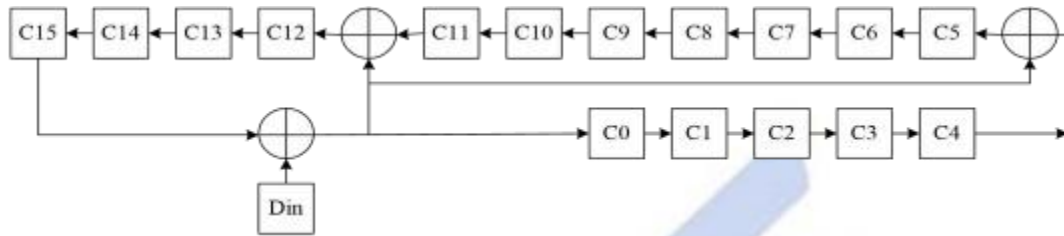
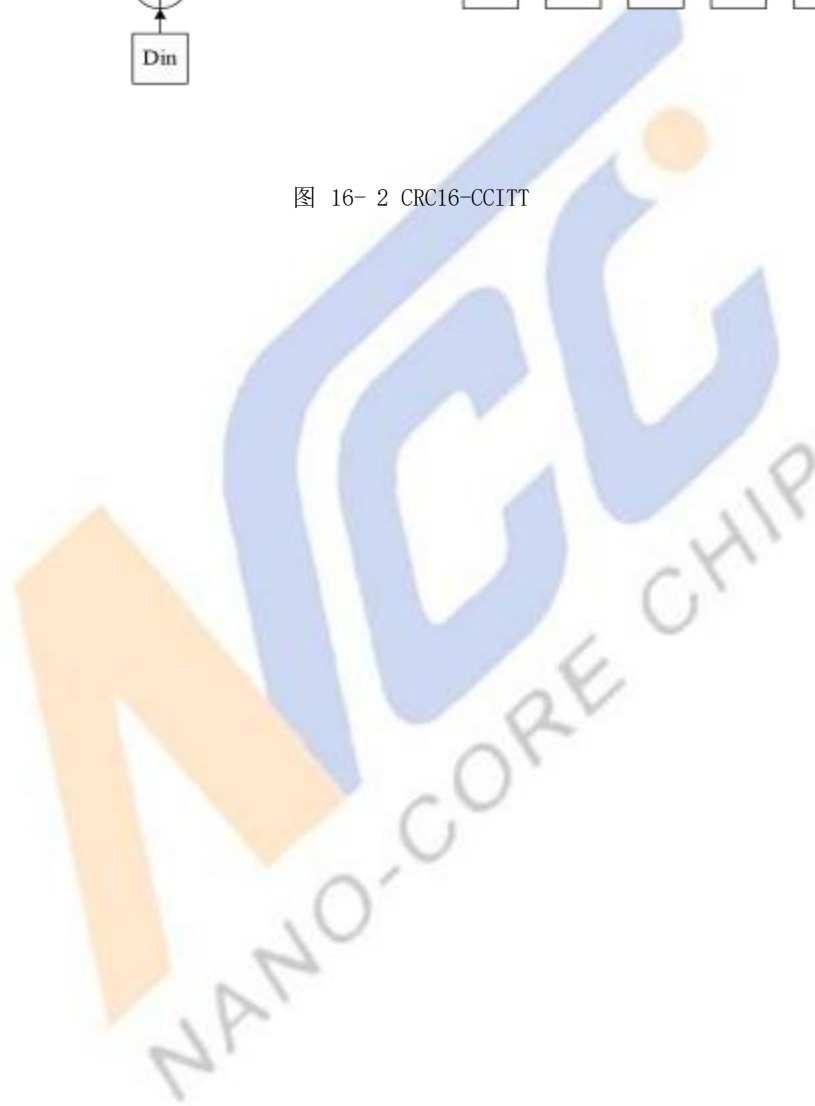


图 16- 2 CRC16-CCITT



17. 可配置逻辑单元 (CPL)

ATM8F8040内部集成一个可配置逻辑运算单元 (CPL)，可以使得不需要软件参与实现特定的功能。可配置逻辑单元的输入可以是外部端口或者外设，可配置逻辑单元的输出可以直接触发某些外设，或者直接输出到IO端口。

主要包括以下特性：

- 支持8个输入信号选择
- 软件可配置位AND/OR/XOR/DFF功能
- 支持待机工作

17.1. 内部框图

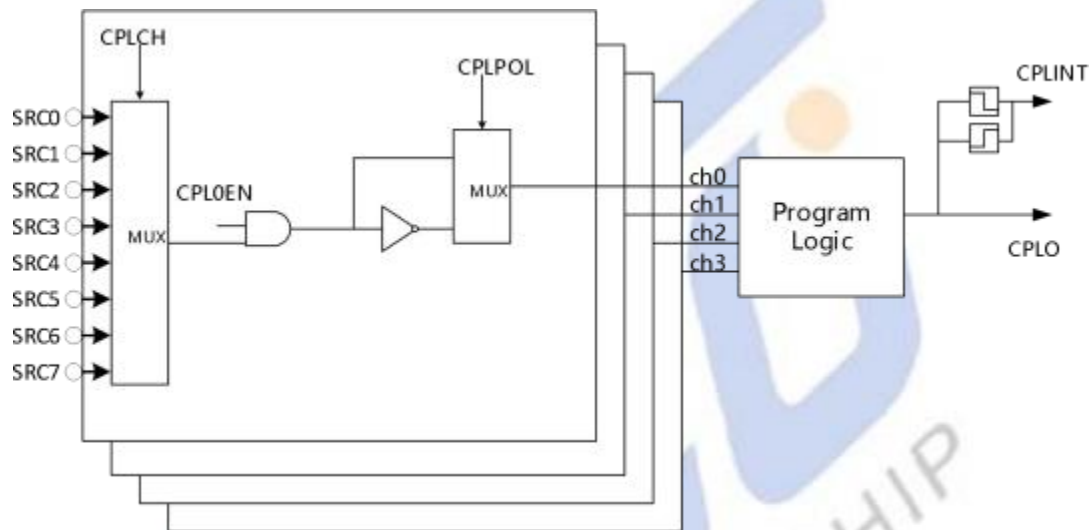


图 17- 1 CPL 内部框图

17.2. 寄存器描述

表 17- 1 CRC 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
CPLCON	CPL 控制寄存器	×	WO	0000_0000B	BANK1	0Xe1
CPLCH0	CPL 通道 0 寄存器	×	WO	0000_0000B	BANK1	0Xe2
CPLCH1	CPL 通道 1 寄存器	×	WO	0000_0000B	BANK1	0Xe3
CPLCH2	CPL 通道 2 寄存器	×	WO	0000_0000B	BANK1	0Xe4
CPLCH3	CPL 通道 3 寄存器	×	WO	0000_0000B	BANK1	0Xe5

中断控制寄存器详细说明如下：

CPL控制寄存器 (CPLCON)

名称/地址:

CPLCON, BANK1, E1H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CPLINT	CPLEDGE		CPLPOL	CPLEN	CPLMODE		
WO	WO	WO	WO	WO	WO	WO	WO
0	0	0	0	0	0	0	0

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7]:CPLINT 中断标志
- 0: 无中断

- 1: 产生中断
- Bit[6:5]: CPLEDGE, CPL中断沿选择
 - 00: 禁止
 - 01: 下降沿
 - 10: 上升沿
 - 11: 双沿
- Bit4: CPLPOL, 输出极性
 - 0: 正向输出
 - 1: 反向输出
- Bit3: CPLEN, CPL使能
 - 0: 禁止
 - 1: 使能
- Bit[2:0]: CPLMODE, 功能选择
 - 000: AND_OR_22
 - 001: OR_AND_22
 - 010: AND_OR_31
 - 011: OR_AND_31
 - 100: OR_XOR_22
 - 101: AND_XOR_22
 - 110: DFF1
 - 111: DFF2

CPL通道0/1/2/3寄存器 (CPLCH0/1/2/3)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CPLCH0/1/2/3, BANK1, E2H/E3H/E4H/E5H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	CPLxEN	CPLxPOL	CPLxSRC		
WO	WO	WO	WO	WO	WO	WO	WO
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:5]:保留
- Bit[4]: CPLxEN, CPL通道输入使能位
 - 0: 通道x输入禁止
 - 1: 通道x输入使能
- Bit[3]: CPLxPOL, CPL输入极性配置位
 - 0: 正向输入
 - 1: 反向输入
- Bit[2:0]: CPLxSRC, CPL通道输入选择位

- 000: 选择T0输入
- 001: 选择T10V
- 010: 选择CLK0
- 011: 选择PPG输出
- 100: 选择PWM0
- 101: 选择PWM1
- 110: 选择PWM2
- 111: 选择PWM3

17.3. 功能描述

ATM8F8040内部集成一个可配置逻辑运算单元（CPL），可以不需要软件参与，实现特定的功能。

CPL的输入可以是T0CLK, T1CLK, CLK0, PPG输出, PWM0/1/2/3输出, CPL的输出可以控制T2的CAPTURE3通道或者通过P13输出。

CPL的逻辑功能实现如下图所示：

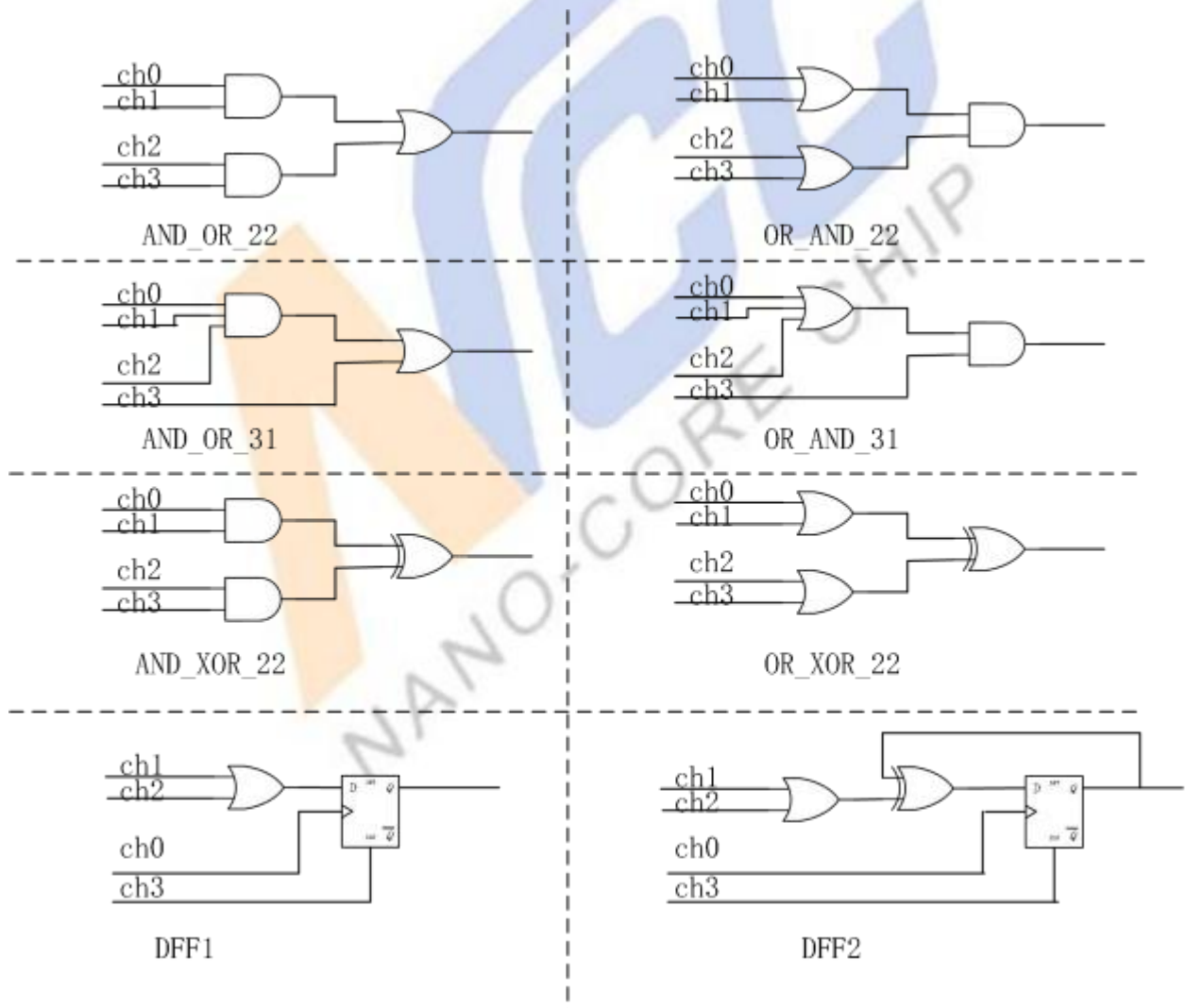


图 17- 2 CPL 的逻辑功能

18. 蜂鸣器 (BUZZER)

ATM8F8040内部集成一个BUZZER信号产生器。

18.1. 基本特征

- 采用ILRC作为时钟源
- 采用5位递增计数器

18.2. 内部框图

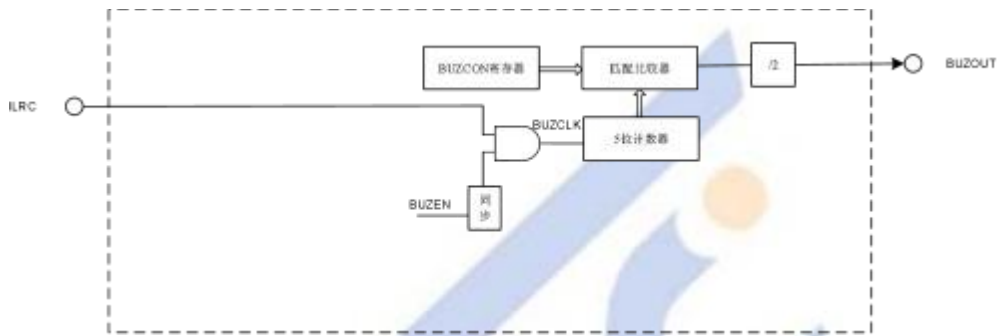


图 18-1 BUZZER 内部框图

18.3. 寄存器描述

表 18- 1 BUZ 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
BUZCON	BUZ 控制寄存器	×	R/W	0000 0000B	BANK0	DCH

BUZ控制寄存器详细说明如下：

BUZ控制寄存器 (BUZCON)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

BUZCON, BANK0, DCH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BUZSEL					SMOD	BD	BUZEN
R/W	R/W	R-0	R-0	R-0	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- Bit[7:3]: BUZSEL, BUZZER输出频率选择, ILRC位32KHz

00000: 16KHz

00001: 8KHz

00010: 16/3KHz

00011: 4KHz

.....

11111: 500Hz

- Bit2: SMOD, UART1串口波特率倍增位

0: 正常波特率

1: 串口工作在模式1, 2, 3时, 波特率增加一倍

- Bit1: BD, UART1串口波特率选择位
 - 0: 选择定时器T1作为波特率发生器
 - 1: 选择串口自身的波特率发生器

- Bit0: BUZEN
 - 0: BUZ禁止
 - 1: BUZ使能

18.4. 功能描述

ATM8F8040内部集成一个BUZZER信号产生器。产生的频率范围从500Hz~16KHz。



看门狗控制寄存器 (WDTCON)

名称/地址:	WDTCON, BANK0, CEH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTTIME						WDTEN	-
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:2]: WDTTIME, WDT复位时间选择

➤ Bit1: WDT使能位

0: WDT未使能

1: WDT使能

➤ Bit0: 保留

注意: WDTTIME 位必须在看门狗定时器启动之前配置, 启动后将不能配置。

看门狗唤醒寄存器 (WDTWK)

名称/地址:	WDTWK, BANK0, CFH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTWK							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: WDTWK, 看门狗计数器计数唤醒值

注意: WATCHDOG相关寄存器和计数器复位源是除了WDT复位以外的所有复位源。

19.4. 功能描述

看门狗定时器采用独立的内部低频时钟源(ILRC)作为定时时钟。计数部分由一个18位递增计数器组成。当计数器溢出时, 产生看门狗复位信号复位整个芯片。溢出值可根据WDTCON中的WDTTIME位设置, 只设定高6位, 低12位默认计数4096。溢出时间为:

$$T_{wdtc1k} * (WDTTIME + 1) * 4096$$

看门狗定时器默认状态不开启, 只有配置看门狗控制寄存器WDTCON中的WDTEN位为1方可启动。看门狗定时器一旦启动将无法停止, 只有发生外部复位, 上电复位或者低压复位时方可停止。

看门狗定时器的重载操作需要WDTWLD寄存器连续写入0x5A和0x3C方可完成重载。

在不需要WDT功能时, 可以将其用作定时器使用, 使用时需要首先开启WDT唤醒中断使能, 配置WDTWK寄存器, 当WDT计数器的低10为计数器到与{WDTWK[7:0], 0x3}匹配时将会发生中断。高8位由WDTWK设定, 低2位固定都为1。溢出时间为:

$$T_{wdtc1k} * (WDTWK * 4 + 3)$$

由于中断以后WDT还会继续计数, 为避免意外发生WDT复位, 需要在唤醒中断子程序中对WDT进行重载操作。在STOP模式下, 如果WD采用ILRC作为时钟源, 可作为唤醒控制。看门狗定时器在IDLE模式时将不运行。

在配置时, WDTCON寄存器中除WDTEN位外的寄存器必须在启动WDT之前配置, 启动WDT后将无法更改。

注意: 在使能WDT后, 如果发生软复位或者堆栈溢出复位, WDTCON中的WDTTIME将会复位, 但是看门狗本身不会关闭, 此时

复位时间将复位为初始值，并且不能修改。

20. 唤醒定时器

ATM8F8040内部集成一个唤醒定时器，该寄存器采用低频振荡器作为时钟，采用一个20位的递增计数器作为定时器，当计数到设定值时可产生一个唤醒信号。

20.1. 基本特征

- 采用ILRC作为时钟源
- 采用20位递增计数器
- 可配置在STOP模式下运行并唤醒STOP

20.2. 内部框图

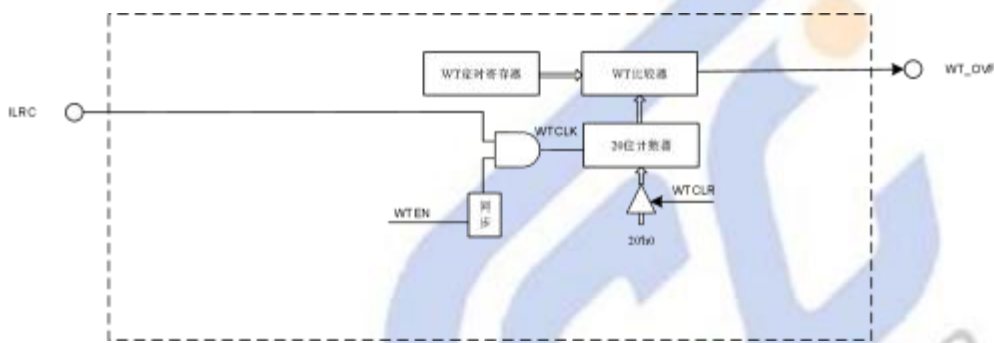


图 20-1 WT 内部框图

20.3. 寄存器描述

表 20- 1 唤醒定时器寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
WTCON	唤醒控制寄存器	×	R/W	0000 0000B	BANK0	CDH

唤醒定时器详细说明如下：

唤醒控制寄存器（WTCON）

名称/地址：
位 序 号：
位 定 义：
访问权限：
复 位 值：
提 示：

WTCON, BANK0, CDH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WTTIME						WTCLR	WTEN
R/W	R/W	R-0	R-0	R-0	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:2]: WTTIME, WT溢出时间选择
- Bit1: WT定时器清0, 写1清零
0: 无效
1: 清零
- Bit0: WTEN
0: WT禁止
1: WT使能

20.4. 功能描述

唤醒定时器可以产生周期性的中断信号。该定时器采用一个20位的计数器，时钟源采用内部32K的ILRC。定时的时间可以配置为：

$$Twdtclk * (WTIME+1) * 16384$$

WT内部比较器只匹配高6位，当计数值高6位超出时溢出，产生中断信号，低14位默认计数16384。定时器计数溢出时会归零重新计数，也可以通过写WTCON中的WTCLR位写1清零，清零后软件需将WTCLR写0。



21. PWM 控制器

21.1. 基本特征

ATM8F8040内部集成一个16位PWM波形发生器，具有四个比较/捕获通道，最大支持7路PWM输出，最大支持3组互补输出，支持死区时间控制，支持故障控制。

该PWM主要有以下特性：

- 可以配置为边沿计数模式或者中央对齐模式
- 支持故障触发，故障发生后可支持软故障模式（即逐周期保护）或硬故障模式
- 死区时间可以独立配置
- 各路PWM输出极性可以独立设置
- 支持4路捕获输入
- PWM0/1、PWM2/3、PWM4/5可作为3路互补输出
- PWM6的输出可作为Timer或ADC的外部输入源

21.2. 设计框图

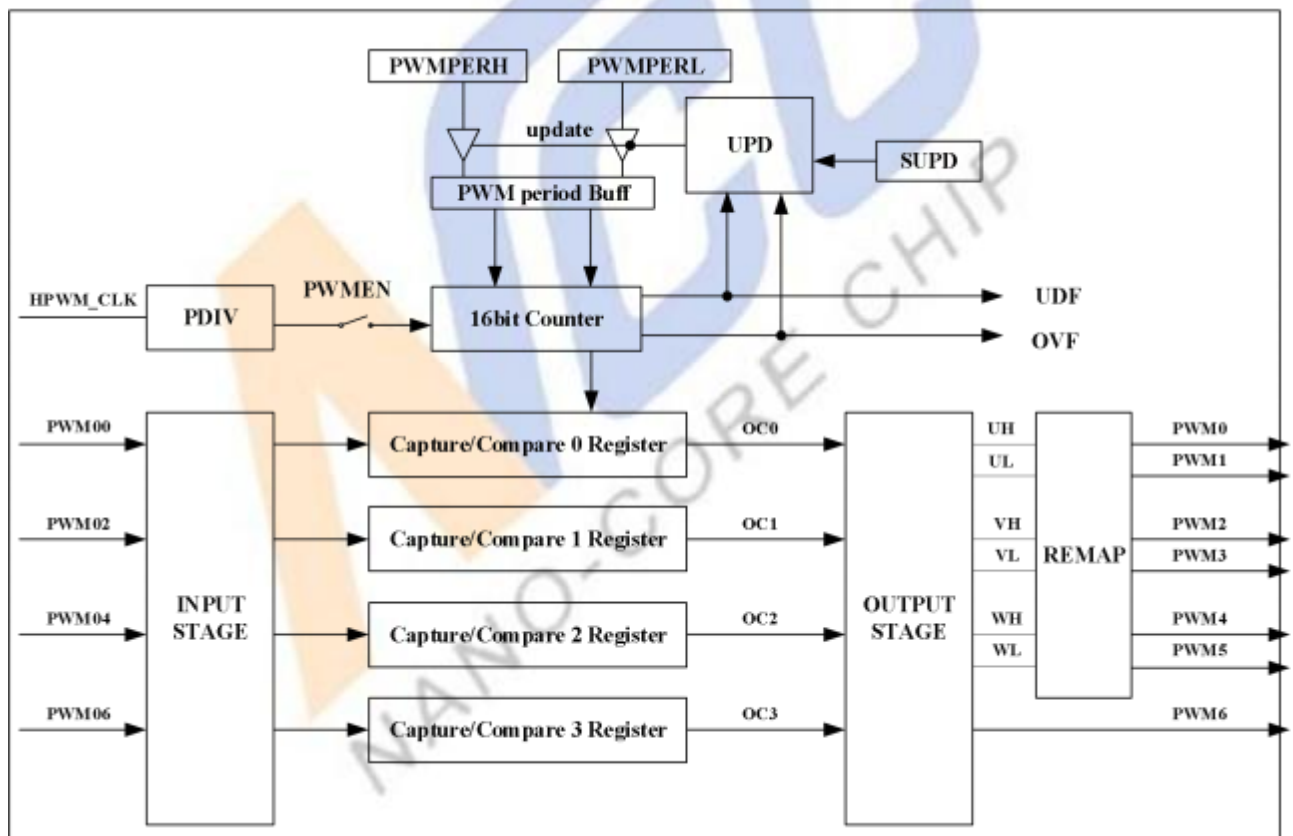


图 21- 1 PWM设计框图

21.3. 寄存器说明

PWM控制寄存器的主要寄存器列表如下：

表 21- 1 PWM 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
PWMCON	PWM 控制寄存器	×	R/W	0000_0000B	BANK0	A9

PWMCFG	PWM 配置寄存器	×	R/W	0000_0000B	BANK0	AA
PWMPERH	PWM 周期寄存器高字节	×	R/W	1111_1111B	BANK0	AB
PWMPERL	PWM 周期寄存器低字节	×	R/W	1111_1111B	BANK0	AC
PWMDR	PWM 死区控制寄存器 0	×	R/W	0000_0000B	BANK0	AD
PWMDF	PWM 死区控制寄存器 1	×	R/W	0000_0000B	BANK0	AE
EVTCON	事件控制寄存器	×	R/W	0000_0000B	BANK0	AF
CCR0H	通道 0 匹配寄存器高字节	×	R/W	1111_1111B	BANK0	91
CCR0L	通道 0 匹配寄存器低字节	×	R/W	1111_1111B	BANK0	92
CCR1H	通道 1 匹配寄存器高字节	×	R/W	1111_1111B	BANK0	93
CCR1L	通道 1 匹配寄存器低字节	×	R/W	1111_1111B	BANK0	94
CCR2H	通道 2 匹配寄存器高字节	×	R/W	1111_1111B	BANK0	95
CCR2L	通道 2 匹配寄存器低字节	×	R/W	1111_1111B	BANK0	96
CCR3H	通道 3 匹配寄存器高字节	×	R/W	1111_1111B	BANK0	F9
CCR3L	通道 3 匹配寄存器低字节	×	R/W	1111_1111B	BANK0	FA
PWMOEN	PWM 输出控制寄存器	×	R/W	0000_0000B	BANK0	FB
PWMSEL0	PWM 输入输出设置寄存器 0	×	R/W	0000_0000B	BANK0	FD
PWMSEL1	PWM 输入输出设置寄存器 1	×	R/W	0000_0000B	BANK0	FC
PWMPOL	PWM 输出极性选择寄存器	×	R/W	0000_0000B	BANK0	ED
PWMIE	PWM 中断使能寄存器	×	R/W	0000_0000B	BANK0	97
CCIEN	捕获比较中断使能寄存器	×	R/W	0000_0000B	BANK0	FE
CCISR	捕获比较中断状态寄存器	×	R/W	0000_0000B	BANK0	FF
PWMLOCK	PWM 输出极性配置寄存器	×	R/W	0000_0000B	BANK0	EE
PWMFC	PWM 故障通道控制寄存器	×	R/W	0000_0000B	BANK0	EF

R/W: 可读可写, R0: 只读, W0: 只写

复位值中: 0代表复位为低电平, 1代表复位为高电平, -代表不关注, x代表不确定

详细描述如下:

PWM控制寄存器 (PWMCN)

名称/地址:	PWMCN, BANK0, A9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CH3SEL	CH2SEL	CH1SEL	CH0SEL	CNTMD		STRG	PWMEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- CH3SEL: 通道3工作模式选择
 - 0: 捕获模式
 - 1: 比较模式
- CH2SEL: 通道2工作模式选择
 - 0: 捕获模式
 - 1: 比较模式
- CH1SEL: 通道1工作模式选择

- 0: 捕获模式
- 1: 比较模式
- CHOSEL: 通道0工作模式选择
 - 0: 捕获模式
 - 1: 比较模式
- CNTMD: 计数器模式控制
 - 00: 连续边沿对齐模式
 - 01: 连续中央对齐模式
 - 10: 单次边沿对齐模式
 - 11: 单次中央对齐模式
- STRG: 写操作时, 是单次模式的触发信号; 读操作时, 是中央对齐方式的计数方向标志

写操作: 仅在单次模式有效。STRG置1, 触发计数器单次计数, 触发动作完成后, STRG自动清零

 - 0: 无效
 - 1: 单次触发

读操作: 读取计数器的计数方向。边沿对齐方式时, 读取的STRG一直为0

- 0: 上升计数
- 1: 下降计数
- PWMEN: PWM使能信号
 - 0: PWM禁止
 - 1: PWM使能

PWM配置寄存器 (PWMCFG)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMCFG, BANK0, AAH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMUPD		UPSYNC		SUPD	CLKS		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- PWMUPD[1:0]: PWM缓冲寄存器更新时刻选择
 - 00: SUPD置1时立即更新
 - 01: 过零溢出时更新, 过零信号间隔由UPSYNC确定, 仅中央对齐模式有效
 - 10: 周期匹配时更新, 匹配信号间隔由UPSYNC确定, 中央对齐模式或者边沿对齐有效
 - 11: 周期匹配或者过零溢出时更新, 更新间隔由UPSYNC确定, 中央对齐模式下, 周期和过零均有效, 边沿对齐模式下, 仅周期有效
- UPSYNC[1:0]: PWM缓冲寄存器更新间隔
 - 00: 每个更新事件发生时, 更新缓冲寄存器
 - 01: 两次更新事件发生时, 更新缓冲寄存器

- 10: 四次更新事件发生时, 更新缓冲寄存器
- 11: 八次更新事件发生时, 更新缓冲寄存器
- SUPD: 软件更新配置位, 写1更新PWM缓冲寄存器, 动作完成后, SUPD自动清零。
- 0: 无效
- 1: 更新PWM缓冲寄存器
- CLKS[2:0]: PWM时钟选择控制位, 系统时钟源N倍分频后, 作为PWM时钟。
- 000: 不分频
- 001: 2分频
- 010: 3分频
- 011: 4分频
- 100: 5分频
- 101: 6分频
- 110: 7分频
- 111: 8分频

PWM周期控制寄存器高字节 (PWMPERH)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMPERH, BANK0, ABH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMPER[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- PWMPER[15:8], PWM周期数据寄存器高字节

PWM周期控制寄存器低字节 (PWMPERL)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMPERL, BANK0, ACH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMPER[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- PWMPER[7:0], PWM周期数据寄存器低字节

PWM死区控制寄存器0 (PWMDR)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMDR, BANK0, ADH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMDR							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- PWMDR, PWM通道上沿死区控制时间, 死区时间为系统时钟乘以PWMDR

PWM死区控制寄存器1 (PWMDF)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMDF, BANK0, AEH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMDF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- PWMDF, PWM通道下沿死区控制时间, 死区时间为系统时钟乘以PWMDF

事件控制寄存器 (EVTCON)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

EVTCON, BANK0, AFH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
STRCH		FLTDB		SCAP	FLTSEL	FLTMOD	FLTEN
R/W	R/W	R/W	R/W	WO	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- STRCH: 设置软件触发捕获时, 捕获数据的存储位置

00: 存储到通道0寄存器

01: 存储到通道1寄存器

10: 存储到通道2寄存器

11: 存储到通道3寄存器

- FLTDB: FLT管脚滤波选择

00: 不滤波

01: 16个PWM时钟滤波

10: 32个PWM时钟滤波

11: 64个PWM时钟滤波

- SCAP: 软件触发捕获。SCAP置1, 触发捕获, 动作完成后, SCAP自动清零

0: 禁止

1: 触发捕获

- FLTSEL: 故障信号输入引脚的极性选择

0: 故障输入信号上升沿时, 触发故障标志FLTSTA

1: 故障输入信号下降沿时, 触发故障标志FLTSTA

- FLTMOD: 故障保护模式选择

0: 软故障模式 (逐周期保护)

1: 硬故障模式 (硬件保护)

- FLTEN: 故障输入使能

0: 禁止

1: 使能

CCR0H匹配数据寄存器高字节 (CCR0H)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CCR0H, BANK0, 91H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR0[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR0[15:8], 通道0匹配数据寄存器高字节

CCR0L匹配数据寄存器低字节 (CCR0L)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CCR0L, BANK0, 92H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR0[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR0[7:0], 通道0匹配数据寄存器低字节

CCR1H匹配数据寄存器高字节 (CCR1H)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CCR1H BANK0, 93H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR1[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR1H[15:8], 通道1匹配数据寄存器高字节

CCR1L匹配数据寄存器低字节 (CCR1L)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CCR1L BANK0, 94H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR1[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR1[7:0], 通道1匹配数据寄存器低字节

CCR2H匹配数据寄存器高字节 (CCR2H)

名称/地址:
位 序 号:
位 定 义:
访问权限:

CCR2H BANK0, 95H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR2[15:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:
提示:

1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR2[15:8], 通道2匹配数据寄存器高字节

CCR2L匹配数据寄存器低字节 (CCR2L)

名称/地址:
位序号:
位定义:
访问权限:
复位值:
提示:

CCR2L, BANK0, 96H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR2[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR2[7:0], 通道2匹配数据寄存器低字节

CCR3H匹配数据寄存器高字节 (CCR3H)

名称/地址:
位序号:
位定义:
访问权限:
复位值:
提示:

CCR3H, BANK0, F9H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR3[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR3[15:8], 通道3匹配数据寄存器高字节

CCR3L匹配数据寄存器低字节 (CCR3L)

名称/地址:
位序号:
位定义:
访问权限:
复位值:
提示:

CCR3L, BANK0, FAH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CCR3[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CCR3[7:0], 通道3匹配数据寄存器低字节

PWM输出使能寄存器 (PWMOEN)

名称/地址:
位序号:
位定义:
访问权限:
复位值:
提示:

PWMOEN, BANK0, FBH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PROTDIS	PWM6EN	PWM5EN	PWM4EN	PWM3EN	PWM2EN	PWM1EN	PWM0EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ PROTDIS: PWM防直通配置

0: 使能PWM防直通功能, 不允许互补输出的两个通道同时为1

1: 禁止PWM防直通功能, 允许互补输出的两个通道同时为1

➤ PWM6EN: PWM6通道输出使能

- 0: 禁止
- 1: 使能
- PWM5EN: PWM5通道输出使能
 - 0: 禁止
 - 1: 使能
- PWM4EN: PWM4通道输出使能
 - 0: 禁止
 - 1: 使能
- PWM3EN: PWM3通道输出使能
 - 0: 禁止
 - 1: 使能
- PWM2EN: PWM2通道输出使能
 - 0: 禁止
 - 1: 使能
- PWM1EN: PWM1通道输出使能
 - 0: 禁止
 - 1: 使能
- PWMOEN: PWM0通道输出使能
 - 0: 禁止
 - 1: 使能

注：捕获模式时，相应通道的PWMxEN设置为0。

PWM输入输出数据选择寄存器0 (PWMSEL0)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

PWMSEL0, BANK0, FDH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VLSEL		VHSEL		ULSEL		UHSEL	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- VLSEL: 通道1 VL输出口的信号源选择位
当通道1作为比较输出时，
 - 00: VL输出恒为逻辑“0”
 - 01: VL输出恒为逻辑“1”
 - 10: VL输出OC1H
 - 11: VL输出OC1L
- VHSEL: 通道1 VH输出口的信号源选择位/通道1捕获输入边沿选择位
当通道1作为捕获输入时，

- 00: 保留
- 01: 上升沿捕获
- 10: 下降沿捕获
- 11: 上升沿捕获或者下降沿捕获

当通道1作为比较输出时，

- 00: VH输出恒为逻辑“0”
- 01: VH输出恒为逻辑“1”
- 10: VH输出OC1L
- 11: VH输出OC1H

➤ ULSEL: 通道0 UL输出口的信号源选择位

当通道0作为比较输出时，

- 00: UL输出恒为逻辑“0”
- 01: UL输出恒为逻辑“1”
- 10: UL输出OC0H
- 11: UL输出OC0L

➤ UHSEL: 通道0 UH输出口的信号源选择位/通道0捕获输入边沿选择位

当通道0作为捕获输入时，

- 00: 保留
- 01: 上升沿捕获
- 10: 下降沿捕获
- 11: 上升沿捕获或者下降沿捕获

当通道0作为比较输出时，

- 00: UH输出恒为逻辑“0”
- 01: UH输出恒为逻辑“1”
- 10: UH输出OC0L
- 11: UH输出OC0H

PWM输入输出数据选择寄存器1 (PWMSEL1)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMSEL1, BANK0, FCH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
		CH3SEL		WLSEL		WHSEL	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ CH3SEL: 通道3输出口的信号源选择位/通道3捕获输入边沿选择位

当通道3作为捕获输入时，

- 00: 保留

- 01: 上升沿捕获
- 10: 下降沿捕获
- 11: 上升沿捕获或者下降沿捕获

当通道3作为比较输出时，

- 00: 输出恒为逻辑“0”
- 01: 输出恒为逻辑“1”
- 10: 保留
- 11: 输出OC3H

➤ WLSEL: 通道2 WL输出口的信号源选择位

当通道2作为比较输出时，

- 00: WL输出恒为逻辑“0”
- 01: WL输出恒为逻辑“1”
- 10: WL输出OC2H
- 11: WL输出OC2L

➤ WHSEL: 通道2 WH输出口的信号源选择位/通道2捕获输入边沿选择位

当通道2作为捕获输入时，

- 00: 保留
- 01: 上升沿捕获
- 10: 下降沿捕获
- 11: 上升沿捕获或者下降沿捕获

当通道2作为比较输出时，

- 00: WH输出恒为逻辑“0”
- 01: WH输出恒为逻辑“1”
- 10: WH输出OC2L
- 11: WH输出OC2H

注: 0cxH/0cxL的输出波形是通道x的一组互补PWM输出波形，详见“0cxH/0cxL的输出波形”相应章节。

PWM输出极性选择寄存器 (PWMPOL)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMPOL, BANK0, EDH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OUTMOD	PWM6P	PWM5P	PWM4P	PWM3P	PWM2P	PWM1P	PWM0P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ OUTMOD: 输出REMAP选择控制位

- 0: UH输出到PWM00, UL输出到PWM01, VH输出到PWM02, VL输出到PWM03, WH输出到PWM04, WL输出到PWM05
- 1: UH输出到PWM00, VH输出到PWM01, WH输出到PWM02, UL输出到PWM03, VL输出到PWM04, WL输出到PWM05

注：PWM0~PWM5与外部pad的对应关系，详见“引脚分布图”。

- PWM6P: PWM06输出极性控制位
0: 同相输出
1: 反相输出
- PWM5P: PWM05输出极性控制位
0: 同相输出
1: 反相输出
- PWM4P: PWM04输出极性控制位
0: 同相输出
1: 反相输出
- PWM3P: PWM03输出极性控制位
0: 同相输出
1: 反相输出
- PWM2P: PWM02输出极性控制位
0: 同相输出
1: 反相输出
- PWM1P: PWM01输出极性控制位
0: 同相输出
1: 反相输出
- PWM0P: PWM00输出极性控制位
0: 同相输出
1: 反相输出

PWM中断使能寄存器 (PWMIE)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

PWMIE, BANK0, 97H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
UEVSTA	FLTSTA	PWMOVFSTA	PWMUDFSTA	UEVEN	FLTEN	PWMOVFOEN	PWMUDFEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- UEVSTA: 更新事件标志。发生更新后，更新标志置1，更新标志需要软件写1清零
0: 未发生更新
1: 发生更新中断
- FLTSTA: 故障标志。发生故障后，故障标志置1，故障标志需要软件写1清零
0: 未发生故障
1: 发生故障中断
- PWMOVFSTA: PWM周期溢出标志，写1清零

- 0: 未发生周期溢出
- 1: 发生周期溢出
- PWMDFSTA: PWM过零溢出标志, 写1清零
 - 0: 未发生过零溢出
 - 1: 发生过零溢出
- UEVEN: 更新中断使能
 - 0: 禁止
 - 1: 使能
- FLTEN: 故障中断使能
 - 0: 禁止
 - 1: 使能
- PWMOVFEN: PWM周期溢出中断使能
 - 0: 禁止
 - 1: 使能
- PWMUDFEN: PWM过零溢出中断使能
 - 0: 禁止
 - 1: 使能

比较捕获中断使能寄存器 (CCIEN)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

CCIEN, BANK0, FEH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CH3MATFEN	CH3MATREN	CH2MATFEN	CH2MATREN	CH1MATFEN	CH1MATREN	CH0MATFEN	CH0MATREN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
- CH3MATFEN: 通道3下降沿计数匹配中断使能, 捕获模式下无效
 - 0: 禁止
 - 1: 使能
 - CH3MATREN: 通道3上升沿计数匹配中断使能, 捕获模式下设置通道3捕获中断使能
 - 0: 禁止
 - 1: 使能
 - CH2MATFEN: 通道2下降沿计数匹配中断使能, 捕获模式下无效
 - 0: 禁止
 - 1: 使能
 - CH2MATREN: 通道2上升沿计数匹配中断使能, 捕获模式下设置通道2捕获中断使能
 - 0: 禁止
 - 1: 使能

- CH1MATFEN: 通道1下降沿计数匹配中断使能, 捕获模式下无效
0: 禁止
1: 使能
- CH1MATREN: 通道1上升沿计数匹配中断使能, 捕获模式下设置通道1捕获中断使能
0: 禁止
1: 使能
- CH0MATFEN: 通道0下降沿计数匹配中断使能, 捕获模式下无效
0: 禁止
1: 使能
- CH0MATREN: 通道0上升沿计数匹配中断使能, 捕获模式下设置通道0捕获中断使能
0: 禁止
1: 使能

比较捕获中断状态寄存器 (CCISR)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

CCISR, BANK0, FFH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CH3FSTA	CH3RSTA	CH2FSTA	CH2RSTA	CH1FSTA	CH1RSTA	CH0FSTA	CH0RSTA
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- CH3FSTA
比较模式时: 通道3计数下降沿匹配中断标志, 写1清零
0: 未发生匹配中断
1: 发生匹配中断
捕获模式时: 无效
- CH3RSTA
比较模式时: 通道3计数上升沿匹配中断标志, 写1清零
0: 未发生匹配中断
1: 发生匹配中断
捕获模式时: 通道3捕获中断标志, 写1清零
0: 未发生捕获中断
1: 发生捕获中断
- CH2FSTA
比较模式时: 通道2计数下降沿匹配中断标志, 写1清零
0: 未发生匹配中断
1: 发生匹配中断
捕获模式时: 无效

- CH2RSTA
 - 比较模式时：通道2计数上升沿匹配中断标志，写1清零
 - 0：未发生匹配中断
 - 1：发生匹配中断
 - 捕获模式时：通道2捕获中断标志，写1清零
 - 0：未发生捕获中断
 - 1：发生捕获中断
- CH1FSTA
 - 比较模式时：通道1计数下降沿匹配中断标志，写1清零
 - 0：未发生匹配中断
 - 1：发生匹配中断
 - 捕获模式时：无效
- CH1RSTA
 - 比较模式时：通道1计数上升沿匹配中断标志，写1清零
 - 0：未发生匹配中断
 - 1：发生匹配中断
 - 捕获模式时：通道1捕获中断标志，写1清零
 - 0：未发生捕获中断
 - 1：发生捕获中断
- CH0FSTA
 - 比较模式时：通道0计数下降沿匹配中断标志，写1清零
 - 0：未发生匹配中断
 - 1：发生匹配中断
 - 捕获模式时：无效
- CH0RSTA
 - 比较模式时：通道0计数上升沿匹配中断标志，写1清零
 - 0：未发生匹配中断
 - 1：发生匹配中断
 - 捕获模式时：通道0捕获中断标志，写1清零
 - 0：未发生捕获中断
 - 1：发生捕获中断

PWM输出极性配置锁定寄存器 (PWMLOCK)

名称/地址：
位 序 号：
位 定 义：
访问权限：

PWMLOCK, BANK0, EDH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LOCK							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0
提示:	-: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

只有当PWMLOCK写入0xb3时, LOCK位置位为高。LOCK位为高时, 用户无法修改PWMPOL寄存器, 只有发生外部复位, 上电复位或者掉电复位时, LOCK位方可清零。

PWM故障通道控制寄存器 (PWMFC)

名称/地址:	PWMFC, BANK0, EFH							
位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:		FCEN6	FCEN5	FCEN4	FCEN3	FCEN2	FCEN1	FCEN0
访问权限:	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	-: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ FCENx: 通道故障控制寄存器

0: 禁止, 此时对应通道不受故障保护控制

1: 使能, 故障发生后根据故障模式选择软故障或者硬故障保护

21.4. 功能描述

ATM8F8040内部集成一个16位的PWM波形发生器模块, 具有4个通道, 每个通道可独立配置为捕获输入模式或者PWM输出模式。PWM模块内部集成3个死区控制单元, 可输出3组互补的PWM波形, 另外一路单独的PWM输出可作为TA0/TA1/TB0的时钟输入, 也可作为ADC的触发源, 同时也支持输出到IO口。工作在PWM模式时, 支持四种工作模式: 连续边沿对齐、连续中央对齐、单次边沿对齐、单次中央对齐模式。工作在捕获模式时, 最多支持4个捕获通道。此外该模块还支持1个故障处理单元, 支持逐周期保护(软故障)或者禁止PWM输出(硬故障)。故障保护时, PWM输出通道关闭, 对应通道的输出状态由GPIO的配置决定(通常建议相应的GPIO设置成输入口, 即故障保护时, 通道输出状态为高阻态)。

21.5. 计数器工作模式

21.5.1. 连续边沿对齐模式

当PWM控制寄存器(PWMCON)中的CNTMD位为0x0时, 计数器将工作在连续边沿对齐模式。内部16位计数器将循环从0计数到周期缓冲寄存器, 然后从0开始重新计数。PWM周期寄存器(PWMPERH/PWMPERL)在预设的时刻更新到周期缓冲寄存器。

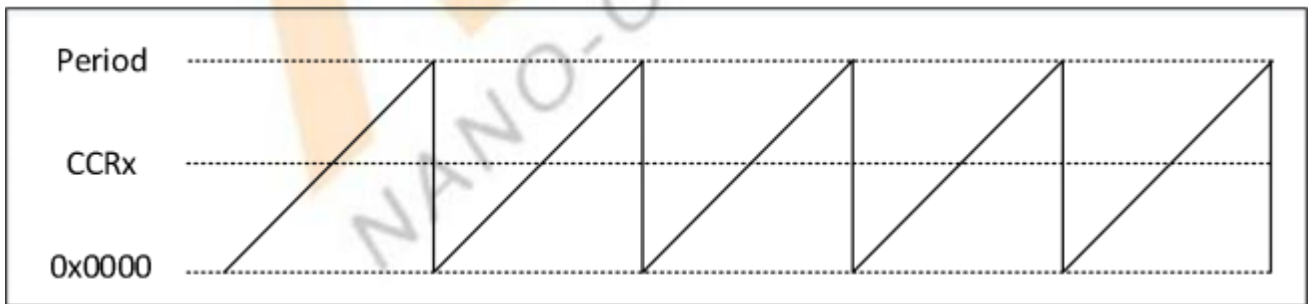


图 21- 2 连续边沿对齐示意图

21.5.2. 连续中央对齐模式

当PWM控制寄存器(PWMCON)中的CNTMD位为0x1时, PWM将工作在连续中央对齐模式。内部16位计数器将循环从0上升计数到周期缓冲寄存器, 然后再下降计数到0后再重新开始向上计数。PWM周期寄存器(PWMPERH/PWMPERL)在预设的时刻会更新到周期缓冲寄存器。工作在该模式下, 可通过读取PWMCON中的STRG位判断当前计数器是处于上升计数状态还是下降计数状态。

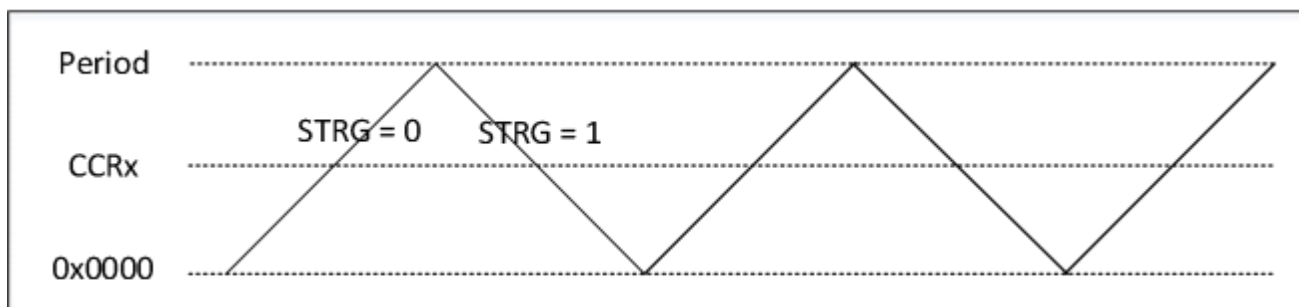


图 21- 3 连续中央对齐示意图

21.5.3. 单次边沿对齐模式

当PWM控制寄存器（PWMCON）中的CNTMD位为0x2时，PWM将工作在单次边沿对齐模式。启动后，内部16位计数器将从0计数到周期缓冲寄存器，然后计数器的值恢复为0，并停止计数。PWM单次边沿对齐模式的启动由PWMCON寄存器中的STRG位来触发，该位在写1后自动清零。

21.5.4. 单次中央对齐模式

当PWM控制寄存器（PWMCON）中的CNTMD位为0x3时，PWM将工作在单次中央对齐模式。启动后，内部16位计数器将从0计数到周期缓冲寄存器，然后向下计数到0后，停止计数。PWM单次中央对齐模式的启动由PWMCON寄存器中的STRG位来触发，该位在写1后自动清零。通过读取PWMCON中的STRG位判断当前计数器是处于上升计数状态还是处于下降计数状态。

21.5.5. PWM 寄存器更新

PWM周期寄存器（PWMPERH/L）、匹配寄存器（CCRxH/L）和死区寄存器（PWMDR/PWMDF）都有缓冲寄存器，用户不能直接操作这些缓冲寄存器。在写PWM周期寄存器、匹配寄存器和死区控制寄存器时，写入的值不会立即更新到缓冲寄存器。用户可以通过PWM配置寄存器（PWMCFG）中的PWMUPD和UPSYNC位来配置更新时刻。

连续中央对齐模式下，更新事件可以选择软件更新、过零溢出更新、周期匹配更新、过零溢出或周期匹配更新；连续边沿对齐模式下，更新时间可以选择软件更新或者周期匹配更新。

采用过零溢出/周期匹配更新时，UPSYNC位用来设置更新频率，每当出现1次/2次/4次/8次更新事件时，产生一次更新动作。

采用软件更新时，更新频率不受UPSYNC位控制，只要使能PWMCFG中的SUPD位就会立即更新缓冲寄存器。对于单次边沿或者单次中央对齐模式，缓冲寄存器更新只能选择软件更新。

只有通道作为比较输出时，更新操作才会更新相应的通道缓冲寄存器。无论工作在何种状态，PWM周期缓冲寄存器和死区缓冲寄存器只要发生更新事件都会更新。

在应用中，建议使用两种更新方式更新周期缓冲寄存器：

方式1：软件写入PWMPERH/PWMPERL寄存器后，选择SUPD立即更新周期缓冲寄存器

方式2：在发生过零溢出中断或者周期匹配中断时，更新PWMPERH/PWMPERL寄存器，在下次过零溢出中断或者周期匹配发生时，自动更新周期缓冲寄存器。

举例1：下图是PWMUPD选择周期匹配作为更新源，UPSYNC = 0x1。

0 举例2：下图是PWMUPD选择周期匹配和过零匹配作为更新源，UPSYNC = 0x1。

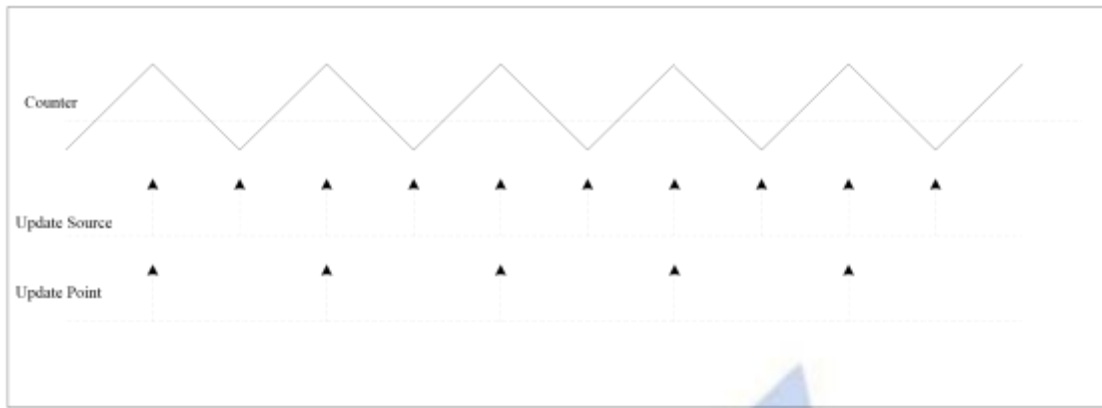


图 21- 4 PWM 更新事件点

21.6. 捕获输入模式

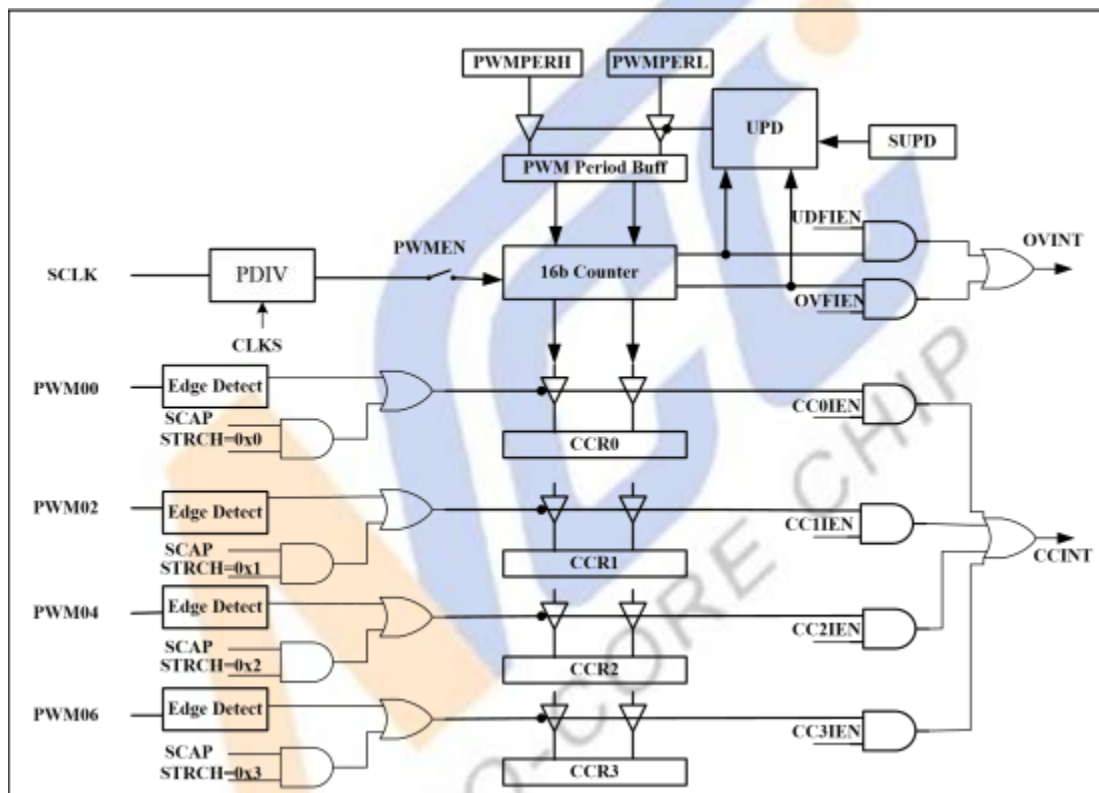


图 21- 5 捕获模式结构图

● 模式配置、时钟源配置

当控制寄存器 (PWMCON) 的 $CH_xSEL = 0$ 时, 通道 x 配置为捕获输入模式 (Capture mode), 四个通道可独立配置为捕获模式 ($CH_xSEL = 0$) 或者 PWM 模式 ($CH_xSEL = 1$)。当配置为捕获输入模式时, 外部触发脉冲可由 PWM00/PWM02/PWM04/PWM06 输入, PWM00/PWM02/PWM04/PWM06 与外部 GPIO 的对应关系, 详见 GPIO 配置及引脚布局图等相应章节。使用时, 可以把 4 路通道都配置为捕获输入或者 PWM 模式, 也可以将通道配置为 PWM 输出和捕获输入的任意组合。

PWM 的分频系数可由配置寄存器 (PWMCFG) 中的 CLKS 位选择。

PWMEN 置 1, PWM 模块启动工作, 计数器开始计数。

● 捕获中断

捕获模式下, 如果相应通道的捕获中断使能 (CCIEN 中的 $CH_xMATREN$ 配置为 1), 当发生捕获事件时, 捕获中断标志寄存器

CCISR中的CHxRSTA标志位将会被置1。如果此时全局中断EA使能，CPU将响应捕获中断。

- 捕获模式下计数器工作模式

捕获模式下，计数器的工作模式可由控制寄存器的CNTMD位配置为边沿对齐还是中央对齐模式。配置为中央对齐模式时，可通过读取控制寄存器的（STRG）位判断计数是处于上升计数状态还是处于下降计数状态，当读取的STRG位是0时，表明处于上升计数状态，当读取的STRG位是1时，表明处于下降计数状态。当配置为边沿对齐模式时，读取STRG位一直为0。

- 软件触发捕获功能

捕获模式下，可以通过软件触发捕获事件，来获取计数器的当前计数值。寄存器EVTCON的STRCH用于配置软件捕获的数据存储通道；寄存器EVTCON的SCAP置1，单次触发捕获事件，计数器的当前计数值存入STRCH配置的相应通道CCR_x，捕获完成后，SCAP标志自动清零。

- 捕获数据读取的注意事项

若当前计数模式配置为中央对齐模式，需要通过读取控制寄存器中的STRG位判断当前计数是处于上升计数状态还是下降计数状态。再结合捕获/比较寄存器 (CCR_xH/CCR_xL) 来判断外部事件的触发间隔时间。

21.7. 比较输出模式

- 模式配置、时钟源配置

当PWM控制寄存器（PWMCON）的CHxSEL = 1时，通道x配置为比较输出模式（Capture mode），最多可以同时支持四个通道配置为捕获模式（CHxSEL = 0）或者PWM模式（CHxSEL =1）。当配置为比较输出模式时，输出波形可通过PWM00/PWM01/PWM02/PWM03/PWM04/PWM05/PWM06输出，各个输出与外部GPIO的对应关系，详见GPIO配置及引脚布局图等相应章节。使用时，可以把4路通道都配置为捕获输入，也可以将通道配置为PWM输出和捕获输入的任意组合。

PWM的分频可由配置寄存器（PWMCFG）中的CLKS位选择。

PWMEN置1，PWM模块启动工作，计数器开始计数。

21.7.1. 边沿对齐模式

当PWM控制寄存器（PWMCON）的CNTMD = 0x0时，计数器工作在边沿对齐模式。计数器从0开始计数到周期缓冲寄存器后，重复开始从0开始计数。

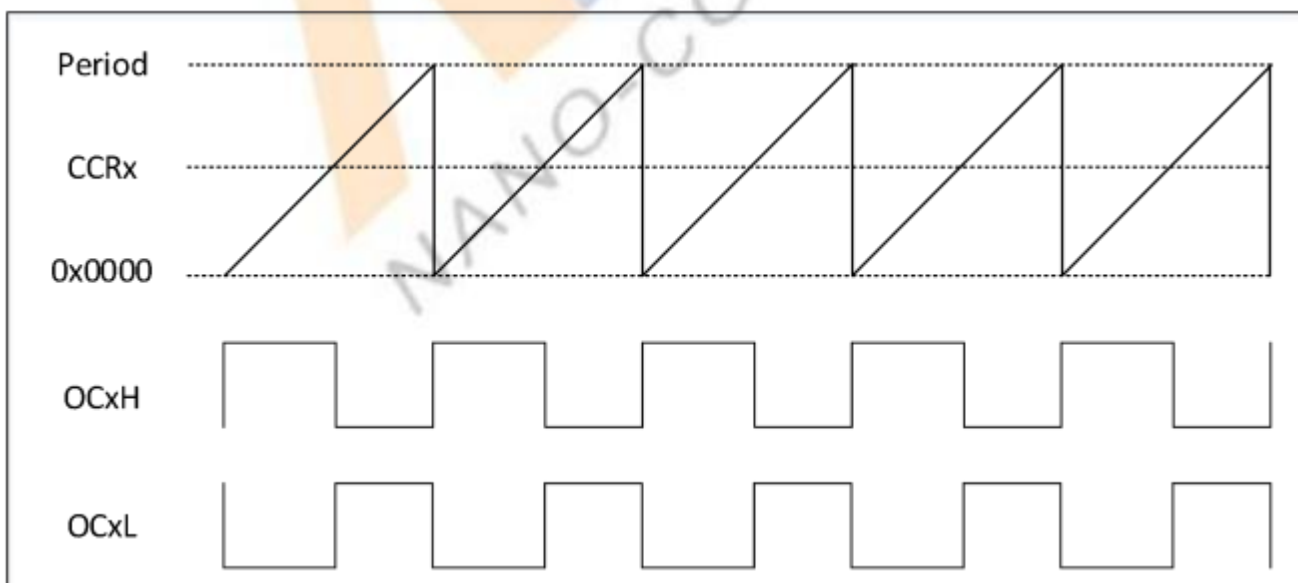


图 21- 6 边沿对齐比较输出模式

- 边沿模式匹配中断

工作在边沿对齐模式下，当计数器的值和捕获/比较缓冲寄存器的值相等时，若CCIEN中的上升沿匹配中断使能位(CHxMATREN)使能，CCISR中的匹配中断标志(CHxRSTA)将会被置1。如果此时全局中断使能，CPU将响应匹配中断。匹配发生后不会清零计数器，而是继续累加，直到计数器与周期缓冲寄存器的值相等时，发生溢出从0000H开始重新计数。

边沿对齐模式下，CCIEN中的下降沿匹配中断无效。

- 边沿模式输出

当计数器的值小于等于捕获/比较缓冲寄存器的值时，相应通道的0cxH输出为高电平，当计数器的值大于捕获/比较缓冲寄存器的值时，相应通道的0cxH输出为低电平；周期缓冲寄存器的值或者捕获/比较缓冲寄存器的值为0时，相应通道的0cxH输出为恒低电平；捕获/比较缓冲寄存器的值大于等于周期缓冲寄存器的值时，相应通道的0cxH输出为恒高电平。0cxL的输出与0cxH的输出互补。

21.7.2. 中央对齐模式

当PWM控制寄存器(PWMCON)的CNTMD = 0x1时，计数器工作在中央对齐模式。计数器从0开始计数到周期缓冲寄存器后，开始下降计数直到计数到0，然后再重新开始从0计数。

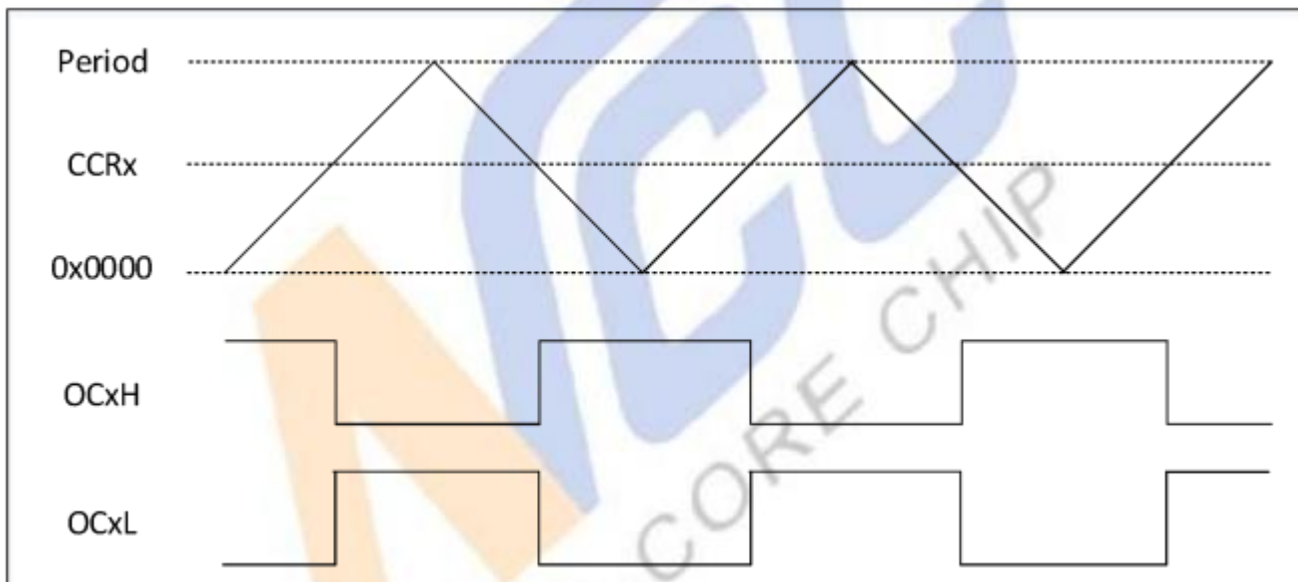


图 21- 7 中央对齐比较输出模式

- 中央对齐模式匹配中断

工作在中央对齐模式下，在上升计数时，当计数器的值和捕获/比较缓冲寄存器的值相等，若CCIEN中的上升沿匹配中断使能位(CHxMATREN)使能，CCISR中的匹配中断标志(CHxRSTA)将会被置1。在下降计数时，当计数器的值和捕获/比较缓冲寄存器的值相等，若CCIEN中的下降沿匹配中断使能位(CHxMATFEN)使能，CCISR中的匹配中断标志(CHxFSTA)将会被置1。如果此时全局中断使能，CPU将响应匹配中断。匹配发生后不会清零计数器，而是继续计数。

- 中央对齐模式输出

当计数器的值小于等于捕获/比较缓冲寄存器的值时，相应通道的0cxH输出为高电平，当计数器的值大于捕获/比较缓冲寄存器的值时，相应通道的0cxH输出为低电平；周期缓冲寄存器的值或者捕获/比较缓冲寄存器的值都为0时，相应通道的0cxH输出为恒低电平；捕获/比较缓冲寄存器的值大于等于周期缓冲寄存器的值时，相应通道的0cxH输出为恒高电平。0cxL的输出与0cxH的输出互补。

21.8. 输出控制

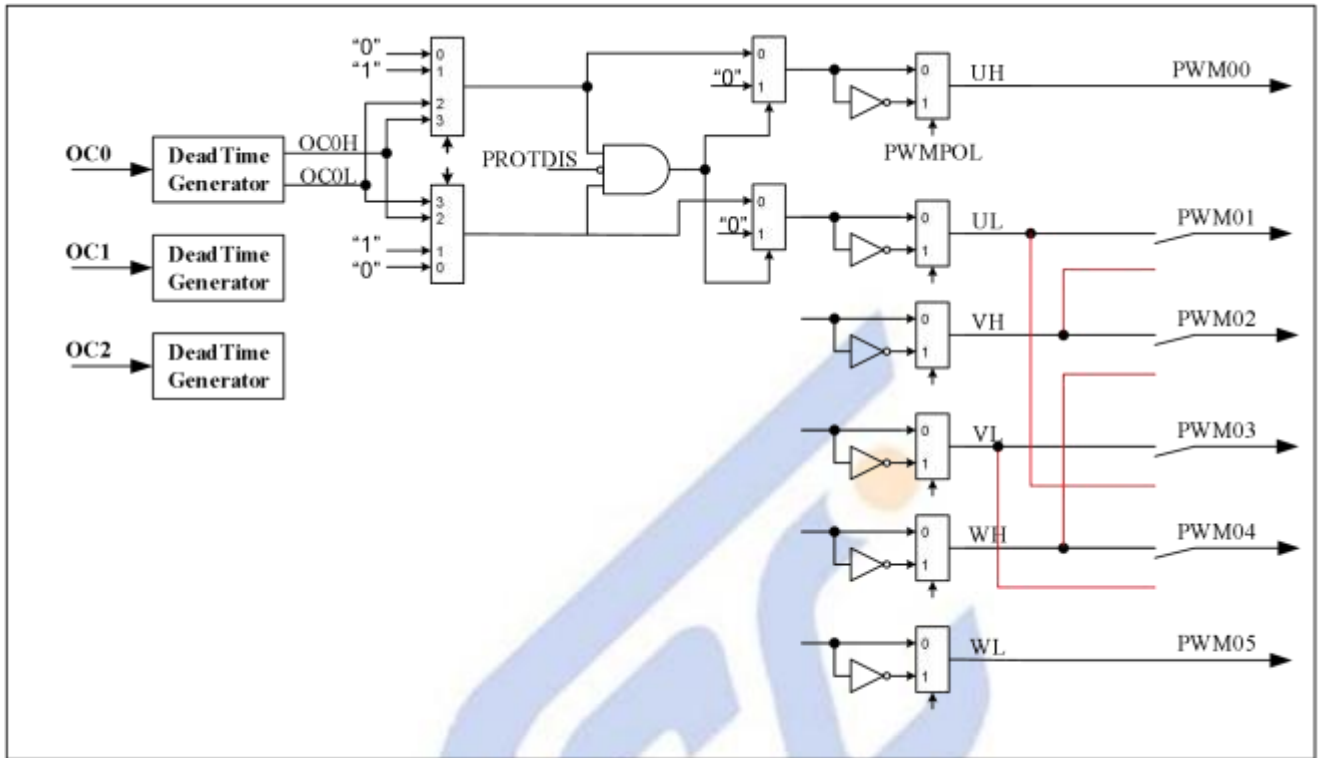


图 21- 8 PWM 输出控制

- 输出模式配置

PWM模块的输出可以由寄存器PWMSEL0、PWMSEL1、PWMPOL以及寄存器PWMOEN的PROTDIS位配置。

- 输出信号源

UH/UL/VH/VL/WH/WL的输出可以有4种信号源：恒低电平、恒高电平、OcxH或OcxL。寄存器PWMSEL0、PWMSEL1用来设置UH/UL/VH/VL/WH/WL的输出信号源。

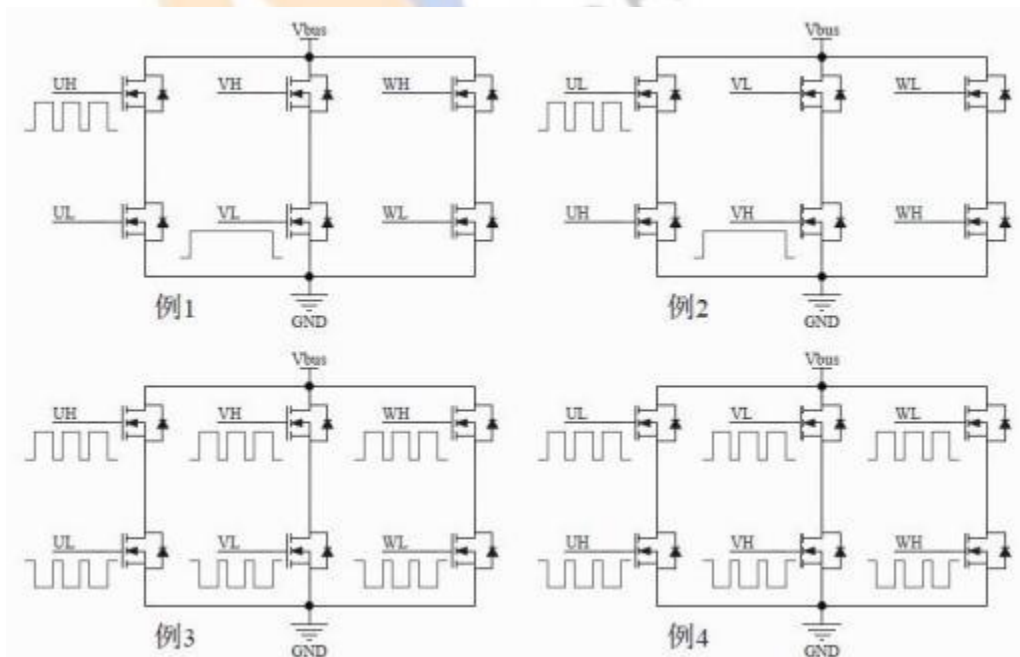


图 21- 9 PWM 应用举例

恒低电平对应0%占空比，恒高电平对应100%占空比，0cxH的占空比与匹配寄存器设置的占空比Duty一致，0cxL的占空比与“1 - Duty”一致。下面将以上图所示的4种情况为例，介绍如何设置输出信号源。

表 21- 2 PWM 应用举例

		UH	UL	VH	VL	WH	WL
例1	选择的信号源	OC0H	恒“0”	恒“0”	恒“1”	恒“0”	恒“0”
	寄存器设置	UHSEL = 3	ULSEL = 0	VHSEL = 0	VLSEL = 1	WHSEL = 0	WLSEL = 0
例2	选择的信号源	恒“0”	OC0H	恒“1”	恒“0”	恒“0”	恒“0”
	寄存器设置	UHSEL = 0	ULSEL = 2	VHSEL = 1	VLSEL = 0	WHSEL = 0	WLSEL = 0
例3	选择的信号源	OC0H	OC0L	OC1H	OC1L	OC2H	OC2L
	寄存器设置	UHSEL = 3	ULSEL = 3	VHSEL = 3	VLSEL = 3	WHSEL = 3	WLSEL = 3
例4	选择的信号源	OC0L	OC0H	OC1L	OC1H	OC2L	OC2H
	寄存器设置	UHSEL = 2	ULSEL = 2	VHSEL = 2	VLSEL = 2	WHSEL = 2	WLSEL = 2

● 输出极性设置

通过寄存器PWMPOL可以设置PWM的输出极性。输出极性的设置与预驱动和功率管的类型有关。

表 21- 3 PWM 极性控制

序号	PWMPOL设置	PWM输出极性	预驱动类型	功率管类型
1	PWMP = 0	同相输出	同相输出	NMOS
2	PWMP = 0	同相输出	反相输出	PMOS
3	PWMP = 1	反相输出	反相输出	NMOS
4	PWMP = 1	反相输出	同相输出	PMOS

● 输出极性配置锁定

为了防止误动作导致输出极性翻转，进而导致功率管直通故障，用户可以通过设置寄存器PWMLOCK，锁定寄存器PWMPOL的设置。寄存器PWMLOCK的用法如下：当PWMLOCK写入0Xb3时，LOCK位被置1。LOCK = 1时，用户无法修改PWMPOL寄存器，只有发生外部复位，上电复位或者掉电复位时，LOCK位才可以清零。

● 输出信号重新排列 (REMAP)

PWM模块内部信号 (UH/UL/VH/VL/WH/WL) 与外部引脚 (PWM00~05) 的对应关系，见下表所示。

表 21- 4 PWM 内部信号与外部引脚对应关系

寄存器设置	PWM00	PWM01	PWM02	PWM03	PWM04	PWM05
OUTMOD = 0	UH	UL	VH	VL	WH	WL
OUTMOD = 1	UH	VH	WH	UL	VL	WL

● 防直通功能

寄存器PWMOEN的PROTDIS = 0时，使能PWM防直通功能，此时组成互补PWM的2路输出不能在同一时刻出现逻辑1。如果出现同一个通道的互补输出同时输出逻辑1时，将通过硬件确保管脚输出逻辑0。

注：此处的逻辑1和逻辑0与电平高/低没有直接对应关系。对于极性设置的前端信号，逻辑1与高电平对应，逻辑0与低电平对应。对于极性设置的后端信号，输出极性设置为正相输出时，逻辑1与高电平对应，逻辑0与低电平对应；输出极性设置为反相输出时，逻辑1与低电平对应，逻辑0与高电平对应。

- Timer/ADC的触发源

PWM06可作为TA0/TA1/TB0的时钟输入，也可作为ADC的触发源。具体设置方法，参考“事件控制模块”相关章节

21.9. 死区控制

无论PWM工作在中央对齐还是边沿对齐模式，PWM模块都支持死区控制。信号Ocx作为参考输入，信号OcxH/OcxL作为死区控制输出，死区时间由寄存器PWMDR和PWMDF设置。

当PWMDR设置不为0时，信号OcxH的上升沿比Ocx的上升沿延时输出，信号OcxH的下降沿和Ocx的下降沿同时输出。Ocx上升沿延时输出的时间长度为 $(PWMDR+1)*2/Freq_SYSCLK$ 。当PWMDR设置为0时，OcxH死区控制无效，OcxH直接输出Ocx信号。

当PWMDF设置不为0时，信号OcxL的上升沿比Ocx的下降沿延时输出，信号OcxL的下降沿和Ocx的上升沿同时输出。Ocx下降沿延时输出的时间长度为 $(PWMDF+1)*2/Freq_SYSCLK$ 。当PWMDF设置为0时，OcxL死区控制无效，OcxL直接输出Ocx的互补信号。

如果Ocx的脉冲宽度小于PWMDR或者PWMDF，相应的脉冲信号将不生成。

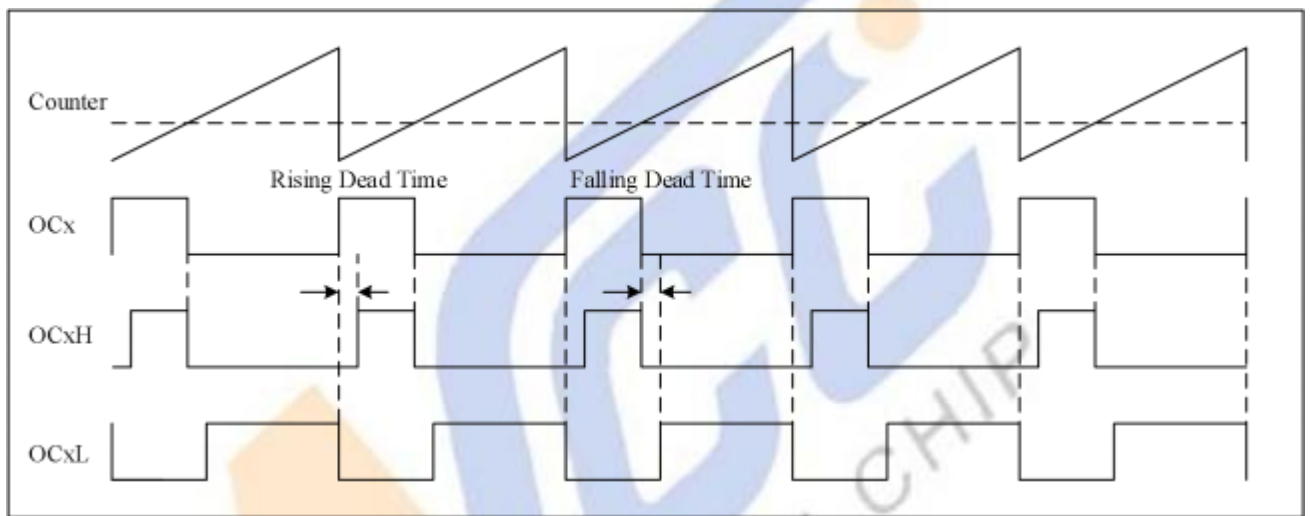


图 21- 10 当 PWMDR 和 PWMDF 不为 0 时，死区控制逻辑

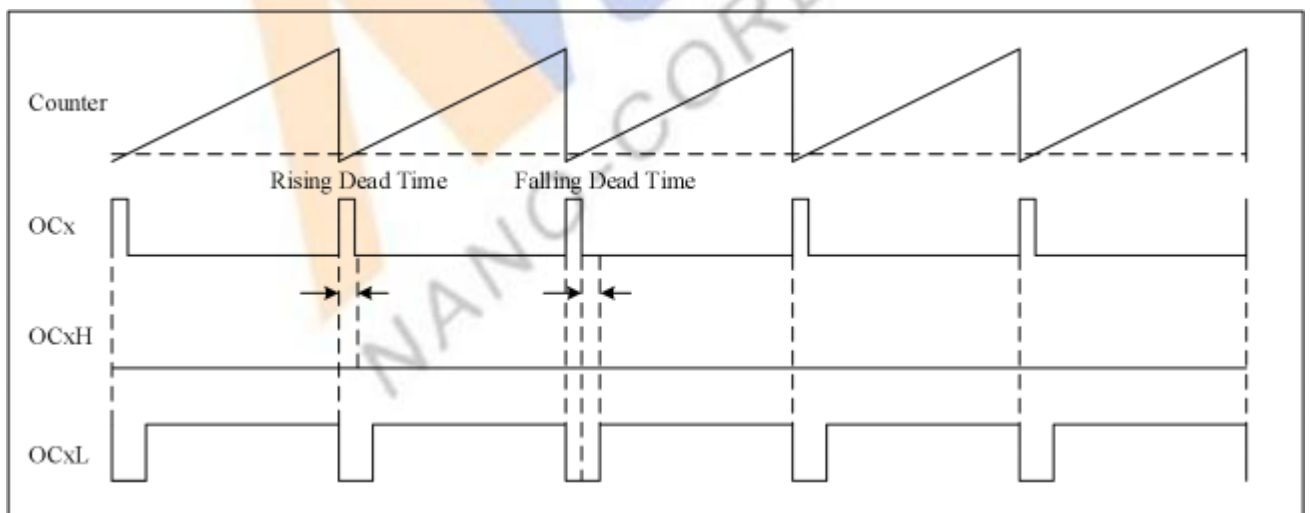
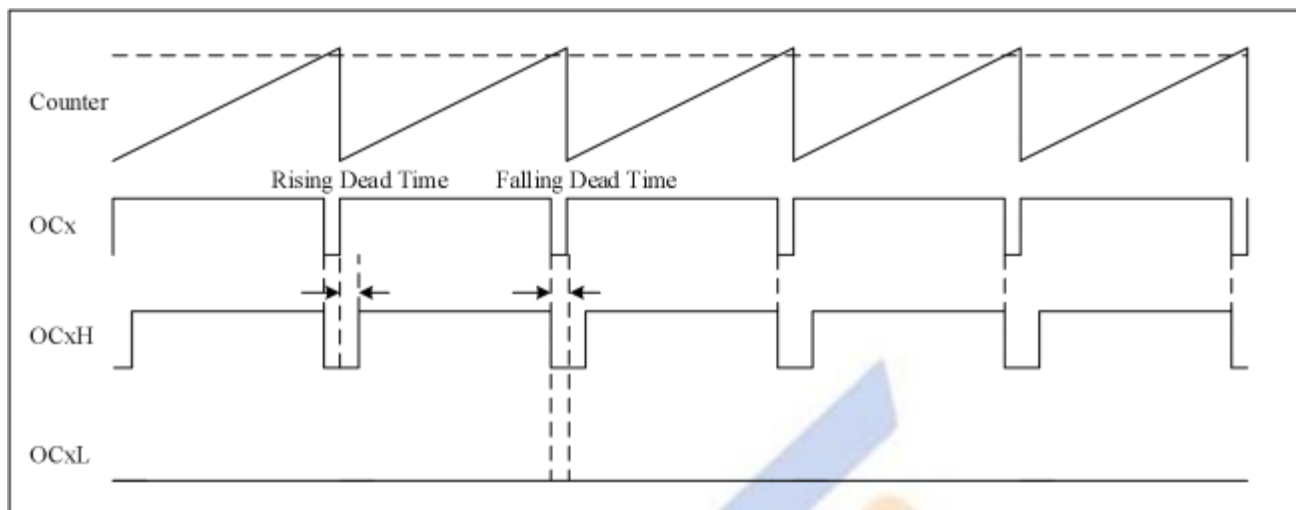


图 21- 11 当 OcxH 脉冲宽度小于 PWMDR 设定的死区时间


 图 21- 12 当 $OCxL$ 宽度小于 PWMDF 设定的死区时间

21.10. 故障保护

FLT管脚输入故障保护可设置为软故障保护或硬故障保护。故障控制寄存器FLTCON的FLTSEL位可以选择故障信号的极性，FLTSEL = 0时，故障输入信号的上升沿，触发故障标志FLTSTA；FLTSEL = 1时，故障输入信号的下降沿，触发故障标志FLTSTA。

软故障保护，又叫逐周期故障保护，故障发生时，寄存器PWOEN的PWMxEN标志清零，PWMx输出关闭。故障消失后的下一个PWM周期，寄存器PWOEN的PWMxEN标志自动恢复，PWMx恢复正常输出。边沿对齐模式下，PWM计数器与周期寄存器匹配时恢复输出；中心对齐模式下，PWM计数器与周期寄存器匹配或计数器归0时恢复正常输出。故障标志FLTSTA由故障信号FLT的有效沿触发，需要手动清零。

对于各个通道是否启用故障保护功能，可由PWMFC寄存器来配置。每个通道都可以独立配置为故障保护使能或者禁止。

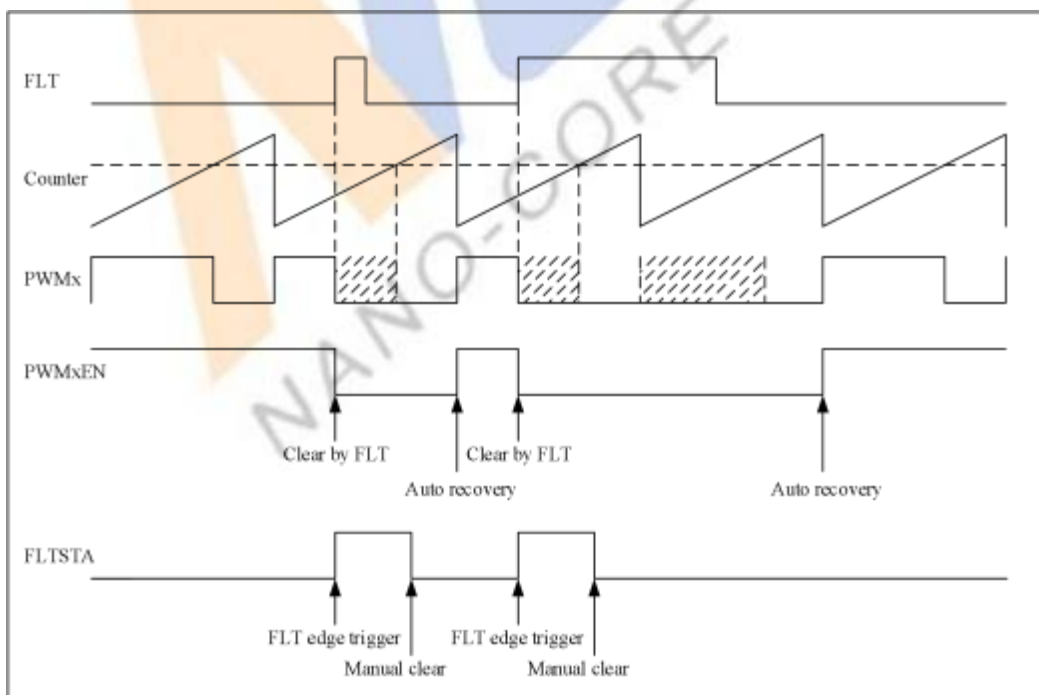


图 21- 13 软故障保护（逐周期保护）

硬故障保护发生时，寄存器PWOEN的PWMxEN标志清零，PWMx输出关闭。故障消失后，寄存器PWOEN的PWMxEN标志不会自动

恢复，需要重新写PWMOEN寄存器才能恢复正常输出。故障标志FLTSTA由故障信号FLT的有效沿触发，需要手动清零。

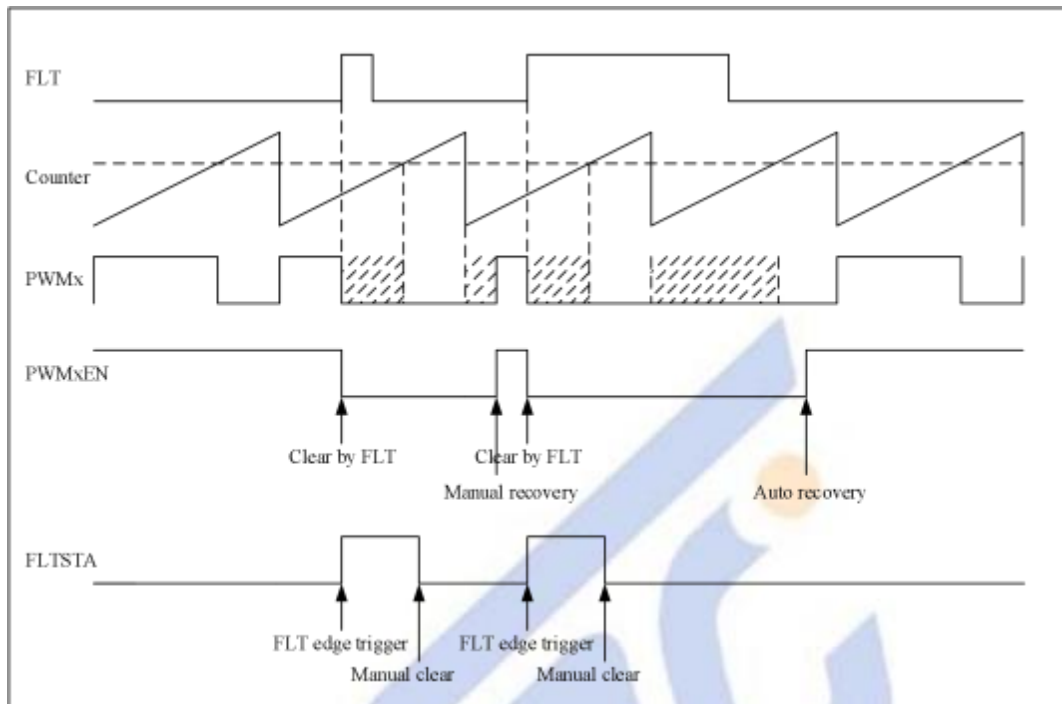


图 21- 14 硬故障保护

注意事项：发生故障时，PWM输出端口关闭，切换为由IO口设置的状态。建议在程序初始化时，将复用PWM输出功能的IO口设置为输入模式，并在外部引脚设置上拉电阻（低电平有效时）或下拉电阻（高电平有效时），那么发生故障时，PWM输出端口会自动切换为IO口模式，即输入高阻态，端口的电平将由上拉电阻或下拉电阻决定。

21. 11. 中断

PWM中断共有5类：周期匹配中断、过零中断、比较匹配中断、捕获中断、故障保护中断。

- 周期匹配中断

无论计数器是工作在边沿对齐还是中央对齐模式，在计数器与周期缓冲寄存器相等时产生溢出事件，若此时PWMIE中的溢出中断使能位使能，将会产生PWM周期匹配中断。

- 过零中断

中央对齐模式下，当计数器下降计数到0时将会产生过零事件，若此时PWMIE中的过零中断使能位使能，将会产生PWM过零中断。

- 比较匹配中断和捕获中断

PWM匹配或捕获中断详见捕获模式和比较模式中的相关描述。

- 故障保护中断

如果PWMIE中的故障中断使能位使能，那么发生故障时，将会产生PWM故障中断。

- 故障标志清零

PWM的所有中断标志，都不会硬件自动清除，需要手动往PWMIE或者CCISR的相应位写1才能清除相关中断。

22. FLASH 控制器

22.1. 基本特征

ATM8F8040内部集成一个8Kx16的内部闪存，用户可在任何时刻编程，编程时CPU将处于HOLD状态。

内部闪存的主要特性如下：

- 16K字节的主程序区域和64字节的信息区
- 1000次重复烧写
 - 编程最小单位：双字节
 - 数据保持时间：10年
- 128字节的内部EEPROM区域
- 10000次重复烧写
 - 编程最小单位：字节

22.2. 寄存器说明

FLASH 控制寄存器的主要寄存器列表如下：

表 22- 1 FLASH 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
FSHCON	FLASH 操作控制寄存器	×	R/W	0000_0000B	BANK0	C1H
FSHDATL	FLASH 编程数据低八位	×	R/W	0000_0000B	BANK0	C2H
FSHDATH	FLASH 编程数据高八位	×	R/W	0000_0000B	BANK0	C3H
FSHADRL	FLASH 编程地址低八位	×	R/W	0000_0000B	BANK0	C4H
FSHADRH	FLASH 编程地址高八位	×	R/W	1111_0000B	BANK0	C5H
FSDIV	FLASH 编程时钟配置	×	R/W	0001_1000B	BANK0	C6H

R/W：可读可写， R0：只读， W0：只写

复位值中：0代表复位为低电平，1代表复位为高电平，-代表不关注，x代表不确定

详细描述如下：

FLASH编程控制寄存器

名称/地址:	FSHCON, BANK0, C1H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义 WR	FSHCON[7:0]							
位 定 义 RD	-	-	-	-	-	LOCK	-	BUSY
访问权限:	WO	WO	WO	WO	WO	R/W	WO	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	-：未实现位；U：不受复位影响；R-0：只读，读0；R/W：可读写							

- FSHCON[7:0], 8位寄存器

读该寄存器时：

BUSY：1表示编程正在执行，0表示编程结束

- LOCK：1表示可以对主程序区进行编程，0表示只能对EEPROM区域进行编程

写该寄存器时：

写0xA5启动FLASH编程操作

写0xC3清除超时故障位

FLASH编程数据寄存器

名称/地址:	FSHDATL, BANK0, C2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义	DATA[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ DATA[7:0],8 位数据寄存器, 编程数据低八位

FLASH编程数据寄存器

名称/地址:	FSHDATH, BANK0, C3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义	DATA[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ DATA[15:8],8 位数据寄存器, 编程数据高八位

FLASH编程地址寄存器

名称/地址:	FSHADRL, BANK0, C4H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义	ADDR[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ ADDR[7:0],8 位数据寄存器, 编程地址低八位

FLASH编程地址寄存器

名称/地址:	FSHADRL, BANK0, C5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义	ADDR[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ ADDR[15:8], 8位数据寄存器, 编程地址高八位

FLASH编程时钟分频寄存器

名称/地址:	FSHDIV, BANK0, C6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义	FSDIV[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	1	1	0	0	0

提示: - : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- FSDIV[7:0], FLASH编程时钟分频寄存器, 根据当前系统时钟将FLASH编程时钟分频到80KHz (12.5us) 。分频比 $f_{sys}/(2*(FSDIV+1))$

22.3. 功能描述

ATM8F8040内部集成一个8Kx16的内部闪存, 用户可在任何时刻编程, 编程时CPU将处于HOLD状态。对主程序编程时, 编程的单位是双字节, 对EEPROM区域编程时, 编程的单位是单字节。支持两种编程方式:

- 工具编程模式 (ISP), 需要有专门的工具进行编程
 - 用户编程模式 (IAP), 通过程序内部写编程
- 在编程时, 无需进行擦除操作, 直接写代码即可。

22.3.1. 内部信息区分配

ATM8F8040内部包括信息区, 信息区的分配方案如下:

表 22- 1 信息区配置

标识	用途
RST_DISABLE[7:0]	复位管脚配置, 只有配置为0x69时, P20作为GPIO使用
BLOCK[7:0]	BLOCK保护位, 当相应位为1时, 该BLOCK不能执行在应用编程操作
BLOCK[15:8]	BLOCK使能位, 只有写0xA5时, 才使能BLOCK功能
	工厂ID号 (内部管控, 客户不能操作)
	客户ID号 (客户可读可写)

ATM8F8040将内部8kx16分成8个BLOCK, 可以分别对每个BLOCK进行保护。在相应BLOCK保护位为高时, 该BLOCK位只能读, 不能进行编程操作。

BLOCK[0] 保护0x0000~0x07FF地址空间。

BLOCK[1] 保护0x0800~0x0FFF地址空间。

BLOCK[2] 保护0x1000~0x17FF地址空间。

BLOCK[3] 保护0x1800~0x1FFF地址空间。

BLOCK[4] 保护0x2000~0x27FF地址空间。

BLOCK[5] 保护0x2800~0x2FFF地址空间。

BLOCK[6] 保护0x3000~0x37FF地址空间。

BLOCK[7] 保护0x3800~0x3FFF地址空间。

22.3.2. 编程操作

ATM8F8040使用在用户编程模式对内部闪存进行编程时, 可以对内部EEPROM进行编程, 也可以对内部主程序区进行编程。对主程序区进行编程时, 编程单位为双字节。对EEPROM进行编程时, 编程单位为字节。

对EEPROM进行编程时, 配置步骤:

1. 配置FSHADRH寄存器为0xF0H.
2. 配置FSHADRL寄存器, 设置编程地址
3. 配置FSHDATL寄存器, 设置编程数据
4. 写FSHCON寄存器为0xA5

5. 判断FSHCON中ERR位是否置1，确保编程未超时。

对主程序编程时：

1. 配置FSHADRL, FSHDRH寄存器，设置16位编程地址（高8位设置超过0x40H时，高8位始终是0x40H）
2. 配置FSHDATL, FSHDATH寄存器，设置16位编程数据
3. 写FSHCON寄存器为0xA5
4. 判断FSHCON中ERR位是否置1，确保编程未超时

在编程操作时，内部设置了一个4ms的定时器，如果在4ms以内编程正常结束，FLASH控制器中的ERR位不会置起，如果4ms编程还未结束，那么FLASH控制器中的ERR位会置起，强制结束当前编程过程。

在对主程序编程时，如果只需要编程一个字节，需要将编程单位的另一个地址所存储的数据先读取出来，然后在配合写入到FSHDATH或者FSHDATL寄存器中去。举例说明：如果需要将0x55写入到0x1001中，需要先将0x1000地址的数据先读取出来，假设0x1000地址存储的数据是0xAA，那么需要0x55写入FSHDATH，0xAA 写入FSHDATL。然后再启动编程操作指令。当需要将0x33写入到0x2000时，需要先将0x2001地址的数据先读取出来，若0x2001数据是0xBB，那么需要将0xBB写入FSHDATH，0x33写入FSHDATL。

由信息区中的BLOCK位控制当前地址区域空间是否允许执行编程操作，若对应的BLOCK保护位为1，那么写FSHCON寄存器将无效。由于ATM8F8040主程序存储空间编程次数只有1000次，不建议频繁操作该程序空间。

22.3.3. 读操作

ATM8F8040对内部程序存储空间或者EEPROM的读取操作可以采用8051的MOVC指令来读取。

操作过程如下：

```
MOV DPH, #ADDRH
MOV DPL, #ADDRL
MOV A, #OFFSET
MOVC A, @A+DPTR
```

在读取EEPROM时，ADDRH需要设置为0xF0H，读取内部区域时，ADDRH可设置在0x00~0x3F之间。

23. 模数转换器

AD 转换器用于对外部模拟信号进行采集, 以实现系统状态检测并实施反馈控制。ATM8F8040 内部集成一个 12 位 ADC, 可以采用软件触发转换, 也可以选择外部触发转换, 可以选择触发单次转换也可以选择连续转换。

23.1. 基本特征

- 支持最多11个外部输入模拟通道及1个内部参考电压通道
- 支持内部电压参考和外部电压参考, 内部电压参考可以选择2V/2.4V/3.6V
- 可选择的多种触发源
- 支持延迟触发
- 支持单次转换和连续转换
- 支持转换结果自动匹配比较
- 支持采样时钟可配

23.2. 内部框图

AN11为内部2.4V基准源。

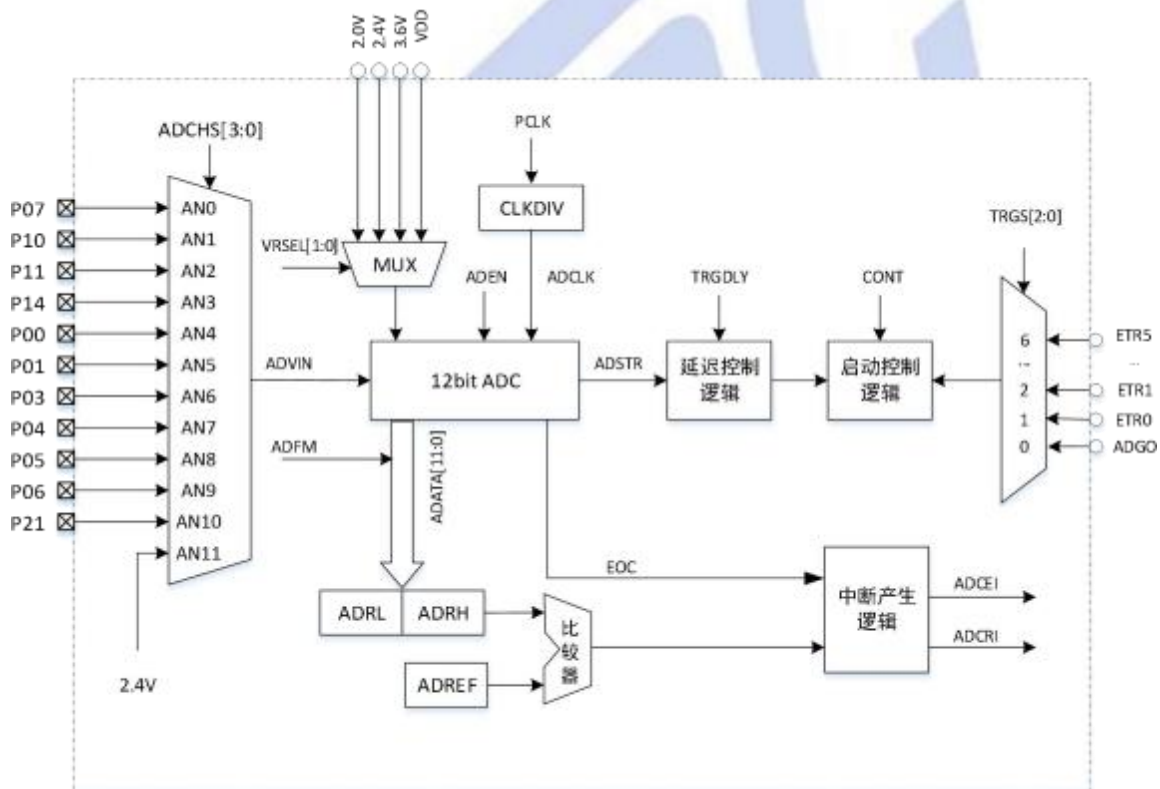


图 23-1 ADC 内部框图

23.3. 寄存器描述

表 23- 1 ADC 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
ADCON	ADC 控制寄存器	×	R/W	0000_0000B	BANK0	F1H
ADCDATAH	ADC 数据高 8 位寄存器	×	RO	0000_0000B	BANK0	F2H
ADCDATA L	ADC 数据低 4 位寄存器	×	RO	0000_0000B	BANK0	F3H
ADCFG	ADC 配置寄存器	×	R/W	0000_0000B	BANK0	F4H

ADTRG	ADC 触发寄存器	×	R/W	0110_0000B	BANK0	F5H
ADREF	ADC 高 8 位比较寄存器	×	R/W	1111_1111B	BANK0	F6H
ADSAMP	ADC 采样周期寄存器	×	R/W	0000_0000B	BANK0	F7H

ADC寄存器详细说明如下：

ADC控制寄存器（ADCON）

名称/地址：
位 序 号：
位 定 义：
访问权限：
复 位 值：
提 示：

ADCON, BANK0, F1H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCHS				ADEN	ADCRI	ADCEI	ADGO/ADW ORK
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

- Bit[7:4]：ADCHS, ADC通道选择位
 - 0000：选择通道0
 - 0001：选择通道1
 - 0010：选择通道2
 - 0011：选择通道3
 - 0100：选择通道4
 - 0101：选择通道5
 - 0110：选择通道6
 - 0111：选择通道7
 - 1000：选择通道8
 - 1001：选择通道9
 - 1010：选择通道10
 - 1011：选择通道11
 - 其他：保留
- Bit3:ADEN, ADC使能位
 - 0：禁止ADC工作
 - 1：使能ADC工作
- Bit2: ADCRI, ADC转换结果比较中断标志位
 - 0：未发生ADC转换结果匹配中断
 - 1：发生ADC转换结果匹配中断, 硬件清0
- Bit1: ADCEI, ADC转换结束标志位
 - 0：ADC未转换结束
 - 1：ADC转换结束, 硬件清0
- Bit0: ADGO/ADWORK, 写操作时作为ADGO使用，软件触发ADC转换，读时表示ADWORK
该位写1后自动硬件清零

读时，0代表ADC不在转换，1代表ADC正在执行转换操作

ADC数据高8位寄存器（ADCDATAH）

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

ADCDATAH, BANK0, F2H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCDATAH							
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: ADCDATAH, ADC转换结果高寄存器

当ADCDFM为0时，即小数模式时，转换数据的高八位存放处

当ADCDFM为1时，即整数模式时，转换数据的高4位存放在[3:0], 剩余的位保留

ADC转换结果低4位寄存器（ADCDATAL）

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

ADCDATAL, BANK0, F3H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCDATAL							
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
0	0	0	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:4]: ADCDATAL, ADC转换结果低寄存器

当ADCDFM为0时，即小数模式时，转换数据的低4位存放在[7:4], 剩余的位保留

当ADCDFM为1时，即整数模式时，转换数据的低八位存放处

ADC配置寄存器（ADCFG）

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

ADCFG, BANK0, F4H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
VRSEL		保留	CONT	-	ADCDFM	ADCKS	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	1	1	0	0	0	0	0
- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:6]: VRSEL, 参考电压选择

00: 选择AVDD作为ADC参考电压

01: 选择内部3.6V作为参考电压

10: 选择内部2.4V作为参考电压

11: 选择内部2.0V作为参考电压

➤ Bit5:保留

➤ Bit4: CONT, ADC连续转换选择

0: ADC连续转换禁止

1: ADC连续转换使能

- Bit3: 保留
- Bit2: ADCDFM, ADC转换结果格式位
 - 0: 小数格式, 高8位存储在ADCDATAH, 低4位存储在ADCDATAH的高4位
 - 1: 整数格式, 高4位存储在ADCDATAH的低4位, 低8位存储在ADCDATAH
- Bit[1:0]: ADCKS, ADC时钟选择位
 - 00: 系统时钟2分频
 - 01: 系统时钟4分频
 - 10: 系统时钟8分频
 - 11: 系统时钟16分频

ADC触发寄存器 (ADTRG)

名称/地址:
位 序 号:
位 定 义:
访问权限:
复 位 值:
提 示:

ADTRG, BANK0, F5H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	TRGD L			PRI	TRGS[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	1	1	0	0	0	0	0

- 一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写
- Bit7, 保留
 - Bit[6:4]: TRGD L, 触发延迟信号
 - 000: 1个ADC时钟延迟
 - 001: 2个ADC时钟延迟
 - 010: 4个ADC时钟延迟
 - 011: 8个ADC时钟延迟
 - 100: 12个ADC时钟延迟
 - 101: 16个ADC时钟延迟
 - 110: 24个ADC时钟延迟
 - 111: 32个ADC时钟延迟
 - Bit[3]: PRI, 外部触发沿选择
 - 0: 下降沿触发
 - 1: 上升沿触发
 - Bit[2:0]: TRGS, ADC外部触发源选择
 - 000: 选择内部软件启动
 - 001: 选择T2 PPG作为触发信号
 - 010: 选择外部管脚输入触发
 - 011: 选择PWM0作为触发信号
 - 100: 选择PMM1作为触发信号
 - 101: 选择PWM2作为触发信号

110: 选择PWM3作为触发信号

111: 预留

ADC高8位比较寄存器 (ADREF)

名称/地址:	ADREF, BANK0, F6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADREF							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: ADREF, ADC转换结果高8位比较参考值, 当为整数模式时, 只比较高4比特

ADC采样周期寄存器 (ADSAMP)

名称/地址:	ADSAMP, BANK0, F7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADSAMP							
访问权限:	-	-	-	-	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	- : 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:4]: 保留

➤ Bit[3:0]: ADSAMPLE, ADC采样周期控制

0000时采样周期为1个周期, 1111时采样周期为16个周期

23.4. 功能描述

ADC支持多种工作模式, 单次转换, 连续转换。

23.4.1. 单次转换

当ADCFG中的CONT位为0时为单次转换, ADC在受到内部触发或者外部触发时, 开始一次转换过程, 转换结束后触发转换结束中断, 等待到下次触发才会发生第二次转换。ADC转化的结果可以通过读取ADCDATAH和ADCDATAH获得。

如果ADC在多通道间切换采样电压, 因ADC的采样电容充电需要时间, 建议通道切换后, 采样三次数据, 只使用第三次数据。

23.4.2. 连续转换

当ADCFG中的CONT位为1时为连续转换模式, ADC在受到内部触发或者外部触发时, 开始第一次转换过程, 在当前转化结束后, ADC等待ADCFG中设置的TRGDL位所对应的延迟后自动开启下一次转换。ADC转化的结果可以通过读取ADCDATAH和ADCDATAH获得。退出连续转换模式只需将CONT位清0, 在当前ADC转换结束后自动停止连续转换。

23.4.3. 触发模式

ADC的触发模式有两种, 内部触发模式和外部触发模式。

对于内部触发, 直接写ADCON中的ADGO位将会直接触发单次ADC转换,

对于外部触发, 最多可以支持六个外部触发源, 每个触发源可以通过ADTRG中的PRI位选择上升沿触发还是下降沿触发。用户可以通过设置TRGDL的值来配置触发到实际发生转换时的时间间隔。如果ADCFG位中的连续转换CONT位置1, 在首次外部触发发生后, ADC将开始连续转换。

当ADC正在转换时发生外部触发或者寄存器写ADGO, 这些触发都会被忽略。

23.4.4. ADC 的转换结果

ADC的转换结果可以是整数模式和小数模式，可以根据ADCFG中的ADCDFM来配置。当ADCDFM为0时，ADCDATAH中存储的是转换结果的高8位，ADCDATAH的高4位存储ADC转换结果的低4位。当ADCDFM为1时，ADCDATAH的低4位存储ADC转换结果的高4位，ADCDATAH存储ADC转换结果的低8位。

23.4.5. ADC 的参考电压

ADC可以通过ADCFG中的VRSEL位配置参考电压，00时选择AVDD作为参考电压，01时选择内部2.0V，10时选择内部2.4V，11时选择内部3.6V。

ADC的第12个通道可选择2.4V内部基准源作为内部的输入电压，用作对外部VDD的反向测量。

23.4.6. ADC 采样时间

ADC的采样时间可以灵活配置位1~16个ADC时钟周期。



24. 电气特性

24.1. 极限参数

表 24- 1 极限参数

标识	参数	范围	单位	其它
VDD	电源范围	-0.3~6.0	V	-
T _{STG}	存放温度	-40~125	°C	-
T _{opt}	工作温度	-40~85	°C	-
V _I	引脚输入电压	-0.3~VDD+0.3	V	-
V _O	引脚输出电压	-0.3~VDD+0.3	V	-
I _{OLT}	引脚总灌电流	100	mA	最大灌电流
I _{OHT}	引脚总拉电流	-100	mA	最大拉电流

24.2. DC 特性

表 24- 2 直流特性参数

若无其他说明, VDD-VSS=5V, TA=25°C

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压	内部高频时钟 32MHz, CPU 时钟 8MHz ¹⁾	4.5		5.5	V
		内部高频时钟 16MHz, CPU 时钟 4MHz	2.7		5.5	V
I _{DD1}	工作电流	系统时钟 32MHz, CPU 时钟 8MHz, ADC 关闭, 所有 IO 推挽输出无负载, P1 口翻转动作		12.5		mA
I _{DD11}	工作电流	系统时钟 16MHz, CPU 时钟 4MHz, ADC 关闭, 所有 IO 推挽输出无负载, P1 口翻转动作		7.5		mA
I _{DD2}	待机电流 (空闲模式)	系统时钟 4MHz, CPU 时钟 2MHz, ADC 关闭, 所有数字外设关闭, CPU 进入 Idle		1.9		mA
I _{DD3}	待机电流 (掉电模式)	所有模拟模块关闭, BOR 打开, CPU 进入 stop		40		uA
I _{DD4}	待机电流 (掉电模式)	所有模拟模块关闭, 低频 32K 振荡器开, WT 打开, CPU 进入 stop		3		uA
I _{DD5}	待机电流 (掉电模式)	所有模拟模块关闭, BOR 关闭, CPU 进入 stop		1		uA
V _{IH1}	输入高电压		0.7			VDD
V _{IL1}	输入低电压				0.3	VDD
I _{IL}	(输入0) 漏电流				1	uA
I _{IH}	(输入1) 漏电流				1	uA
V _{OH}	输出高电压	I _{src} =10mA	0.9			VDD
V _{OL1}	输出低电压 1 (除 P11/P12/P13/P14/P15/P16/P00/P01 外)	I _{sink} =20mA			0.1	VDD
V _{OL2}	输出低电压 2 (P11/P12/P13/P14/P15/P16/P00/P01)	I _{sink} =50mA			0.2	VDD
R _{PUL1}	上拉电阻 1 (除 P20 外)			50		KΩ
R _{PUL2}	上拉电阻 2 (P20)			150		KΩ

BOR	低压复位电压	BOR level=4.3V	4.2	4.3	4.4	V
		BOR level=3.7V	3.6	3.7	3.8	V
		BOR level=2.9V	2.8	2.9	3.0	V
		BOR level=2.5V	2.4	2.5	2.6	V

[1] 内部高频时钟的频率通过工具来配置。CPU 时钟频率，由系统时钟分频和 FLASH 读取等待时间PWAIT 配置。

24. 3. ADC 特性

表 24- 3 ADC 特性参数
(TA=25°C)

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	供电电压	VDD=5V	2.7		5.5	V
V _{IREF1}	内部参考电压	VDD=5V	1.94	2.0	2.06	V
V _{IREF2}		VDD=5V	2.34	2.4	2.46	V
V _{IREF3}		VDD=5V	3.54	3.6	3.66	V
V _{EREF}	外部参考电压	VDD=5V			VDD	
V _{IN}	输入电压范围	VDD=5V	0		VREF	V
N _R	精度	VDD=5V		12		Bit
DNL	微分非线性误差	VDD=5V			2	LSB
INL	积分非线性误差	VDD=5V			±3	LSB
E _F ^[1]	满刻度误差	VDD=5V			±4	LSB
E _{AD} ^[1]	总绝对误差 ^[1]	VDD=5V			±8	LSB
E _Z ^[1]	偏移量误差	VDD=5V			±4	LSB
F _{ADC1}	工作频率	4.5~5.5V			2	MHz
F _{ADC2}		2.7~5.5V			1	MHz
T _{ADC}	转换时间	VDD=5V		13.5		TCK
T _{SAMP1}	采样周期	VDD=5V, F _{ADC} =2MHz	4		16	TCK
T _{SAMP1}		VDD=3V, F _{ADC} =1MHz	4		16	TCK
C _{ADC}	CADC ^[2]	VDD=5V		25		pF

[1] 软件校准后的值

[2] 设计保证

24. 4. 内部高频振荡器特性

表 24- 4 IHRC 参数特性

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压		2.7		5.5	V
F _{req}	振荡频率	出厂校准值		32		MHz
F _{var}	频率偏差	25°C, 5V	-1		+1	%
		-40~85°C, 2.7~5.5V	-3		+3	%

24. 5. 内部低频振荡器特性

表 24- 5 ILRC 参数特性

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压		2.7		5.5	V
F _{req3}	振荡频率 3	出厂校准值		32		kHz
F _{var2}	频率偏差	-40 ~ +85°C / 2.7V~5.5V	-10		+10	%

24.6. 外部振荡器特性

表 24- 6 CRY 参数特性
(TA=25°C, 2.7V~5.5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
Freq	振荡器频率 ^[1]	4.5V<VDD<5.5V, CL=22pF	1.0		20.0	MHz
		3.0V<VDD<5.5V, CL=30pF	1.0		12	MHz
		2.7V<VDD<5.5V, CL=30pF	1.0		8	MHz

[1]仿真保证

24.7. 储存器工作特性

表 24- 7- 1 参数特性

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压	-40°C~85°C	2.7 ^[1]		5.5	V
V _{DDR}	工作温度	可读写, VDD=5V	-40		85	°C

[1]FLASH 写操作时, 最低电压为 4.5

表 24- 7- 2 EEPROM 参数特性

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压	-40°C~125°C	2.7		5.5	V
V _{DDR}	工作温度	可读写, VDD=5V	-40		85	°C

24.8. 外部复位及中断管脚特性

表 24- 8 外部复位及中断管脚特性
(TA=25°C, 5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
T _{INT}	外部中断脉宽滤波 (除 P2.0)	VDD=5.0V	5			us
T _{RST}	外部复位脉宽	VDD=5.0V	10			us

24.9. EFT 特性

表 24- 9 EFT 特性
(TA=25°C, 5V)

标识	参数	条件	通过值	单位
V _{EFT}	瞬变脉冲群电压	F _{sys} =IHRC, BOR 关闭	±4500	V

24.10. ESD 特性

表 24- 10 ESD 特性
(TA=25°C, 5V)

标识	参数	条件	最大值	单位
V _{ESD(HBM)}	静电放电电压 (人体模型)	TA=25°C	±8000	V
V _{ESD(CDM)}	静电放电电压 (充电设备模型)		±2000	V

24.11. Latch up 特性

表 24- 11 Latch up 特性

标识	参数	条件	通过值	单位
LU	静态栓锁	TA=25°C, VDD=5V	±200	mA

25. 封装信息

25.1. TSSOP20

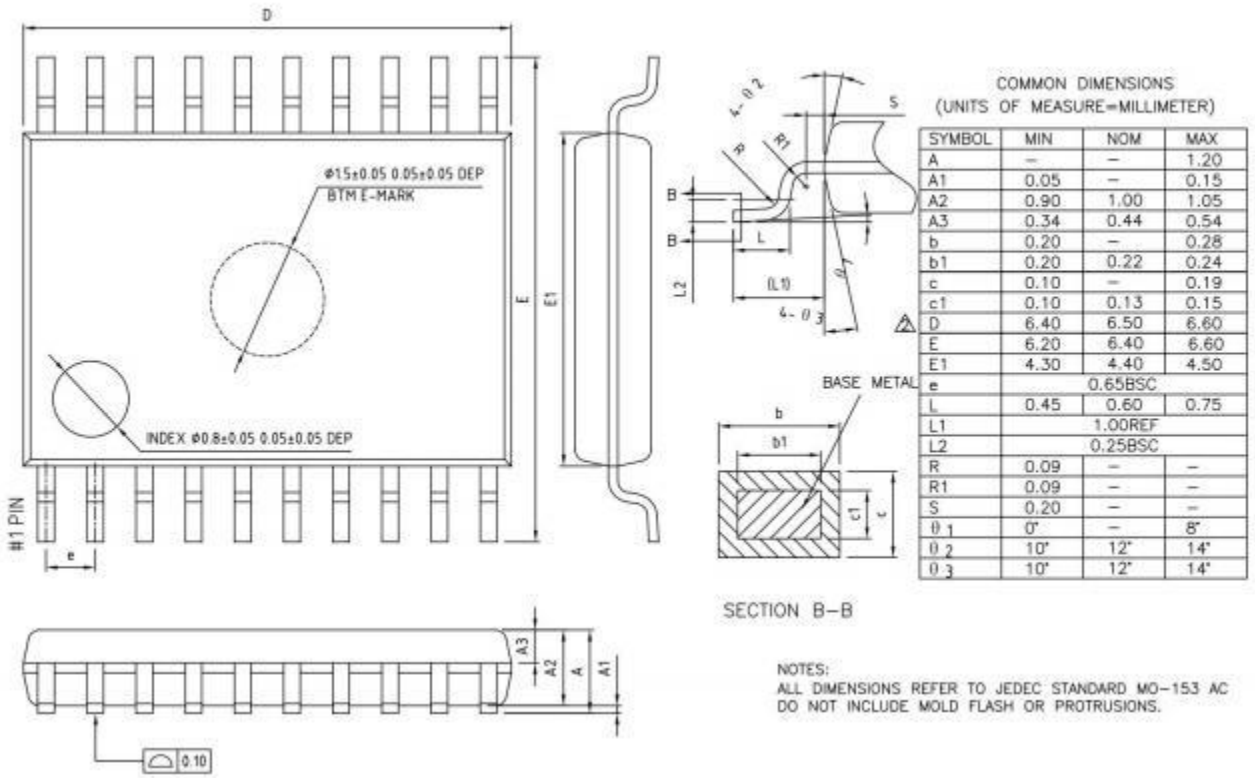


图 25- 1 TSSOP20 封装尺寸图

25. 2. QFN20 4x4

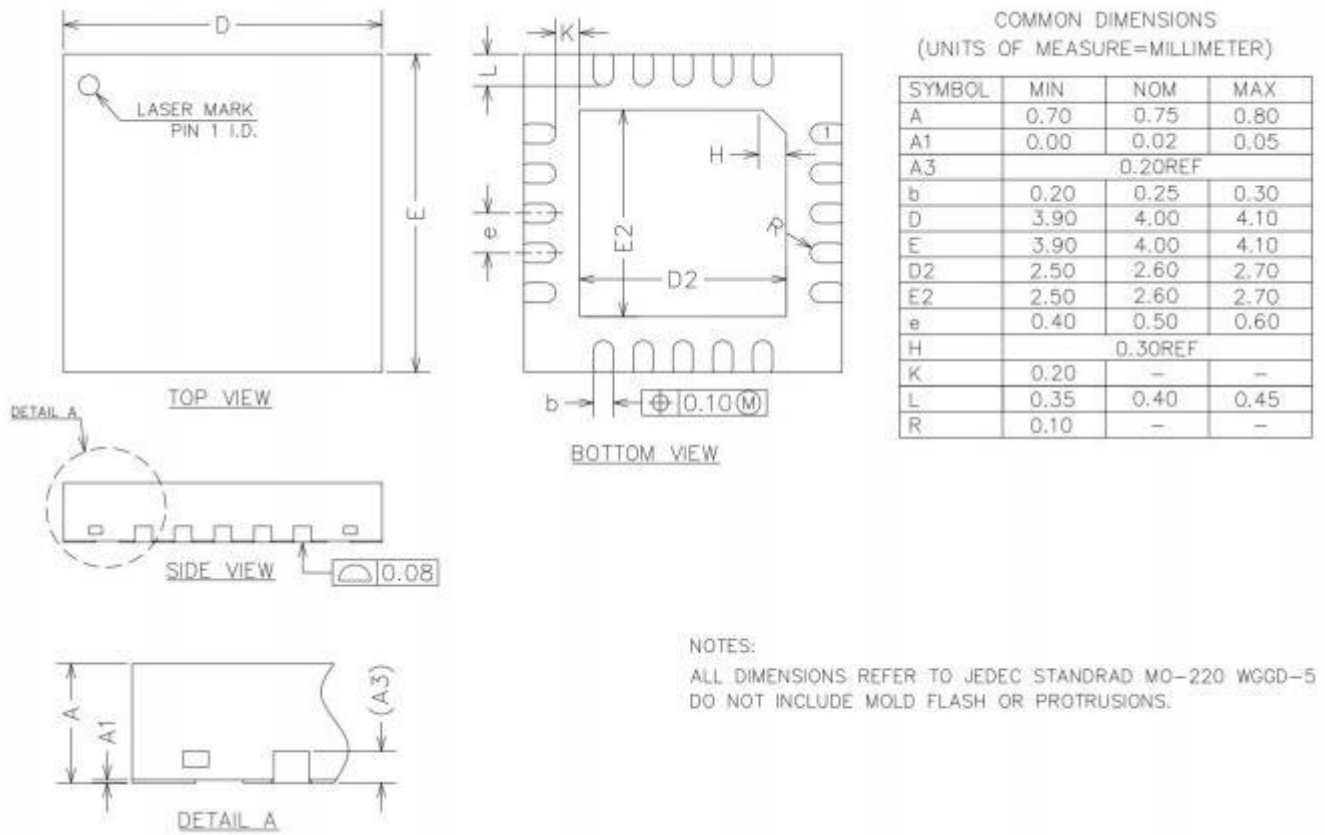
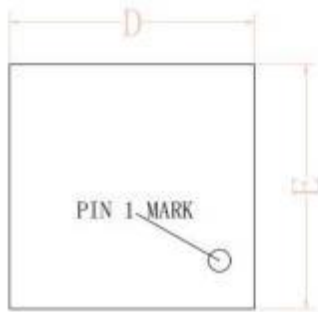


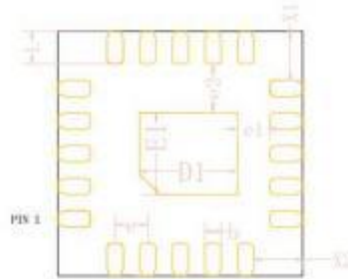
图 25-2 QFN20 4x4 封装尺寸图

25.3. QFN20 3x3

Package Top View



Package Bottom View



Package Side View



SYMBOLS	DIMENSION IN MM		
	MIN	NOM	MAX
A	0.500	0.550	0.600
A1	0.007	0.012	0.017
D	2.900	3.000	3.100
E	2.900	3.000	3.100
D1	1.150	1.200	1.250
E1	0.950	1.000	1.050
L	0.350	0.400	0.450
b	0.150	0.200	0.250
e	0.350	0.400	0.450
e1	0.350	0.400	0.450
e2	0.550	0.600	0.650
X1	0.550	0.600	0.650
X2	0.550	0.600	0.650

图 25-3 QFN20 3x3 封装尺寸图

25. 4. SOP16

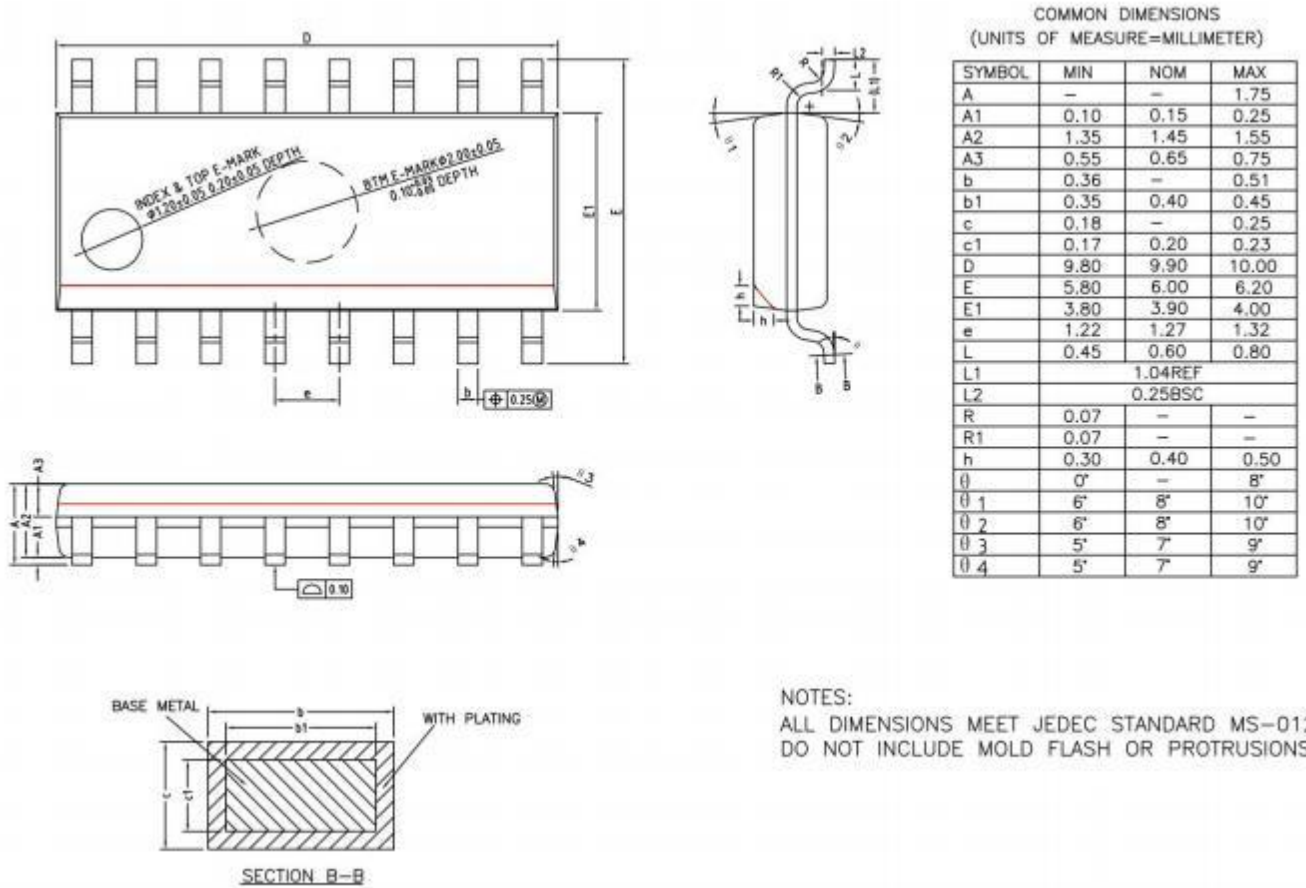


图 25-4 SOP16 封装尺寸图

26. 版本信息

版本号	更新时间	更新内容
1.0	2020.09.05	初始版本发布。
1.1	2020.10.05	更新文档格式。
1.2	2020.11.04	调整 WDT 的结构图； 统一修改 T2CAP 的名称，保持上下文一致； 统一 ADC 完成标志位的中断号和入口地址。
1.3	2020.11.23	修改 GPIO 配置为 PWM 时，需要设置为输出； WDT 在软复位、堆栈溢出复位的动作； ENT1 地址前后保持一致； 把中断系统章节中，中断号的名称修改为对应外设中断的名称。
1.4	2021.03.02	统一该系列芯片名称为 ATM8F8040； 修改 ADC 示意图中通道 11 的名称。
1.5	2021.05.11	修改 ADC 的内部带隙基准源电压为 2.4V； 更新 T2EXS 寄存器中 T2EXS2/T2EXS1 选择 T2CAP 的名称； 更新 T2CAPS 中 bit0, bit1, bit2 的名称； 更正文档正文的基准源电压为 2.4V。
1.6	2021.07.20	修改 PCON 复位值不一致问题； 修改 ADC 的部分描述内容； 修改 ADC 时序图中转换时钟周期的个数为 14 个； 修正上电复位后的复位标志位说明； 修改 AEN1 寄存器描述。
1.7	2021.10.20	修改 FLASH 工作模式说明。
1.8	2021.12.23	修订文档格式。
1.9	2022.02.21	PxODR 寄存器 Bit4 的位定义改为 Odx.4。
1.10	2022.06.23	合并用户手册与数据手册内容。
1.11	2022.08.11	添加 ATM8F8030 型号； 优化 23.4.4 章节描述； 优化 23.4.2 章节描述。
1.12	2024.08.16	补充ATM8F8040D-1的SOP16管脚配置信息

IMPORTANT NOTICE – PLEASE READ CAREFULLY

Nano-core Chip and its subsidiaries (“NCC”) reserve the right to make changes, corrections, enhancements, modifications, and improvements to NCC products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on NCC products before placing orders. NCC products are sold pursuant to NCC's terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection, and use of NCC products and NCC assumes no liability for application assistance or the design of Purchasers' products.

No license, express or implied, to any intellectual property right is granted by NCC herein.

Resale of NCC products with provisions different from the information set forth herein shall void any warranty granted by NCC for such product. NCC and the NCC logo are trademarks of NCC. All other product or service names are the property of their respective owners. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2022 HangZhou Nano-core Chip – All rights reserved