

NCC 1T 8051-内核微控制器

ATM8F3040

用户手册

目录

1. 概述	7
1.1. 说明	7
2. 特性	8
3. 功能方块图	10
4. 管脚配置	11
5. 存储器组织	12
5.1. 基本特征	12
5.2. 存储器组织结构	12
5.3. 功能描述	12
5.3.1. 程序存储空间	12
5.3.2. 外部数据存储空间	12
5.3.3. 内部数据存储空间	12
5.3.4. DPTR 数据指针	13
5.4. 示例程序	13
6. 寄存器组	14
6.1. 寄存器描述	14
6.2. 功能描述	14
7. CPU	16
7.1. 基本特征	16
7.2. 寄存器描述	16
7.3. 指令集	20
8. 中断系统	24
8.1. 规格介绍	24
8.2. 内部框图	25
8.3. 中断向量表及优先级	26
8.4. 寄存器描述	27
8.5. 功能描述	32
9. 外部中断	34
9.1. 规格介绍	34
9.2. 基本特征	34

9.3.	内部框图	34
9.4.	寄存器描述	34
9.5.	功能描述	36
10.	复位.....	37
10.1.	基本特征	37
10.2.	工作模式	37
10.3.	内部框图	37
10.4.	寄存器描述	37
10.5.	功能描述	39
11.	时钟.....	41
11.1.	规格介绍	41
11.2.	基本特征	41
11.3.	工作模式	41
11.4.	内部框图	42
11.5.	寄存器描述	42
11.6.	功能描述	47
11.6.1.	时钟源详细描述.....	47
11.6.2.	系统时钟配置.....	47
11.6.3.	时钟切换及保护.....	47
11.6.4.	时钟安全系统.....	48
11.6.5.	低功耗模式.....	48
12.	通用输入输出端口	50
12.1.	规格介绍	50
12.2.	基本特征	50
12.3.	工作模式	50
12.4.	寄存器描述	50
12.5.	功能描述	54
12.6.	示例程序	54
13.	定时器 T2	55
13.1.	基本特征	55
13.2.	寄存器描述	55
13.2.1.	16 位自动重载模式.....	57

13.2.2.	16 位捕获模式.....	58
13.2.3.	波形输出.....	59
14.	定时器 T3	60
14.1.	规格介绍	60
14.2.	寄存器描述	60
14.3.	功能描述	61
14.3.1.	16 位自动重载模式.....	61
15.	UART	62
15.1.	规格介绍	62
15.2.	基本特征	62
15.3.	工作模式	62
15.4.	寄存器描述	62
15.5.	功能描述	65
15.5.1.	8 位移位寄存器模式（模式 0）	65
15.5.2.	8 位可变波特率模式（模式 1）	66
15.5.3.	9 位固定波特率模式（模式 2）	67
15.5.4.	9 位可变波特率模式（模式 3）	69
15.5.5.	可变微调波特率.....	69
15.5.6.	多处理器通讯.....	70
15.5.7.	帧出错检测.....	71
16.	SPI	72
16.1.	规格介绍	72
16.2.	工作模式	72
16.3.	寄存器描述	72
16.4.	功能描述	74
16.4.1.	从机模式.....	74
16.4.2.	主机模式.....	75
16.4.3.	中断产生.....	76
16.4.4.	错误监测.....	76
16.4.5.	典型配置.....	76
17.	看门狗定时器.....	77
17.1.	基本特征	77

17.2.	内部框图	77
17.3.	寄存器描述	77
17.4.	功能描述	78
18.	唤醒定时器	79
18.1.	基本特征	79
18.2.	内部框图	79
18.3.	寄存器描述	79
18.4.	功能描述	80
19.	PWM 控制器	81
19.1.	基本特征	81
19.2.	工作模式	81
19.3.	寄存器描述	81
19.4.	功能描述	83
20.	红外接口	84
20.1.	规格介绍	84
20.2.	典型应用电路	84
20.3.	寄存器描述	84
20.4.	示例程序	85
21.	CRC	87
21.1.	内部框图	87
21.2.	寄存器描述	87
21.3.	功能描述	88
22.	蜂鸣器	90
22.1.	基本特征	90
22.2.	内部框图	90
22.3.	寄存器描述	90
23.	LCD	91
23.1.	规格介绍	91
23.2.	基本特征	91
23.3.	工作模式	91
23.4.	寄存器描述	91
23.5.	LCD RAM 配置	94

23.6.	功能描述	95
23.6.1.	电阻型 LCD 驱动器	95
23.6.2.	电容型 LCD 驱动器	95
24.	FLASH 控制器	99
24.1.	基本特征	99
24.2.	寄存器说明	99
24.3.	功能描述	100
24.3.1.	内部信息区分配	100
24.3.2.	编程操作	101
24.3.3.	读操作	101
25.	模数转换器	102
25.1.	前言	102
25.2.	基本特征	102
25.3.	内部框图	102
25.4.	寄存器	102
25.5.	功能说明	105
26.	电气特性	107
26.1.	极限参数	107
26.2.	DC 特性	107
26.3.	ADC 特性	108
26.4.	内部高频振荡器特性	109
26.5.	内部低频振荡器特性	109
26.6.	外部振荡器特性	109
26.7.	外部复位及中断管脚特性	109
26.8.	EFT 特性	109
26.9.	ESD 特性	109
26.10.	Latch up 特性	109
27.	封装信息	111
27.1.	LQFP48	111
28.	版本信息	112

1. 概述

1.1. 说明

ATM8F3040是一款内嵌16K字节FLASH的8位单片机。主要有如下特点：代码完全兼容8051指令集，具有16K代码存储空间，256字节SRAM，512字节扩展XRAM，256字节的内部EEPROM，2个16位的高性能定时器T2/T3，4个8位的PWM模块，内置看门狗定时器，1个低功耗唤醒定时器，支持1个增强型UART，1个SPI和CRC模块，集成1个LCD驱动控制器，最大支持4x30段或5x29段，支持内建电阻型和电容型两种控制方式。此外内部还集成了1个300mA的驱动电路，可直接驱动红

外发射管，供遥控器产品使用。ATM8F3040非常适合低成本消费类、家电类电子产品应用。



2. 特性

CPU 特性

8 位 1T 8051 内核
支持 1/2/4/8 系统分频
支持双 DPTR
支持双线调试

ROM

16KB Flash
擦写次数： 1000 次
数据保持时间： 10 年
支持 256Byte EEPROM
擦写次数： 10000 次
数据保持时间： 10 年

RAM

256 字节内部 SRAM
512 字节外部 XRAM

GPIO

最多支持 46 个 GPIO
支持 10 个外部中断
1 个可选的开漏输出
2 个 IO 口灌电流达 20mA (P22/P23)
1 个 IO 口灌电流达 300mA (可作遥控器驱动)

Timer/PWM

2 个 16 位定时器 T2/T3, T3 能够工作在待机模式
1 个遥控载波发生器
唤醒定时器

通信

支持 1 个 UART
支持 1 个 SPI

其他

支持 CRC16 循环冗余检测
支持低频时钟异常检测

模拟模块

支持上电复位
支持低压复位
支持 10 路 10 位 ADC
支持内置 4MHz 振荡器，出厂校准至 0.5%
支持外部 32.768KHz 晶振
支持内部 32KHz 低频振荡器
LCD 驱动器（支持电阻和电容型）
4 x 30 段（1/4 占空比，1/3 偏压）
5 x 29 段（1/5 占空比，1/3 偏压）

工作模式

正常模式
待机模式（IDLE）
停机模式（Stop），电流<1uA

工作条件

工作频率：最大 4MHz
工作电压： 2.0~3.6V
工作温度： -10°C~70°C

封装

LQFP48-7x7

晶圆

ATM8F3040U-W

编号及封装

芯片型号	芯片封装	引脚数量
ATM8F3040C-LA7	LQFP48	48
ATM8F3040U-W ^[1]	WAFER	-

[1] 晶圆坐标信息请联系原厂。



3. 功能方块图

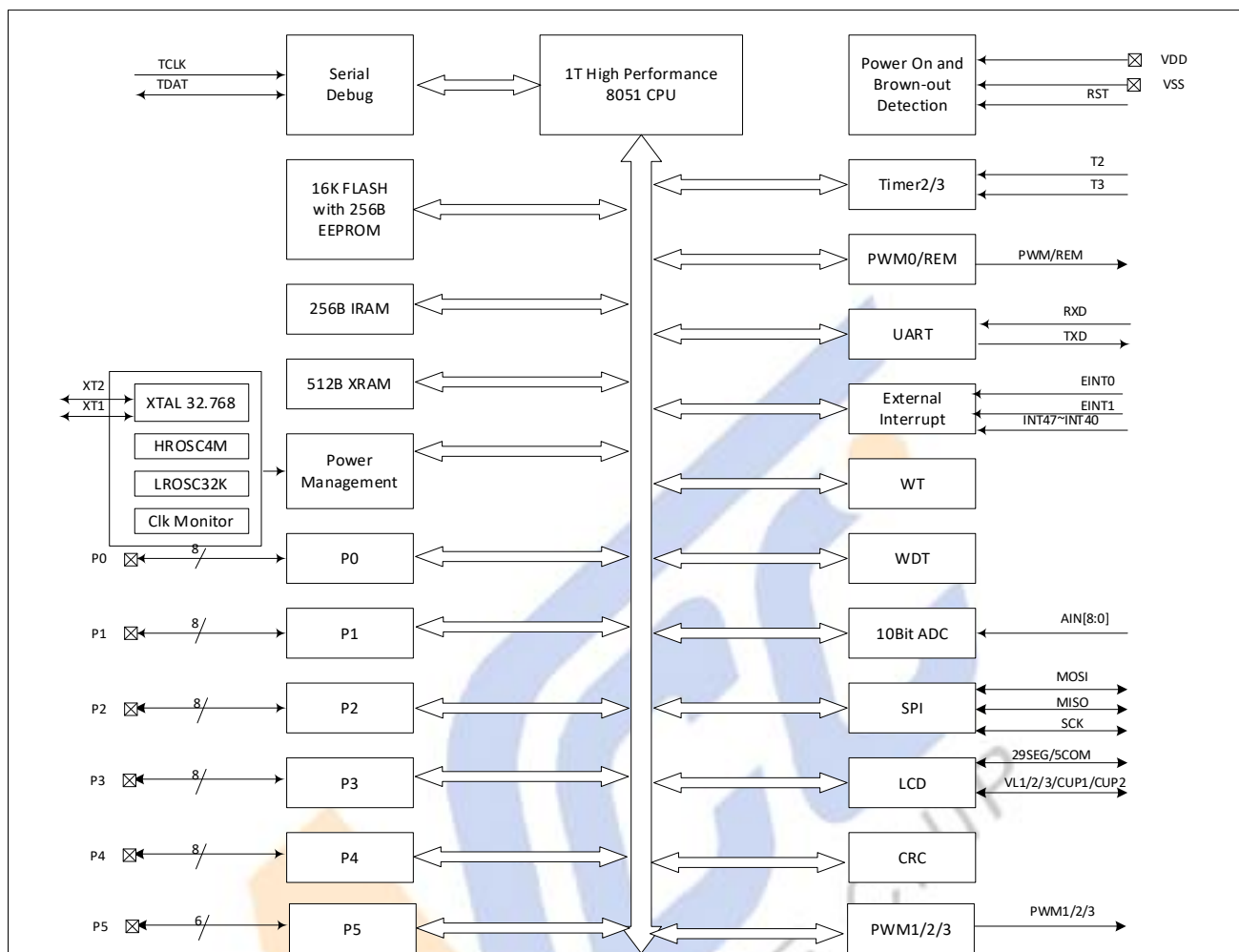


图 3-1

5. 存储器组织

5.1. 基本特征

ATM8F3040 的存储器架构与标准 8051 类似。包括三个独立的存储器空间：程序存储空间，内部数据存储空间和外部数据存储空间。程序存储空间和外部数据地址空间共用一组 16 位的地址总线，通过不同的指令来区别访问。对于内部数据存储空间，采用 8 位的地址总线来访问。对于 ATM8F3040 共支持 16KB 的 FLASH 程序存储空间，256 字节的 EEPROM 空间，256 字节的内部数据存储空间和 512 字节的外部数据存储空间。

5.2. 存储器组织结构

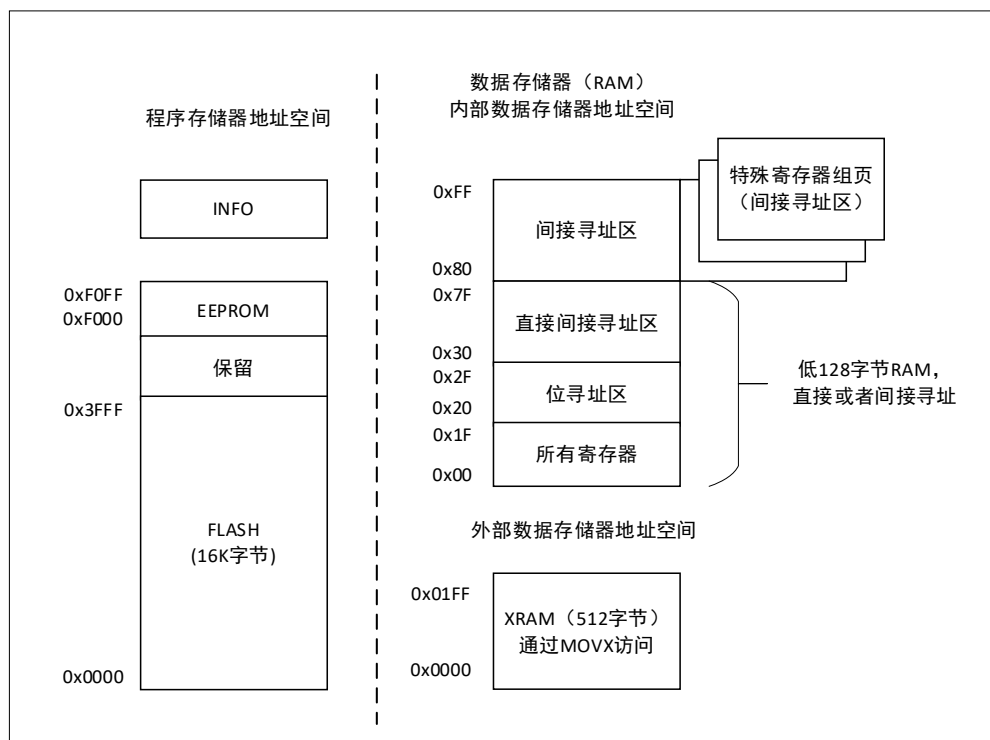


图 5-1 ATM8F3040 存储器空间

5.3. 功能描述

5.3.1. 程序存储空间

ATM8F3040 具有 16K 字节的 FLASH 程序存储空间，寻址范围从 0x0000 到 0x3FFF。同时还支持 256 字节的 EEPROM 区域，地址范围是 0xF000 到 0xFFFF。

对于 FLASH 存储空间的擦除和烧录详见 FLASH 操作章节。MOVX 指令通常用于访问外部数据存储器区域。在 CPU 执行指令读取或者通过 MOVC 指令可以访问程序存储空间的内容。

在复位操作完成时，CPU 从 0x0000H 地址开始执行程序。由于 FLASH 和 RAM 的访问速度不同，用户可以通过配置 CKCON 中的程序存储器访问等待位来配置访问需要等待的时间。

5.3.2. 外部数据存储空间

ATM8F3040 具有 512 字节的外部数据存储空间，寻址范围从 0x0000 到 0x01FF。

MOVX 指令通常用于访问外部数据存储器区域，在访问外部数据存储空间之前需要配置确保 PCON 中的 PMW 位为 0。

用户可以通过 CKCON 中的数据存储器访问等待位来配置访问外部数据存储器所需要的等待时间。

5.3.3. 内部数据存储空间

ATM8F3040 支持 256 字节的内部数据存储空间。其中低 128 个字节分为三个部分，这部分存储器可以通过直接或者间接寄存器寻址访问。其中：0x00-0x1F 部分是工作寄存器组空间，用户可以通过 PSW 寄存器来配置当前的工作寄存器组，每个工作寄存器组支持 8 个寄存器，采用 R0-R7 来区别。0x20-0x2F 是位寻址空间，用户可以通过位地址 0x00-0x7F 访问该空间中的任何一个比特位。其他部分是通用存储器空间。

内部数据存储器的 128 个字节只能通过间接寄存器寻址来访问。这部分存储器与特殊寄存器页组占用同样的地址空间。

5.3.4. DPTR 数据指针

ATM8F3040 支持双 DPTR, 用户可以通过 DPS 选择当前的 DPTR, 也可以通过 DPC 寄存器自动切换 DPTR。

在配置时, 需要首先选中要配置的 DPTR, 然后配置相应的 DPL, DPH 寄存器, 同时配置 DPC 指出通过 MOVX 指令后下次的 DPTR 选择是自己还是另一个。也可以通过 DPC 选择是否要求 DPTR 自增或者自减。

5.4. 示例程序

如果需要读取外部数据存储器的 0x0000~0x0003 的数据, 然后将该部分数据写到 0x0010~0x0013, 程序可以这样写:

```
MOV  DPS, #00H    ; 选中 DPTR0
MOV  DPL, #00H
MOV  DPH, #00H
MOV  DPC, #09H    ; 使能 DPTR0 自增 1 操作, 同时下一个 DPTR 指针采用 DPTR1
MOV  DPS, #01H    ; 选中 DPTR1

MOV  DPL1, #10H
MOV  DPH1, #00H
MOV  DPC, #01H    ; 使能 DPTR1 自增 1 操作, 同时下一个 DPTR 指针采用 DPTR0

MOV  DPS, #00H    ; 选中 DPTR0
MOVB A, @DPTR     ; A= (0000H), DPTR0=0001H, DPTR 切换到 DPTR1
MOVB @DPTR, A     ; (0010)=A, DPTR1=0011H, DPTR 切换到 DPTR0

MOVB A, @DPTR     ; A= (0001H), DPTR0=0002H, DPTR 切换到 DPTR1
MOVB @DPTR, A     ; (0011)=A, DPTR1=0012H, DPTR 切换到 DPTR0

MOVB A, @DPTR     ; A= (0002H), DPTR0=0003H, DPTR 切换到 DPTR1
MOVB @DPTR, A     ; (0012)=A, DPTR1=0013H, DPTR 切换到 DPTR0

MOVB A, @DPTR     ; A= (0003H), DPTR0=0004H, DPTR 切换到 DPTR1
MOVB @DPTR, A     ; (0013)=A, DPTR1=0014H, DPTR 切换到 DPTR
```

6. 寄存器组

ATM8F3040 采用分页的方式来管理特殊功能寄存器组，占用 0x80-0xFF 的内部数据存储器地址，通过直接寻址来访问。在 ATM8F3040 中共分 2 个页，可以通过 BANK 寄存器来切换不同的寄存器页。在不同的寄存器页中支持全局访问的寄存器和只有本页才能访问的寄存器。

6.1. 寄存器描述

表 6-1 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
BANK	页选择寄存器	√	R/W	0000_0000B	ALL BANK	F8H

寄存器详细说明如下：

1) 页选择寄存器（BANK）

名称/地址:	BANK, BANK0/1, F8H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BANK							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一：未实现位；U：不受复位影响；R-0：只读，读0；R/W：可读写							

Bit[7:0]: BANK, 页选择寄存器

00H: 选择 BANK0

01H: 选择 BANK1

其他: 保留

6.2. 功能描述

ATM8F3040 的特殊功能寄存器数目众多，标准 51 的分配的 128 个特殊功能寄存器空间已经不能满足需求，为了实现对各个外设的控制和交互，ATM8F3040 采用了分页的方法来对特殊寄存器空间进行扩展。扩展特殊功能寄存器的访问地址和原有的 128 个特殊功能寄存器地址相同，通过 BANK 寄存器来选择不同的扩展页。对于有些特殊的系统寄存器如 SP, P0, IE 寄存器等，需要实时访问，因此这些寄存器可以在所有的 BANK 中都可以访问。具有这些属性的寄存器为从 80H-8FH 和 90~9F 中以 0x0 和 0x8 结尾的寄存器。

各个特殊寄存器页中的寄存器列表如下：

表 6-2 BANK0 寄存器列表

HEX/Bin	000	001	010	011	100	101	110	111	
F8H	BANK	ADCON	ADT	ADCH	ADDL	ADDH		REMAP	FFH
F0H	B	REMCN	RENUMH	RENUML		PWM0CON	PWM0P	PWM0D	F7H
E8H		P0PCR	P1PCR	P2PCR	P3PCR	P4PCR	P5PCR	AENCON0	EFH
E0H	ACC	P0CR	P1CR	P2CR	P3CR	P4CR	P5CR	AENCON1	E7H
D8H		P0ODR	P1ODR	P2ODR	P3ODR	P4ODR	P5ODR	BUZCON	DFH
D0H	PSW	CKCON	SYSCON	CLKCFG	CLKEN0	CLKEN1	BORCON	CLKSTAT	RST
C8H	IEN2	DPS	DPC	IP20	IP21	WTCON	WDTCON	WDTWK	CFH
C0H	IEN1	FSHCON	FSHDATL	FSHDATH	FSHADRL	FSHADRH	FSDIV	RSTID	C7H
B8H	IP00	T2CON	T2MOD	T2CPL	T2CPH	TL2	TH2	P4	BFH
B0H	P3	INTEN	INTCTRL	INTFLG	PWM2CON	PWM2P	PWM2D	P5	B7H
A8H	IEN0	LCDCON1	LCDCON	SEGEN1	SEGEN2	SEGEN3	SEGEN4	COMEN	AFH
A0H	P2	SBRTH	SBRTL	SFINE	PWM3P	IP01	IP10	IP11	A7H
98H	SCON	SBUF	SADDR	SADEN	CRCCON	CRCDAT	CRCSD0	CRCSD1	9FH

90H	P1	T3CON	TL3	TH3	SPICON	SPIDAT	SPISTA	PWM3D	97H
88H	TCON	ALFSEL0	ALFSEL1	PWM1CON	PWM1P	PWM1D	PWM3CON	SRST	8FH
80H	P0	SP	DPL	DPH	DPL1	DPH1	WDTRLD	PCON	87H

表 6-3 BANK1 寄存器列表

HEX/Bin	000	001	010	011	100	101	110	111	
F8H	BANK								FFH
F0H	B								F7H
E8H									EFH
E0H	ACC						SPOVL	SPOVH	E7H
D8H									DFH
D0H	PSW								RST
C8H	IEN2	DPS	DPC	IP20	IP21				CFH
C0H	IEN1								C7H
B8H	IP00								BFH
B0H	P3								B7H
A8H	IEN0								AFH
A0H	P2					IP01	IP10	IP11	A7H
98H									9FH
90H	P1								97H
88H	TCON								8FH
80H	P0	SP	DPL	DPH	DPL1	DPH1	WDTCTRL	PCON	87H

7. CPU

7.1. 基本特征

ATM8F3040 采用 8051 指令集，该指令集完全兼容 Intel MCS-51™ 指令集。由于采用优化的指令架构，使得其指令执行效率与同频率 Intel 80C51 相比性能提高超过 12 倍。超过 80% 的指令可以在 1 到 2 个系统时钟内完成，没有超过 12 个指令周期的指令。其主要特征包括：

完全兼容 MCS-51™ 指令集

优化的指令架构，最好情况下能够提供 12 倍传统 8051 指令集的执行效率

80% 以上的指令可以在 1 到 2 个系统时钟内完成，没有超过 12 个指令周期的指令

支持双 DPTR 结构

7.2. 寄存器描述

表 7-1 CPU 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SP	堆栈寄存器	x	R/W	0000_0111B	ALL BANK	81H
DPL	数据指针低字节	x	R/W	0000_0000B	ALL BANK	82H
DPH	数据指针高字节	x	R/W	0000_0000B	ALL BANK	83H
DPL1	数据指针 1 低字节	x	R/W	0000_0000B	ALL BANK	84H
DPH1	数据指针 1 高字节	x	R/W	0000_0000B	ALL BANK	85H
PCON	电源控制寄存器	x	R/W	0000_1000B	ALL BANK	87H
DPS	数据指针选择寄存器	x	R/W	0000_0000B	ALL BANK	C9H
DPC	数据指针控制寄存器	x	R/W	0000_0000B	ALL BANK	CAH
PSW	程序状态字寄存器	√	R/W	0000_0000B	ALL BANK	D0H
ACC	累加器	√	R/W	0000_0000B	ALL BANK	E0H
CKCON	访问时钟控制寄存器	x	R/W	0001_0000B	BANK0	D1H
B	B 寄存器	√	R/W	0000_0000B	ALL BANK	F0H

CPU 寄存器详细说明如下：

2) 堆栈寄存器 (SP)

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

SP, ALL BANK, 81H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	1	1	1
—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

Bit[7: 0]: SP, 堆栈指针寄存器

3) 数据指针低字节 (DPL)

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

DPL, ALL BANK, 82H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DPL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	0	0	0	0	0
—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

Bit[7: 0]: DPL, 数据指针低字节

4) 数据指针高字节 (DPH)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

DPH, ALL BANK, 83H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DPH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	0	0	0	0	0

Bit[7: 0]: DPH, 数据指针高字节

5) 数据指针 1 低字节 (DPL1)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

DPL1, ALL BANK, 84H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DPL1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	0	0	0	0	0

Bit[7: 0]: DPL1, 数据指针低字节

6) 数据指针 1 高字节 (DPH1)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

DPH1, ALL BANK, 85H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DPH1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	0	0	0	0	0

Bit[7: 0]: DPH1, 数据指针高字节

7) 电源控制寄存器 (PCON)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

PCON, ALL BANK, 87H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SMOD		SPOVEN	PMW	P2SEL	GF0	STOP	IDLE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	1	0	0	0	0

Bit7: 在方式 2 中, 波特率倍频

Bit6:

Bit5: SPOVEN, 堆栈溢出复位使能位

0: 禁止堆栈溢出复位

1: 使能堆栈溢出复位

Bit4: PMW, 程序存储器数据存储器选择

0: MOVX 指令将访问数据存储器

1: MOVX 指令将访问程序存储器

Bit3: P2SEL, 执行 MOVX @Ri 操作时, 高 8 位地址选择

0: 选择 P2 寄存器中的内容作为高 8 位地址

1: 高 8 位地址为 00H

Bit2: GF0, 通用标志位 0

Bit1: STOP, 停机控制位

0: 正常运行模式

1: 进入停机模式

Bit0: IDLE, 待机控制位

0: 正常运行模式

1: 进入待机模式

8) 数据指针选择寄存器 (DPS)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

DPS, ALL BANK, C9H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	REV	REV	REV	REV	DPSEL
R	R	R	R	R	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

Bit[7: 1]: REV, 保留

Bit0: DPSEL, DPTR 选择位

0: 选择 DPL, DPH 构成的 DPTR0

1: 选择 DPL1, DPH1 构成的 DPTR1

9) 数据指针控制寄存器 (DPC)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

DPC, ALL BANK, CAH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	REV	NDPSEL	AMS	AMD	AME
R	R	R	R	R	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

Bit[7: 4]: REV, 保留

Bit3: NDPSEL, 在执行 MOVX @DPTR 指令后, DPTR 的选择

0: 选择 DPTR0

1: 选择 DPTR1

Bit2: AMS, 在执行 MOVX @DPTR 后, DPTR 自动更改的大小

0: 自增或者自减 1

1: 自增或者自减 2

Bit1: AMD, 在执行 MOVX @DPTR 后, DPTR 的改变方向

0: 自动增加

1: 自动减少

Bit0: AME, 在执行 MOVX @DPTR 后, 当前 DPTR 改变使能位

0: 执行 MOVX @DPTR 后, 不会更改当前的 DPTR

1: 执行 MOVX @DPTR 后, 更改当前的 DPTR

注意: 在配制 DPC 寄存器时, 需要为每一个 DPTR 配制一组 DPC 寄存器。如果对于 DPTR0 配制下一个 DPTR 选择 DPTR1, 对于 DPTR1 配制下一个 DPTR 选择 DPTR0, 那么在程序拷贝时不需要频繁更改 DPS 寄存器就可以实现 DPTR 自动切换。

10) 程序状态字寄存器 (PSW)

名称/地址:

PSW, ALL BANK, D0H

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CY	AC	F0	RS1	RS0	OV	F1	P
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: CY, 进位标志位

0: 未产生进位标志

1: 产生进位标志

Bit6: AC, 辅助进位标志

0: 在进行 BCD 码加减运算时, 未产生第 3 位向第 4 位的进位或者借位

1: 在进行 BCD 码加减运算时, 产生第 3 位向第 4 位的进位或者借位

Bit5: F0, 通用标志位 0, 由用户置位或者清除

Bit4: RS1, 工作寄存器组选择位 1, 与 RS0 共同选择当前工作寄存器组, 当 {RS1, RS0} 为

00: 工作寄存器组 R0-R7 所对应的存储器地址为 00H-07H

01: 工作寄存器组 R0-R7 所对应的存储器地址为 08H-0FH

10: 工作寄存器组 R0-R7 所对应的存储器地址为 10H-17H

11: 工作寄存器组 R0-R7 所对应的存储器地址为 18H-1FH

Bit3: RS0, 工作寄存器组选择位 0。

Bit2: OV, 溢出标志

0: 运算未发生溢出

1: 运算溢出

Bit1: F1, 通用标志位 1, 由用户置位或者清除

Bit0: P, 奇偶标志

0: 累加器 A 的 1 的个数为偶数

1: 累加器 A 的 1 的个数为奇数

11) 累加器 (A)

名称/地址:	A, ALL BANK, E0H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	A							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7: 0]: A, 累加器

12) 访问时钟控制寄存器 (CKCON)

名称/地址:	CKCON, BANK0, D1H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PSYNC	PWAIT			DSYNC	DWAIT		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	1	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: PSYNC, 同步或者异步访问程序存储器控制位

0: 同步访问

1: 异步访问

Bit[6:4]: PWAIT, 访问程序存储器等待周期

000: 不等待

001: 等待 1 个系统周期

010: 等待 2 个系统周期

011: 等待 3 个系统周期

100: 等待 4 个系统周期

101: 等待 5 个系统周期

110: 等待 6 个系统周期

111: 等待 7 个系统周期

Bit3: PSYNC, 同步或者异步访问数据存储器控制位

0: 同步访问

1: 异步访问

Bit[2:0]: DWAIT, 访问数据存储器等待周期

000: 不等待

001: 等待 1 个系统周期

010: 等待 2 个系统周期

011: 等待 3 个系统周期

100: 等待 4 个系统周期

101: 等待 5 个系统周期

110: 等待 6 个系统周期

111: 等待 7 个系统周期

13) 寄存器 B (B)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

B, ALL BANK, F0H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
B							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

Bit[7: 0]: B, 在 MUL 和 DIV 操作中与累加器一起使用, 乘法操作时, 所得的 16 位积高字节存在寄存器 B 中。

7.3. 指令集

ATM8F3040 的指令集完全兼容标准 MCS-51™ 指令集。支持标准 8051 的开发工具开发应用程序。所有指令的指令代码, 寻址方式和 PSW 标志都与标准 51 一致。

表 5-2 包括了列举了文中描述所使用的助记符。

表 5-3 给出了指令的 16 进制指令代码, 指令字节数和指令执行所需的时间。

表 7-2 寻址方式助记符

符号	描述
Rn	当前选中的工作寄存器区的 8 个工作寄存器 Rn (n=0~7)
Direct	8 位内部数据存储器单元的地址。可以是内部 RAM 单元的地址 (00H~FFH) 或 SFR 的地址 (如 I/O 端口、控制寄存器、状态寄存器等)
Ri	当前选中的工作寄存器区中可作间址寄存器的 2 个寄存器 Ri (i=0, 1)。
#data	包含在指令中的 8 位立即数
#data16	包含在指令中的 16 位立即数

Bit	内部 RAM 或 SFR 中的直接寻址位
A	累加器
B	B 寄存器，用于 MUL 和 DIV 指令中
Addr16	16 位目的地址，用于 LCALL 和 LJMPL 指令中。
Addr11	11 位目的地址，用于 ACALL 和 AJMPL 指令中，它的地址必须与下一条指令的第一个字节的地址的高 5 位相同
rel	8 位带符号的地址偏移量，用于 SJMPL 和所有的条件转移指令中；偏移值相对于下一条指令的第一个字节的地址计算，在 -128~+127 范围内取值。
CY	进位或者借位标志
@	间址寄存器或基址寄存器的前缀，如 @Ri, @A, @DPTR。
(X)	X 中的内容

表 7-3 操作指令集

助记符	描述	指令代码	占用字节	周期
算术运算类指令				
ADD A, Rn	$A = A + Rn$	0x28-0x2F	1	1
ADD A, Direct	$A = A + (Direct)$	0x25	2	2
ADD A, @Ri	$A = A + (Ri)$	0x26-0x27	1	2
ADD A, #data	$A = A + data$	0x24	2	2
ADDC A, Rn	$A = A + Rn + CY$	0x38-0x3F	1	1
ADDC A, Direct	$A = A + (Direct) + CY$	0x35	2	2
ADDC A, @Ri	$A = A + (Ri) + CY$	0x36-0x37	1	2
ADDC A, #data	$A = A + data + CY$	0x34	2	2
SUBB A, Rn	$A = A - Rn - CY$	0x98-0x9F	1	1
SUBB A, Direct	$A = A - (Direct) - CY$	0x95	2	2
SUBB A, @Ri	$A = A - (Ri) - CY$	0x96~0x97	1	2
SUBB A, #data	$A = A - data - CY$	0x94	2	2
INC A	$A = A + 1$	0x04	1	1
INC Rn	$Rn = Rn + 1$	0x08-0x0F	1	1
INC Direct	$(Direct) = (Direct) + 1$	0x05	2	2
INC @Ri	$(Ri) = (Ri) + 1$	0x06-0x07	1	2
INC DPTR	$DPTR = DPTR + 1$	0xA3	1	1
DEC A	$A = A - 1$	0x14	1	1
DEC Rn	$Rn = Rn - 1$	0x18-0x1F	1	1
DEC Direct	$(Direct) = (Direct) - 1$	0x15	2	2
DEC @Ri	$(Ri) = (Ri) - 1$	0x16-0x17	1	2
MUL AB	$A = A \times B$	0xA4	1	4
DIV	$A = A / B$	0x84	1	4
逻辑操作(13*3+7)+3				
ANL A, Rn	$A = A \& B$	0x58-0x5F	1	1
ANL A, Direct	$A = A \& (Direct)$	0x55	2	2
ANL A, @Ri	$A = A \& (Ri)$	0x56-0x57	1	2
ANL A, #data	$A = A \& data$	0x54	2	2
ANL direct, A	$(Direct) = (Direct) \& A$	0x52	2	2
ANL direct, #data	$(Direct) = (Direct) \& data$	0x53	3	3

助记符	描述	指令代码	占用字节	周期
ORL A,Rn	$A = A \mid B$	0x48-0x4F	1	1
ORL A, Direct	$A = A \mid (\text{Direct})$	0x45	2	2
ORL A, @Ri	$A = A \mid (Ri)$	0x46-0x47	1	2
ORL A, #data	$A = A \mid \text{data}$	0x44	2	2
ORL direct, A	$(\text{Direct}) = (\text{Direct}) \mid A$	0x42	2	2
ORL direct, #data	$(\text{Direct}) = (\text{Direct}) \mid \text{data}$	0x43	3	3
XRL A,Rn	$A = A \wedge B$	0x68-0x6F	1	1
XRL A, Direct	$A = A \wedge (\text{Direct})$	0x65	2	2
XRL A, @Ri	$A = A \wedge (Ri)$	0x66-0x67	1	2
XRL A, #data	$A = A \wedge \text{data}$	0x64	2	2
XRL direct, A	$(\text{Direct}) = (\text{Direct}) \wedge A$	0x62	2	2
XRL direct, #data	$(\text{Direct}) = (\text{Direct}) \wedge \text{data}$	0x63	3	3
CLR A	把累加器 A 清零	0xE4	1	1
CPL A	把累加器 A 取补后赋值给 A	0xF4	1	1
RL A	把累加器 A 的各个位循环左移一位	0x23	1	1
RLC A	把累加器 A 的各个位, 连同进位标志循环左移一位	0x33	1	1
RR A	把累加器 A 的各个位循环右移一位	0x03	1	1
RRC A	把累加器 A 的各个位, 连同进位标志循环右移一位	0x13	1	1
SWAP A	交换累加器 A 中的低 4 位和高 4 位	0xC4	1	1
数据转移指令(68+10)				
MOV A, Rn	$A = Rn$	0xE8-0xEF	1	1
MOV A, Direct	$A = (\text{Direct})$	0xE5	2	2
MOV A, @Ri	$A = (Ri)$	0xE6-0xE7	1	2
MOV A, #data	$A = \text{data}$	0x74	2	2
MOV Rn, A	$Rn = A$	0xF8-0xFF	1	1
MOV Rn, Direct	$Rn = (\text{Direct})$	0xA8-0xAF	2	2
MOV Rn, #data	$Rn = \text{data}$	0x78-0x7F	2	2
MOV Direct, A	$(\text{Direct}) = A$	0xF5	2	2
MOV Direct, Rn	$(\text{Direct}) = Rn$	0x88-0x8F	2	2
MOV Direct1, Direct2	$(\text{Direct}1) = (\text{Direct}2)$	0x85	3	3
MOV Direct, @Ri	$(\text{Direct}) = (Ri)$	0x86-0x87	2	2
MOV Direct, #data	$(\text{Direct}) = \text{data}$	0x75	3	3
MOV @Ri, A	$(Ri) = A$	0xF6-0xF7	1	1
MOV @Ri, direct	$(Ri) = (\text{Direct})$	0xA6-0xA7	2	2
MOV @Ri, #data	$(Ri) = \text{data}$	0x76-0x77	2	2
MOV DPTR, #data16	$\text{DPTR} = \text{data}16$	0x90	3	3
MOVC A, @A+DPTR	$A = (A + \text{DPTR})$	0x93	1	3
MOVC A, @A+PC	$A = (A + \text{PC})$	0x83	1	3
MOVX A, @Ri	$A = (Ri)$, Ri 代表外部数据存储器的 8 位地址	0xE2-0xE3	1	3-10
MOVX A, @DPTR	$A = (\text{DPTR})$, DPTR 代表外部数据存储器的 16 位地址	0xE0	1	3-10
MOVX @Ri, A	$(Ri) = A$, Ri 代表外部数据存储器的 8 位地址	0xF2-0xF3	1	3-12
MOVX @DPTR, A	$(\text{DPTR}) = A$, DPTR 代表外部数据存储器的 16 位地址	0xF0	1	3-12

助记符	描述	指令代码	占用字节	周期
PUSH Direct	(SP)=(Direct), SP=SP+1	0xC0	2	2
POP Direct	(Direct)=(SP), SP=SP-1	0xD0	2	2
XCH A, Rn	A=(Rn), (Rn)=A	0xC8-0xCF	1	1
XCH A, Direct	A=(Direct), (Direct)=A	0xC5	2	2
XCH A, @Ri	A=(Ri), (Ri)=A	0xC6-0xC7	1	2
XCHD A, @Ri	A[3:0] = (Ri)[3:0], (Ri)[3:0]=A[3:0]	0xD6-0xD7	1	2
跳转分支(18)+33				
ACALL Addr11	子程序调用	xxx10001b	2	2
LCALL Addr16	子程序长调用	0x12	3	3
RET	子程序返回	0x22	1	4
RETI	中断返回	0x32	1	4
AJMP Addr11	绝对跳转	Xxx00001b	2	2
LJMP Addr16	长跳转	0x02	3	3
SJMP rel	短跳转	0x80	2	2
JMP @A+DPTR	程序跳转到 A+DPTR 地址	0x73	1	3
JZ rel	累加器为零跳转	0x60	2	3
JNZ rel	累加器非零跳转	0x70	2	3
JC rel	进位跳转	0x40	2	3
JNC rel	非进位跳转	0x50	2	3
JB bit, rel	如果 bit 所代表的位不为零跳转	0x20	3	4
JNB bit, rel	如果 bit 所代表的位为零跳转	0x30	3	4
JBC bit, rel	如果 bit 所代表的位不为零跳转, 同时清除该 bit	0x10	3	4
CJNE A, direct,rel	如果 A 与(direct)的值不等跳转	0xB6	3	4
CJNE A, #data, rel	如果 A 与 data 的值不等跳转	0xB4	3	4
CJNE Rn, #data, rel	如果 Rn 与 data 的值不等跳转	0xB8-0xBF	3	4
CJNE @Ri, #data, rel	如果(Ri)与 data 的值不等跳转	0xB6-0xB7	3	5
DJNZ Rn, rel	如果 Rn-1 不为零跳转	0xD8-0xDF	2	3
DJNZ direct, rel	如果(direct)-1 不为零跳转	0xD5	3	4
NOP	空指令	0x00	1	1
位操作				
CLR C	清除进位标志	0xC3	1	1
CLR bit	把 bit 代表的位寻址空间中的某位清零	0xC2	2	2
SETB C	置进位标志	0xD3	1	1
SETB bit	把 bit 代表的位寻址空间中的某位置 1	0xD2	2	2
CPL C	把进位标志取反	0xB3	1	2
CPL bit	把 bit 代表的位寻址空间中的某位取反	0xB2	2	2
ANL C, bit	C=C & bit	0x82	2	2
ANL C, /bit	C= C & (!bit)	0xB0	2	2
ORL C, bit	C= C bit	0x72	2	2
ORL C, /bit	C= C (!bit)	0xA0	2	2
MOV C, bit	C= bit	0xA2	2	2
MOV bit, C	Bit = C	0x92	2	2

8. 中断系统

8.1. 规格介绍

ATM8F3040 采用 8 位单周期快速 51 核，最多支持 19 组共 31 个独立中断源。其中组 0 为复位中断，为不可屏蔽中断。其他 18 个组共 18 个中断源可配置为独立中断源，系统为这些中断源分配确定的中断入口地址，同时这些中断组也可以单独配置为不同的 4 个优先级。在实际使用中可通过若干个中断源共享一个中断入口地址来实现更多中断资源扩展。

当中断请求发生并被 CPU 接收时，主程序将停止运行。进入中断的动作如下：

- 等待当前指令执行完毕
- 将 PC 值压入堆栈
- 保存当前的中断状态并禁止同级或者更低优先级的中断执行
- 载入系统分配的中断入口地址
- 执行相应的中断子程序

当中断子程序执行完成，退出中断的动作如下表示：

- 中断子程序执行完成后执行 RETI 指令退出中断
- 系统执行 PC 值出栈动作
- 判断有无同级或者更低优先级中断，若无则继续执行中断之前的程序，若有则执行相应的中断子程序

注：以上功能根据需要添加。

8.2. 内部框图

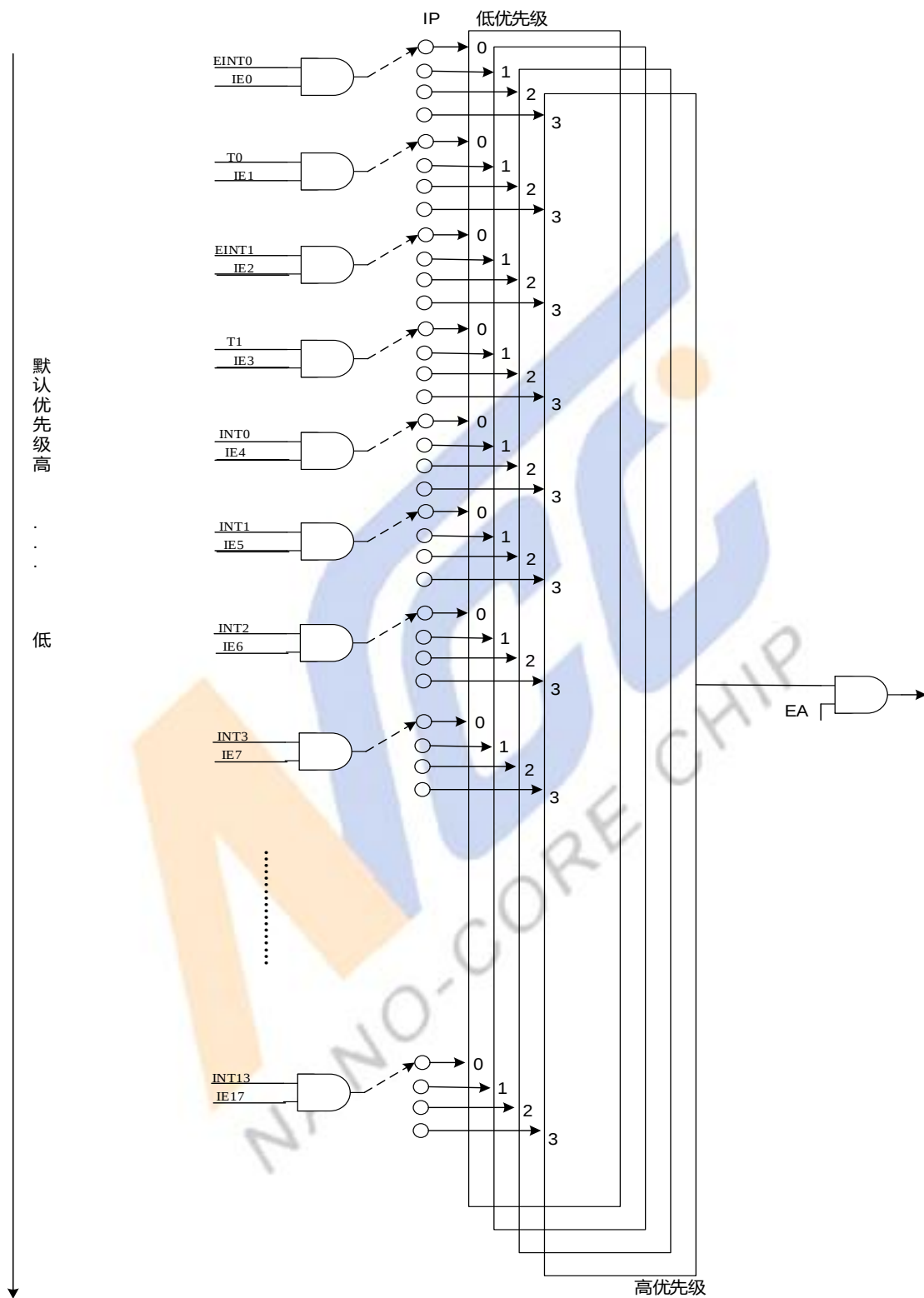


图 8-1 中断结构图

8.3. 中断向量表及优先级

31 个中断源分配为 19 个组，其相应的中断对应地址列表如下：

表 8-1 中断向量表

组号	中断号	向量	说明	中断使能位	中断标志	清除
-1	-	00H	复位中断	不可屏蔽	保留	硬件
0	0	03H	外部管脚 P07，低电平，上升/下降/ 双沿触发	IE0/IEN0.0	TCON.1	软件/硬件
			看门狗匹配信号			
1	1	0BH	保留	IE1/IEN0.1		
2	2	13H	外部管脚 P21，低电平，上升/下降/ 双沿触发	IE2/IEN0.2	TCON.3	软件/硬件
			唤醒定时器溢出信号			
3	3	1BH	保留	IE3/IEN0.3		
4	4	23H	UART0 发送完成标志	IE4/IEN0.4	SCON.1	软件
			UART0 接收完成标志		SCON.0	
5	5	2BH	PWM1 周期溢出标志	IE5/IEN0.5	PWM1CON.1	软件/硬件
6	6	33H	T2 定时器溢出标志	IE6/IEN1.0	T2CON.7	软件
			T2 外部输入事件标志		T2CON.6	
7	7	3BH	T3 定时器溢出标志	IE7/IEN1.1	T3CON.7	软件/硬件
8	8	43H	ADC 转换结束或比较标志	IE8/IEN1.2	ADCON.6	软件
9	9	4BH	SPI 数据传送完成标志	IE9/IEN1.3	SPISTA.7	软件
			SPI 模式错误标志		SPISTA.4	软件/硬件
10	10	53H	CLK_ERR 系统时钟操作错误标志	IE10/IEN1.4	CLKSTAT.7	软件
11	11	5BH	PWM2 周期溢出标志	IE11/IEN1.5	PWM2CON.1	软件/硬件
12	12	63H	外部管脚 P10 - P17	IE12/IEN2.0 & INTEN[7-0]	INTFLG[7-0]	软件
13	13	6BH	PWM3 周期溢出标志	IE13/IEN2.1	PWM3CON.1	软件/硬件
14	14	73H	PWM0 周期溢出标志	IE14/IEN2.2	PWM0CON.1	软件/硬件
15	15	7BH	REM 包络计数器溢出标志	IE15/IEN2.3	REMCON.1	软件/硬件
16	16	83H	保留	IE16/IEN2.4		软件/硬件
17	17	8BH	保留	IE17/IEN2.5		软件/硬件

在中断响应执行时中断优先级按照组号越小，中断优先级越高，同一组内的中断，中断向量地址越小优先级越高的顺序执行。对组-1 中断（系统复位 RST，中断向量地址为 0000H），其具有最高的优先级，且不可屏蔽，只要发生就直接复位整个芯片，主程序将重新从地址 0000H 开始执行。对于其他中断源受全局中断使能位和各自相应的中断使能位控制。当全局中断使能位为 0 时，所有的中断都不会发生。只有当全局中断使能位为 1，同时相应的中断使能位也置 1 时才能开启相应的中断。

ATM8F3040 最大可支持 4 级中断优先级，用户可以通过中断优先级寄存器（IP00，IP01，IP10，IP11，IP20，IP21）为每个组分配固定的中断优先级。在同一中断优先级内，组号小的中断源优先响应中断，同一组内中断向量小的中断源优先响应中断。对于上述 18 个组中断源（除 RST 复位），用户可以随意设置其相应的中断优先级。不同优先级配置时，按照中断优先级值设置越高，其相应的组的优先级越高，即中断优先级为 3 的中断源优先级高于中断优先级为 2 的中断源。

系统中断源的优先级如图 9-1 中断结构图所示，图中中断使能位的设置由 IEN0~IEN2 共三个寄存器设置，每个寄存器控制 6 个中断源。全局中断使能由 IEN0 的第 7 位控制。中断优先级的控制由 IP00，IP01，IP10，IP11，IP20，IP21 共六个寄存器控制。

8.4. 寄存器描述

表 8-2 中断控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
IEN0	中断使能寄存器 0	×	R/W	0000_0000B	ALL BANK	A8H
IEN1	中断使能寄存器 1	×	R/W	0000_0000B	ALL BANK	C0H
IEN2	中断使能寄存器 2	×	R/W	0000_0000B	ALL BANK	C8H
IP00	中断优先级配置寄存器 00	×	R/W	0000_0000B	ALL BANK	B8H
IP01	中断优先级配置寄存器 01	×	R/W	0000_0000B	ALL BANK	A5H
IP10	中断优先级配置寄存器 10	×	R/W	0000_0000B	ALL BANK	A6H
IP11	中断优先级配置寄存器 11	×	R/W	0000_0000B	ALL BANK	A7H
IP20	中断优先级配置寄存器 20	×	R/W	0000_0000B	ALL BANK	CBH
IP21	中断优先级配置寄存器 21	×	R/W	0000_0000B	ALL BANK	CCH

中断控制寄存器详细说明如下：

14) 中断使能寄存器 0 (IEN0)

名称/地址:	IEN0, ALL BANK, A8H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EA	-	IE5	IE4	IE3	IE2	IE1	IE0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: EA, 全部中断使能位

0: 禁止中断

1: 使能中断

Bit6: 保留

Bit5: IE5, PWM1 溢出中断向量入口地址 002BH 对应中断使能

0: 禁止

1: 使能

Bit4: IE4, UART0 中断向量入口地址 0023H 对应中断使能

0: 禁止

1: 使能

Bit3: IE3, 保留, 中断向量入口地址 001BH 对应中断使能

0: 禁止

1: 使能

Bit2: IE2, 外部中断 EINT1 中断向量入口地址 0013H 对应中断使能

0: 禁止

1: 使能

Bit1: IE1, 保留, 中断向量入口地址 000BH 对应中断使能

0: 禁止

1: 使能

Bit0: IE0, 外部中断 EINT0 中断向量入口地址 0003H 对应中断使能

0: 禁止

1: 使能

15) 中断使能寄存器 1 (IEN1)

名称/地址:	IEN1, ALL BANK, C0H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit0
位 定 义:	-	-	IE11	IE10	IE9	IE8	IE7
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit[7:6]: 保留

Bit5: IE11, PWM2 溢出中断向量入口地址 005BH 对应中断使能

0: 禁止

1: 使能

Bit4: IE10, CLK_ERR 中断向量入口地址 0053H 对应中断使能

0: 禁止

1: 使能

Bit3: IE9, SPI 中断向量入口地址 004BH 对应中断使能

0: 禁止

1: 使能

Bit2: IE8, ADC 中断向量入口地址 0043H 对应中断使能

0: 禁止

1: 使能

Bit1: IE7, T3 中断向量入口地址 003BH 对应中断使能

0: 禁止

1: 使能

Bit0: IE6, T2 中断向量入口地址 0033H 对应中断使能

0: 禁止

1: 使能

16) 中断使能寄存器 2 (IEN2)

名称/地址:	IEN2, ALL BANK, C8H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit0
位 定 义:	-	-	IE17	IE16	IE15	IE14	IE13
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit[7:6]: 保留

Bit5: IE17, 保留, 中断向量入口地址 008BH 对应中断使能

0: 禁止

1: 使能

Bit4: IE16, 保留, 中断向量入口地址 0083H 对应中断使能

0: 禁止

1: 使能

Bit3: IE15, REM 溢出中断向量入口地址 007BH 对应中断使能

0: 禁止

1: 使能

Bit2: IE14, PWM0 溢出中断向量入口地址 0073H 对应中断使能

0: 禁止

1: 使能

Bit1: IE13, PWM3 溢出中断向量入口地址 006BH 对应中断使能

0: 禁止

1: 使能

Bit0: IE12, 外部中断 EINT4 中断向量入口地址 0063H 对应中断使能

0: 禁止

1: 使能

17) 中断优先级寄存器 00 (IP00)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

IP00, ALL BANK, B8H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	IP05A	IP04A	IP03A	IP02A	IP01A	IP00A
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:6]: 保留

Bit5: IP05A, 与中断优先级寄存器 01 (IP01) 中对应 IP05B 一起确定中断组 5 优先级

{IP05B, IP05A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit4: IP04A, 与中断优先级寄存器 01 (IP01) 中对应 IP04B 一起确定中断组 4 优先级

{IP04B, IP04A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit3: IP03A, 与中断优先级寄存器 01 (IP01) 中对应 IP03B 一起确定中断组 3 优先级

{IP03B, IP03A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit2: IP02A, 与中断优先级寄存器 01 (IP01) 中对应 IP02B 一起确定中断组 2 优先级

{IP02B, IP02A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit1: IP01A, 与中断优先级寄存器 01 (IP01) 中对应 IP01B 一起确定中断组 1 优先级

{IP01B, IP01A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit0: IP00A, 与中断优先级寄存器 01 (IP01) 中对应 IP00B 一起确定中断组 0 优先级

{IP00B, IP00A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

18) 中断优先级寄存器 01 (IP01)

名称/地址:

IP01, ALL BANK, A5H

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	IP05B	IP04B	IP03B	IP02B	IP01B	IP00B
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

位 定 义:

访问权限:

复 位 值:

提 示:

一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写

Bit[7:6]: 保留

Bit[5:0]: 参考 IP00 寄存器描述

19) 中断优先级寄存器 10 (IP10)

名称/地址:

IP10, ALL BANK, A6H

位 序 号:

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	IP11A	IP10A	IP09A	IP08A	IP07A	IP06A
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

位 定 义:

访问权限:

复 位 值:

提 示:

一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写

Bit[7:6]: 保留

Bit5: IP11A, 与中断优先级寄存器 11 (IP11) 中对应 IP11B 一起确定中断组 11 优先级

{IP11B, IP11A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit4: IP10A, 与中断优先级寄存器 11 (IP11) 中对应 IP10B 一起确定中断组 10 优先级

{IP10B, IP10A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit3: IP09A, 与中断优先级寄存器 11 (IP11) 中对应 IP09B 一起确定中断组 9 优先级

{IP09B, IP09A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit2: IP08A, 与中断优先级寄存器 11 (IP11) 中对应 IP08B 一起确定中断组 8 优先级 {IP08B, IP08A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit1: IP07A, 与中断优先级寄存器 11 (IP11) 中对应 IP07B 一起确定中断组 7 优先级 {IP07B, IP07A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit0: IP06A, 与中断优先级寄存器 11 (IP11) 中对应 IP06B 一起确定中断组 6 优先级 {IP06B, IP06A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

20) 中断优先级寄存器 11 (IP11)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

IP11, ALL BANK, A7H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	IP11B	IP10B	IP09B	IP08B	IP07B	IP06B
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

Bit[7:6]: 保留

Bit[5:0]: 参考 IP10 寄存器描述

21) 中断优先级寄存器 20 (IP20)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

IP20, ALL BANK, CBH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	IP17A	IP16A	IP15A	IP14A	IP13A	IP12A
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

Bit[7:6]: 保留

Bit5: IP17A, 与中断优先级寄存器 21 (IP21) 中对应 IP17B 一起确定中断组 17 优先级 {IP17B, IP17A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit4: IP16A, 与中断优先级寄存器 21 (IP21) 中对应 IP16B 一起确定中断组 16 优先级

{IP16B, IP16A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit3: IP15A, 与中断优先级寄存器 21 (IP21) 中对应 IP15B 一起确定中断组 15 优先级

{IP15B, IP15A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit2: IP14A, 与中断优先级寄存器 21 (IP21) 中对应 IP14B 一起确定中断组 14 优先级

{IP14B, IP14A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit1: IP13A, 与中断优先级寄存器 21 (IP21) 中对应 IP13B 一起确定中断组 13 优先级

{IP13B, IP13A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

Bit0: IP12A, 与中断优先级寄存器 21 (IP21) 中对应 IP12B 一起确定中断组 12 优先级

{IP12B, IP12A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

22) 中断优先级寄存器 21 (IP21)

名称/地址:	IP21, ALL BANK, CCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	IP17B	IP16B	IP15B	IP14B	IP13B	IP12B
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:6]: 保留

Bit[5:0]: 参考 IP20 寄存器描述

8.5. 功能描述

程序正常运行时, 如果某个中断满足条件, 相应的中断标志将置 1, 若此时相应的中断使能位使能, 同时全局中断打开, 该中断将会被执行。CPU 等待当前指令结束完成后, 保持 PC 指针到堆栈, 跳转到相应的中断向量地址开始执行中断服务子程序。子程序执行完毕后, 通过 RETI 指令退出中断服务子程序。CPU 从堆栈中出栈中断服务子程序执行前的 PC 指针, 继续先前程序的执行。

如果对应中断使能位未使能或者全局中断未打开，那么中断标志虽然置起，但是中断子程序不会运行。

中断标志的清除有两种方式，一种是硬件清除，一种是软件清除。当中断允许，同时 CPU 响应中断时，系统硬件将会自动将中断位清除。若中断未允许，中断标志位只能通过软件清除。

在中断执行时，设置为高优先级的中断可以中断低优先级的中断。同级的中断不能嵌套。当多个中断源同时发生时，中断组号低的中断源优先级高于中断组号高的中断优先级，同一组中，低中断向量的中断源优先级高于高中断向量的中断优先级。

中断响应时间与当前中断的指令有关，若不执行 MOVX 指令，则中断响应时间低于 7 个 CPU 时钟。若在执行 MOVX 指令时发生中断，最大会有 14 个 CPU 时钟周期的延迟。



9. 外部中断

9.1. 规格介绍

ATM8F3040 的外部中断分成两种类型，共支持 10 个外部中断源

其中外部中断 0 和外部中断 1 是中断类型 A，每个中断都独立对应一个中断入口地址，外部中断 INT40~INT47 是中断类型 B，共用一个中断入口地址

外部中断 0 可以选择外部管脚 P07 输入或者是 WDT 定时器匹配输入

外部中断 1 可以选择外部管脚 P21 输入或者是 WT 定时器溢出输入

10 个外部中断源都可以作为停机模式的唤醒源

9.2. 基本特征

中断源均可设置为电平触发或者边沿触发

中断源配置为电平触发时，仅支持低电平触发

中断源配置为脉冲触发时，均支持上沿，下沿触发或者双沿触发

9.3. 内部框图

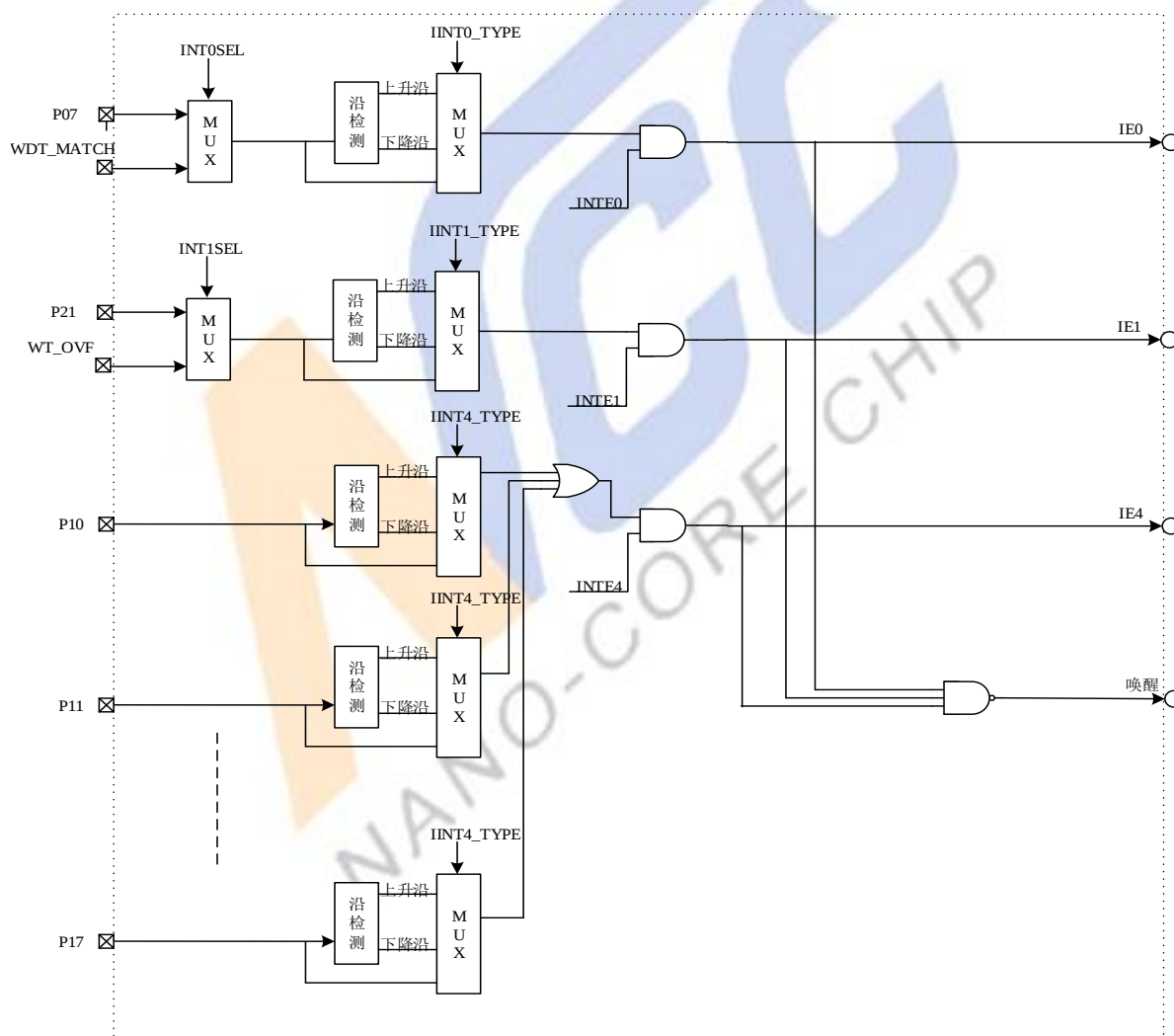


图 9-1 中断结构图

9.4. 寄存器描述

表 9-1 中断控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
----	----	------	------	-----	---------	------

TCON	T0/1 控制寄存器	√	R/W	0000_0000B	ALL BANK	88H
INTEN	外部中断使能寄存器	×	R/W	0000_0000B	BANK0	B1H
INTCTRL	外部中断类型寄存器	×	R/W	0000_0000B	BANK0	B2H
INTFLG	外部中断标志寄存器	×	R/W	0000_0000B	BANK0	B3H

中断控制寄存器详细说明如下：

23) T0/1 控制寄存器 (TCON)

名称/地址:	TCON, ALL BANK, 88H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:					IE1		IE0
位 地 址:	8FH	8EH	8DH	8CH	8BH	8AH	89H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit3: IE1, 外部中断 1 标志位, 写零清除

Bit1: IE0, 外部中断 0 标志位, 写零清除

24) 外部中断 4 使能寄存器 (INTEN)

名称/地址:	INTEN, BANK0, B1H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	EN47	EN46	EN45	EN44	EN43	EN42	EN41
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit7: EN47, P17 外部中断使能

Bit6: EN46: P16 外部中断使能

Bit5: EN45: P15 外部中断使能

Bit4: EN44, P14 外部中断使能

Bit3: EN43: P13 外部中断使能

Bit2: EN42: P12 外部中断使能

Bit1: EN41: P11 外部中断使能

Bit0: EN40: P10 外部中断使能

25) 外部中断类型寄存器 (INTCTRL)

名称/地址:	INTCTRL, BANK0, B2H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	INT1SEL	INT0SEL	INT4TYPE		INT1TYPE		INT0TYPE
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit7: INT1SEL, INT1 源选择

0: 选择 P21 作为输入

1: 选择 WT 溢出信号

Bit6: INT0SEL, INT0 源选择

0: 选择 P07 作为输入

1: 选择 WDT 匹配信号

Bit[5:4]: INT4TYPE, INT4 触发条件选择

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

Bit[3:2]: INT1TYPE, INT1 触发条件选择

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

Bit[1:0]: INT0TYPE, INT0 触发条件选择

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

26) 外部中断 4 状态寄存器 (INTFLG)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

INTFLG, BANK0, B3H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IFLG7	IFLG6	IFLG5	IFLG4	IFLG3	IFLG2	IFLG1	IFLG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: IFLG7, 外部中断 47 中断标志位, 写 0 清除

Bit6: IFLG6, 外部中断 46 中断标志位, 写 0 清除

Bit5: IFLG5, 外部中断 45 中断标志位, 写 0 清除

Bit4: IFLG4, 外部中断 44 中断标志位, 写 0 清除

Bit3: IFLG3, 外部中断 43 中断标志位, 写 0 清除

Bit2: IFLG2, 外部中断 42 中断标志位, 写 0 清除

Bit1: IFLG1, 外部中断 41 中断标志位, 写 0 清除

Bit0: IFLG0, 外部中断 40 中断标志位, 写 0 清除

9.5. 功能描述

在设置外部中断复用时, 首先需要配置 IO 控制寄存器为输入模式。对于中断 4 的源, 可通过 INTEN 选择各个通道的使能。

对于通过 INTCTRL 寄存器配置中断的类型, 可以是电平中断, 也可以是沿中断。通过 INTOSEL 可选择外部中断 0 的中断源是 P07 还是 WDT 匹配信号。通过 INT1SEL 可选择外部中断 1 的中断源是 P21 还是 WT 的溢出信号。

在 STOP 模式下, 用户可以选择 INTO/INT1/INT4 中的任何一个作为源来唤醒 CPU。如果采用电平来作为唤醒源时, 需要保证足够的电平宽度。在进入 STOP 模式之前, 要确保各个中断标志位都被清零, 否则可能无法进入 STOP 模式。

10. 复位

10.1. 基本特征

ATM8F3040 拥有 7 个复位源，分别为：

- 外部管脚复位 ERST
- 上电复位 POR
- 低压复位 BOR
- WDT 复位 WDTR
- 软件复位 SRST
- 调试复位 DBGRST
- 堆栈溢出复位 SPRST

10.2. 工作模式

正常工作模式下：外部复位/上电复位/软件复位都是有效复位，BOR 以及 WDT 复位是否打开由软件控制。

IDLE/STOP 模式下：外部复位/上电复位可产生复位，由于 CPU 停止所以不会产生软件复位。BOR 以及 WDT 复位是否打开由软件控制。

默认情况下 BOR 开启，WDT 不工作。

调试复位只有在调试模式下发生调试复位命令方可复位。

10.3. 内部框图

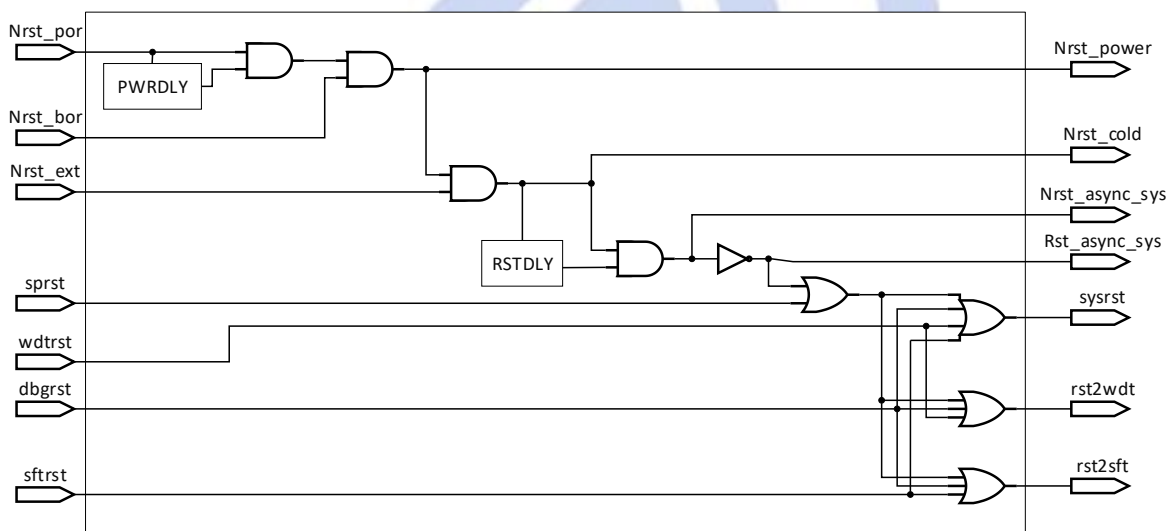


图 10-1 复位结构内部框图

10.4. 寄存器描述

表 10-1 复位寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SRST	软件复位寄存器	x	W	-	BANK0	8FH
RSTID	复位标志寄存器	x	R	0000_0xxxB	BANK0	C7H
SPOVL	堆栈低溢出寄存器	x	R/W	1111_1111B	ALL BANK	E6H
SPOVH	堆栈高溢出寄存器	x	R/W	0000_0000B	ALL BANK	E7H

复位寄存器详细说明如下：

1) 软件复位寄存器（SRST）

名称/地址：

SRST, BANK0, 8FH

位 序 号：

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------

位 定 义:

访问权限:

复 位 值:

提 示:

-	-	-	-	-	-	-	SRSTEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	-	-	-
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7: 1]: 保留

Bit0: SRSTEN, 软件复位, 对该位连续两条指令写 1 将会产生软件复位

2) 复位标志寄存器 (RSTID)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

RSTID, BANK0, C7H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	SPRST	DBGIRST	SRST	WDTRST	ERST	BORST	PORST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
-	-	-	-	-	-	-	-
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: 保留

Bit6: SPRST, 堆栈溢出复位标志

0: 未发生堆栈溢出复位

1: 发生堆栈溢出复位

Bit5: DBGIRST, 调试复位标志, 写 0 清除, 写 1 不会影响该位状态

0: 未发生调试复位

1: 发生调试复位

Bit4: SRST, 软件复位标志, 写 0 清除, 写 1 不会影响该位状态

0: 未发生软件复位

1: 发生软件复位

Bit3: WDTRST, 看门狗复位标志, 写 0 清除, 写 1 不会影响该位状态

0: 未发生看门狗复位

1: 发生看门狗复位

Bit2: ERST, 外部复位标志, 写 0 清除, 写 1 不会影响该位状态

0: 未发生外部复位

1: 发生外部复位

Bit1: BORST, 低压复位标志, 写 0 清除, 写 1 不会影响该位状态

0: 未发生低压复位

1: 发生低压复位

Bit0: PORST, 上电复位标志, 写 0 清除, 写 1 不会影响该位状态

0: 未发生上电复位

1: 发生上电复位

在第一次上电复位时, PORST, BORST, CVMRST 将会置 1。

3) 堆栈低溢出寄存器 (SPOVL)

名称/地址:

位 序 号:

位 定 义:

访问权限:

SPOVL, ALL BANK, E6H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPOVL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	-	-	-	-	-	-	-
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						
Bit[7: 0]: SPOVL, 堆栈溢出低地址寄存器							

4) 堆栈高溢出寄存器 (SPOVH)

名称/地址:	SPOVH, ALL BANK, E7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPOVH							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	-	-	-	-	-	-	-	-
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							
Bit[7: 0]: SPOVH, 堆栈溢出高地址寄存器								

10.5.功能描述

ATM8F3040 共支持 7 种复位源，共分为 2 大类：冷复位和热复位。其中，外部复位，上电复位，和低压复位属于冷复位。看门狗复位，软件复位，堆栈溢出复位和调试复位属于热复位。冷复位时系统会重新载入 FLASH 信息区中的存储内容，同时为了保证内核电压稳定，需要有一时间的延迟。热复位发生时，系统将直接复位，无须重新载入 FLASH 信息区中的存储内容，同时也无须等待内核电压稳定。 相比而言，冷复位的时间相比热复位要长很多。

在正常工作模式下，系统上电启动时，为了保证内核电压能够达到一定水平保证芯片正常工作，需要对复位信号作一定延迟。如图所示。当 POR 复位释放后需要经过 646 个 ILRC 时钟周期的延迟，以 32KHz 计算约 20ms，以保证电压上升到安全工作区。然后再经过 3072 个 IHRC 时钟周期的延迟释放复位信号。复位以后系统默认 ILRC 和 IHRC 开启，系统工作在 IHRC 时钟模式，系统时钟不分频。在实际使用中，由于时钟频率随电压的变化，时间可能略长。

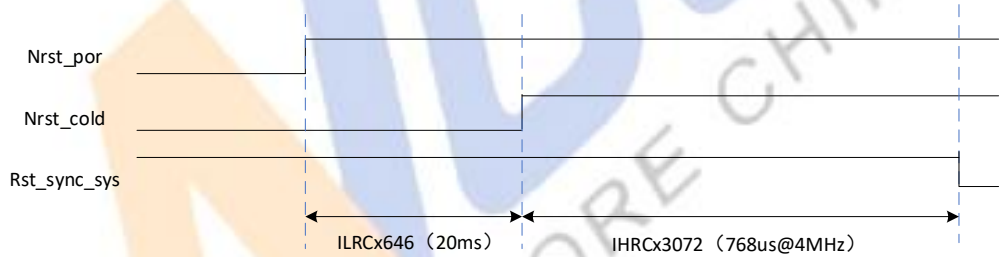


图 10-2 POR 复位时序图

如果发生 BOR 复位唤醒或者外部复位唤醒时，系统等待 3072 个 IHRC 时钟延迟后正常进入工作状态。

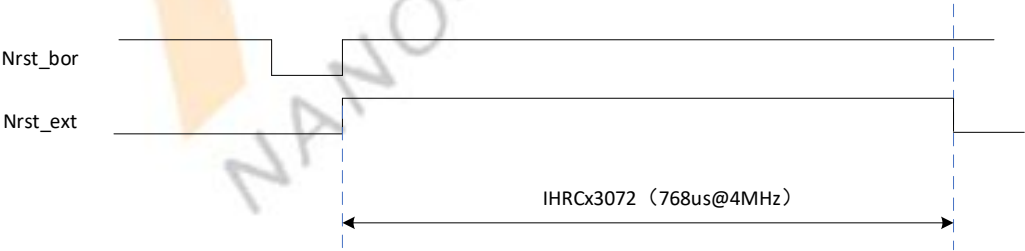


图 10-3 外部复位时序图

外部复位是通过外部复位脚来对芯片进行复位，当该管脚作为复位功能使用且被置位低电平时，系统复位将会发生。当该管脚释放时，MCU 进入初始化状态。复位标志寄存器中 ERST 位将被置 1，用户可以通过软件来清除该复位标志。

低压复位是当外部 VDD 低于设定的低压复位点时发生的复位。当电压低于设定低压复位点时，系统进入复位状态，当电压重新高于低压复位点时，系统进入初始化状。低压复位将会置位复位标志寄存器中的 BORRST 位，用户可以通过软件来清除该复位标志。ATM8F3040 共支持 4 个低压复位点，详见 BORCON 寄存器配置。在上电复位后，低压复位默认开启。

关于看门狗复位，具体配置详见看门狗章节。在 IDLE 或者 STOP 模式时通过配置相应字节可以唤醒或者复位整个系统。看门狗复位发生时，复位标志寄存器中的 WDTRST 位将被置 1，用户可以通过软件来清除该复位标志。在上电复位后，看门狗复位默认关闭。

软件复位，当系统向软件复位寄存器中连续两次写 01H 时将会发生软件复位。软件复位不会复位调试模块，软件复位会置位复位标志寄存器中的 SRST 位，用户可以通过软件来清除该复位标志。

调试复位，当调试器向芯片写复位命令时将会发生调试复位。调试复位会置位复位标志寄存器中的 DBGRST 位，用户可以通过软件来清除该复位标志。

堆栈复位，当系统堆栈压栈后堆栈指针超出 SPOVH 或者出栈后堆栈指针小于 SPOVL 时发生堆栈溢出复位操作。堆栈溢出复位可由 PCON 中第 5 位 SPOVEN 位控制使能或者禁止。复位操作发生时，会置位复位标志寄存器中的 SPRST 位，用户可以通过软件来清除该复位标志。



11. 时钟

11.1. 规格介绍

ATM8F3040 最高工作频率可达到 4MHz，共有 3 种时钟源可供选择，分别是：

ILRC：内部低频 RC 时钟源

IHRC：内部高频 RC 时钟源（4MHz）

XTAL：外部晶振，32768Hz

用户可以通过寄存器灵活配置不同的时钟源。对于时钟精度要求较高或者对于某些特殊应用场合可以采用外部晶振，对于低成本解决方案可以采用内部高频 RC。

11.2. 基本特征

支持多种时钟源，满足不同工作频率需求。

支持系统时钟分频，系统时钟可分频为 1/2/4/12

具有外部晶振停振检测功能

支持时钟门控

具有时钟切换保护逻辑，提供切换错误信息

11.3. 工作模式

正常工作模式

正常工作模式下，所有的时钟源都可以关闭或者开启，但是选中作为系统时钟源的时钟不能关闭。

当系统时钟源选中 IHRC 作为系统时钟源时，除 IHRC 外其他时钟源可根据功耗要求关闭或打开。

当系统时钟源选中 ILRC 作为系统时钟源时，除 ILRC 外其他时钟源可根据功耗要求关闭或打开。

当系统时钟源选中 XTAL 作为系统时钟源时，除 XTAL 外其他时钟源可根据功耗要求关闭或打开。

复位状况下，系统默认选中 IHRC 作为系统时钟，同时系统时钟为 2 分频时钟。

IDLE 模式

IDLE 模式时 CPU 时钟将会停止，其他时钟可以正常工作。

STOP 模式

进入 STOP 模式后，IHRC 时钟源将被完全关闭，ILRC/XTAL 时钟根据系统配置可正常工作。

11.4. 内部框图

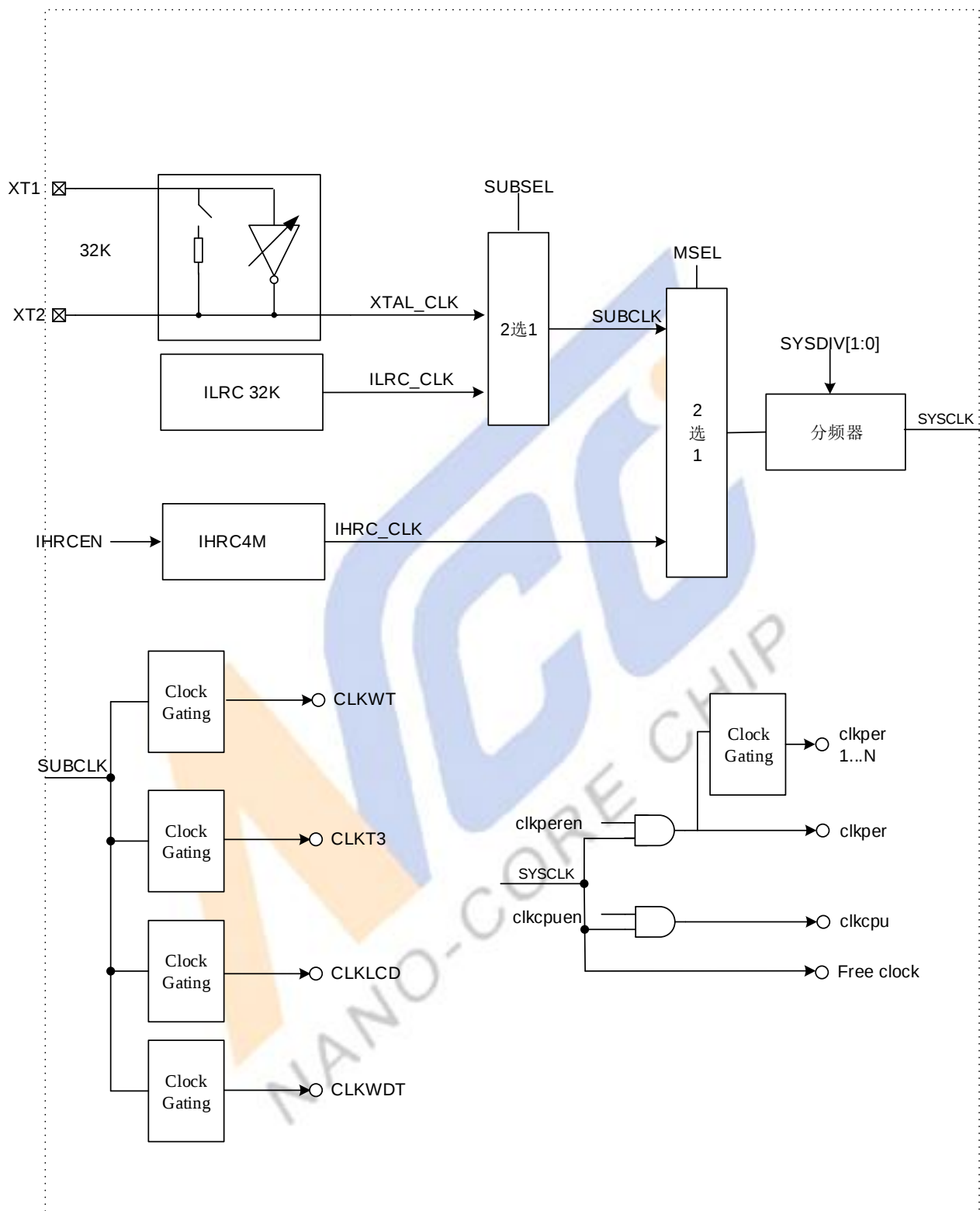


图 11-1 时钟控制框图

11.5. 寄存器描述

表 11-1 时钟控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SYSCON	系统时钟控制寄存器	×	R/W	1000_0011B	BANK0	D2H

CLKCFG	系统时钟配置寄存器	×	R/W	0011_0000B	BANK0	D3H
CLKEN0	外设时钟使能寄存器 0	×	R/W	1111_1111B	BANK0	D4H
CLKEN1	外设时钟使能寄存器 1	×	R/W	1111_1111B	BANK0	D5H
BORCON	BOR 控制寄存器	×	R/W	0000_0001B	BANK0	D6H
CLKSTAT	时钟状态寄存器	×	R/W	0000_0101B	BANK0	D7H
CKCON 详细说明见 “CPU”章节	访问时钟控制寄存器	×	R/W	0000_0000B	BANK0	D1H

时钟控制寄存器详细说明如下：

27) 系统时钟控制寄存器 (SYSCON)

名称/地址:	SYSCON, BANK0, D2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CLKDIV[1:0]		XTALST_TIME[1:0]		-	-	SUBCLKEN	IHRCEN
访问权限:	R/W	R/W	R/W	R/W	-	-	R/W	R/W
复 位 值:	1	0	0	0	-	-	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:6]: CLKDIV, 系统时钟分频

00: 系统时钟 12 分频

01: 系统时钟 4 分频

10: 系统时钟 2 分频

11: 系统时钟不分频

Bit[5:4]: XTALST_TIME, 稳定时间选择位

00: 需要 2^{16} 个晶振时钟稳定

01: 需要 2^{15} 个晶振时钟稳定

10: 需要 2^{14} 个晶振时钟稳定

11: 需要 2^{13} 个晶振时钟稳定

Bit3: 保留

Bit2: 保留

Bit1: SUBCLKEN, SUB 时钟使能位

0: SUB 时钟禁止

1: SUB 时钟使能

Bit0: IHRCEN, IHRC 使能位

0: IHRC 禁止

1: IHRC 使能

28) 系统时钟配置寄存器 (CLKCFG)

名称/地址:	CLKCFG, BANK0, D3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MSEL	SSEL	32KSPDUP	SUBSTPEN	FSCMEN	CLKO[2:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	1	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: 主时钟选择

0: 选择 MCLK

1: 选择 SUBCLK

Bit6: 辅时钟选择

0: 选择 ILRC

1: 选择 XTAL32K

Bit5:保留

Bit4:SUBSTPEN, STOP 模式辅时钟使能控制位

0: STOP 模式下辅时钟禁止

1: STOP 模式下辅时钟使能

Bit3:FSCMEN, XTAL 停振监测使能

0: XTAL 停振监测禁止

1: XTAL 停振监测使能

Bit[2:0]: CLK0, 时钟输出选择位

000: CPU 时钟 4 分频输出

001: IHRC 时钟 4 分频输出

010: ILRC 时钟 4 分频输出

011: 系统外设时钟 4 分频输出

100: XTAL 时钟 4 分频输出

101: 自由时钟 4 分频输出

110: 系统时钟 4 分频输出

111: 保留

注意: SUPBSTPEN 位为 1 时将对应选择的 SUBCLK 在待机状态下将一直使能。

29) 外设时钟使能控制寄存器 (CLKEN0)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

CLKEN0, BANK0, D4H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CG7	CG6	CG5	CG4	CG3	CG2	CG1	CG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

Bit7: CG7, ADC 时钟使能位

0: 禁止

1: 使能

Bit6: CG6, CRC 时钟使能位

0: 禁止

1: 使能

Bit5: CG5, PWM2 时钟使能位

0: 禁止

1: 使能

Bit4: CG4, PWM1 时钟使能位

0: 禁止

1: 使能

Bit3: CG3, PWM0 时钟使能位

0: 禁止

1: 使能

Bit2: CG2, EUART 时钟使能位

0: 禁止

1: 使能

Bit1: CG1, Timer3 时钟使能位

0: 禁止

1: 使能

Bit0: CG0, Timer2 时钟使能位

0: 禁止

1: 使能

30) 外设时钟使能控制寄存器 (CLKEN1)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

CLKEN1, BANK0, D5H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	CG14	CG13	CG12	CG11	CG10	CG9	CG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1	1	1	1	1	1	1	1
一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7]: 保留

Bit6: CG14, LCD 时钟使能位

0: 禁止

1: 使能

Bit5: CG13, REM 时钟使能位

0: 禁止

1: 使能

Bit4: CG12, PWM3 时钟使能位

0: 禁止

1: 使能

Bit3: CG11, BUZ 时钟使能位

0: 禁止

1: 使能

Bit2: CG10, SPI 时钟使能位

0: 禁止

1: 使能

Bit1: CG9, WT 时钟使能位

0: 禁止

1: 使能

Bit0: CG8, WDT 时钟使能位

0: 禁止

1: 使能

31) BOR 控制寄存器 (BORCON)

名称/地址:

位 序 号:

位 定 义:

BORCON, BANK0, D6H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	REV	BODEN	BORS[1:0]		BOREN

访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	1	1	1	1	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit[7:4]: 保留, 必须保证全 1 不变

Bit[3]: BODEN:

0: BOR 发生后产生复位信号

1: BOR 发生后不产生复位

Bit[2:1]: BORS, BOR 电平选择位

00: BOR 电平选择 1.9V

01: BOR 电平选择 2.2V

10: BOR 电平选择 2.4V

11: BOR 电平选择 2.7V

Bit0: BOREN, BOR 使能位

0: 禁止 BOR

1: 使能 BOR

32) 时钟状态寄存器 (CLKSTAT)

名称/地址:	CLKSTAT, BANK0, D7H						
位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位定义:	CLKXERR	ERR_INFO				ILRCST	XTALST
访问权限:	R/W	R	R	R	R	R	R
复位值:	0	0	0	0	0	1	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit[7]: CLKXERR, 时钟操作出错标志位, 当中断使能时将触发出错中断

0: 未发生时钟操作错误

1: 发生时钟操作错误

Bit[6:4]: ERR_INFO, 时钟操作错误信息

000: 未出错

001: SUBCLK 作为系统时钟企图关闭 SUBCLK 时钟源

011: IHRC 作为系统时钟企图关闭 IHRC

100: 时钟切换时, 目标时钟仍未稳定

101: 监测到晶振停振

其他: 保留

Bit3: 保留

Bit2: ILRCST, ILRC 稳定标志

0: ILRC 未稳定

1: ILRC 稳定

Bit1: XTALST, 晶振稳定标志

0: XTAL 未稳定

1: XTAL 稳定

Bit0: IHRCST, IHRC 稳定标志

0: IHRC 未稳定

1: IHRC 稳定

注意: 往 CLKXERR 中写 0 将会自动清 ERR_INFO 的信息。

11.6. 功能描述

11.6.1. 时钟源详细描述

ATM8F3040 共支持 2 种时钟源配置，包括内部 4M 高频时钟，32K 辅时钟。辅时钟可通过 CLKCFG 寄存器的 SUBSEL 选择外部晶振 XTAL32K 或内部低频时钟 ILRC32K。4MHz 时钟或者辅时钟可以通过 SYSCON 中的 IHRKEN 位和 SUBCLKEN 开启或关断。

对于内部 4MHz 高频时钟，在出厂时会经过校准达到 0.5% 的精度。在实际应用过程中，该频率随着电压和温度会有所漂移，不过依然能保证在 $\pm 2\%$ 范围之内。

当外部 32K 晶振使能时，与外部晶振 XIN, XOUT 复用的管脚将自动关闭复用功能以减小 IO 的漏电。当外部晶振关闭时，与外部晶振 XIN, XOUT 复用的管脚可以使用其复用功能。根据不同环境，晶振的起振时间也不尽相同。为了可靠起见，只有等起振稳定以后的时钟方可输入给系统使用。用户可根据需要配置 SYSCON 寄存器中的晶振稳定时间位来获得相应的稳定时间。

辅时钟主要作为看门狗定时器时钟以、LCD 时钟、BUZ 时钟、定时器 3 的一个时钟源以及停机模式下唤醒定时器的时钟源。在某些需要特别低功耗的场合也可以作为系统时钟使用。由于 ILRC 时钟本身随温度、电压和工艺的偏差比较大，因此该时钟作为系统时钟使用时精度会较差。如果对精度有要求的建议使用外部 32K 晶振。

内部 ILRC32K 和外部 32K 晶振作为辅时钟时是 2 选一的关系，CLKCFG 的 SSEL 位置位后只能通过复位或者晶振停振时清除。

11.6.2. 系统时钟配置

ATM8F3040 最高支持 4MHz 的工作频率。用户可以根据需要自由选择内部高频振荡器 IHRC，内部低频振荡器 ILRC，外部晶振作为系统时钟源。系统时钟可通过 SYSCON 中的 SYSDIV 位配置为不同的分频给 CPU 或者外设。分配比可以设置为 1, 1/2, 1/4, 1/12。系统复位后默认选择 IHRC 作为系统时钟，分配系数为 2 分频。

11.6.3. 时钟切换及保护

ATM8F3040 支持任意两种时钟源之间切换。在切换时，必须保证需要当前的时钟源和要切换的时钟源都稳定。即保证 CLKSTAT 中相应时钟源的稳定标志都为 1 时方可正常切换。如果要切换到的时钟源未稳定即写切换命令时，将会发生时钟切换错误，切换不能成功，系统时钟仍维持为原有时钟。为了防止时出现毛刺，在时钟切换时需要三个原时钟周期和三个目标时钟周期来同步。如下图所示列举了从快速时钟到慢速时钟和从慢速时钟切换到快速时钟的例子。在切换时需要等待切换完成后才能关闭原时钟源。

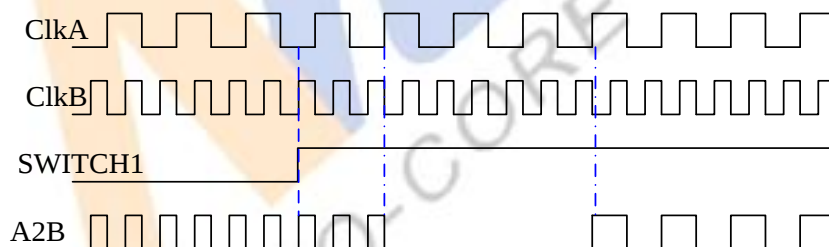


图 11-1 快速时钟切换到慢速时钟

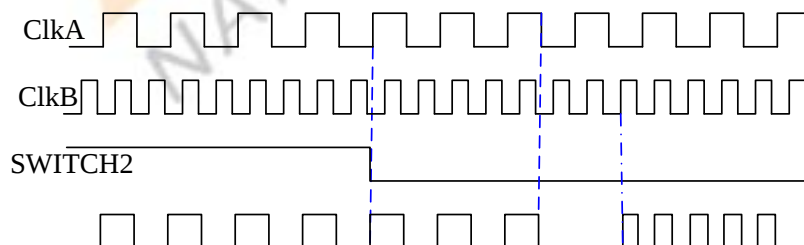


图 11-2 慢速时钟切换到快速时钟

系统的时钟状态可有时钟状态寄存器获取，在切换时钟时首先需要查询需要切换时钟的状态是否稳定。如果未稳定则需要等待稳定以后方可切换。

系统程序不能随意关闭当前状态下的系统时钟源。如当前系统时钟选择为 IHRC 时，程序如果要关闭 IHRC，CLKXERR 位将

会置起，同时 ERR_INFO 位会显示当前的错误原因。

在使能 SUBCLKEN 之前需要先选择 SUB 时钟是采用外部 XTAL32K 或者内部 ILRC32K。可通过 CLKCFG 中的 SSEL 位选择，该位默认为 0，选择 ILRC32K。SUBSEL 位写 1 后会选择 XTAL32K 作为 SUBCLK。SUBSEL 写 1 后只有通过硬件复位或者检测到晶振停振后才会清零。

若当前 SUB 时钟选择为 ILRC32K

当前时钟源	目标时钟源	说明
IHRC4M	ILRC32K	若 ILRC32K 开启，切换到 ILRC32K 若 ILRC32K 未开启，保持 IHRC 4M，产生切换失效中断
ILRC32K	IHRC4M	若 IHRC4M 开启，则切换成 IHRC4M 若 IHRC4M 未开启，保持 ILRC32K，产生切换失效中断

若当前 SUB 时钟选择为 XTAL32K

当前时钟源	目标时钟源	说明
IHRC4M	XTAL32K	若 XTAL32K 开启，切换到 XTAL32K 若 XTAL32K 未开启，保持 IHRC 4M，产生切换失效中断
XTAL32K	IHRC4M	若 IHRC4M 开启，则切换成 IHRC4M 若 IHRC4M 未开启，保持 XTAL32K，产生切换失效中断

11.6.4. 时钟安全系统

ATM8F3040 可以实时监测外部晶振错误。当外部晶振使能时，若使能 CLKCFG 寄存器中的 FSCMEN 位，可通过内部低频振荡器监测外部晶振是否产生停振。

当监测到停振时：

CLKSTAT 中的时钟失效位 CLKXERR 位将被置起，ERR_INFO 位被设置位 0x5

辅时钟将自动切换到 ILRC，CLKCFG 中的 SUBSEL 位自动清零

如果出错中断使能，将自动执行中断程序

如果振荡器恢复振荡以后：

可通过重新配置 CLKCFG 的 SUBSEL 位重新切换为外部振荡器模式。

其他时钟异常情况说明

异常情况说明	现象
当前系统时钟选择为 IHRC4M，期望关闭 IHRCEN 位	出错中断置起，错误信息为 0x3
当前系统时钟选择为 SUBCLK，期望关闭 SUBCLKEN 位	出错中断置起，错误信息为 0x1
当前系统时钟选择为 IHRC4M，期望切换到 SUBCLK，但 SUBCLK 未稳定或未打开	出错中断置起，错误信息为 0x4
当前系统时钟选择为 SUBCLK，期望切换到 IHRC4M，但 IHRC4M 未稳定或未打开	出错中断置起，错误信息为 0x4
时钟异常检测开启，检测到停振时	出错中断置起，错误信息为 0x5

11.6.5. 低功耗模式

低功耗模式下，各个时钟的开启和关闭状态如下表所示。

工作状态	系统时钟	停振检测	IHRC4M	ILRC32K	XTAL32K
IDLE 状态，主时钟选择 IHRC4M，辅时钟使能，辅时钟选择 ILRC32K	IHRC4M	-	开	开	关
IDLE 状态，主时钟选择 IHRC4M，辅时钟使能，辅时钟选择	IHRC4M	关	开	关	开

XTAL32K					
IDLE 状态，主时钟选择 IHRC4M，辅时钟使能，辅时钟选择 XTAL32K	IHRC4M	开	开	开	开
IDLE 状态，主时钟选择 IHRC4M，辅时钟未使能	IHRC4M	-	开	关	关
IDLE 状态，主时钟选择 ILRC32K	ILRC32K	-	软件可关	开	关
IDLE 状态，主时钟选择 XTAL32K	XTAL32K	关	软件可关	关	开
IDLE 状态，主时钟选择 XTAL32K	XTAL32K	开	软件可关	开	开
STOP 状态，辅时钟未使能	-	-	关	关	关
STOP 状态，辅时钟使能，辅时钟选择 ILRC32K	-	-	关	开	关
STOP 状态，辅时钟使能，辅时钟选择 XTAL32K	-	关	关	关	开
STOP 状态，辅时钟使能，辅时钟选择 XTAL32K	-	开	关	开	开

12. 通用输入输出端口

12.1. 规格介绍

本文主要目的是为了描述 ATM8F3040 通用输入输出端口的配置和使用说明。所有的端口均可独立配置为单独输入输出功能，同时也可以配置为其他模块的复用功能。

12.2. 基本特征

6 组 IO 口（P0/P1/P2/P3/P4/P5），最大支持 46 个 IO 口，P0/P1/P2/P3 口可按位操作,P4/P5 口只能寄存器操作。

每组 IO 口最多有四个配置寄存器

端口数据寄存器（Px）

通用输入输出控制寄存器（PxCR）

上拉控制寄存器(PxPU)

输出开漏控制寄存器(PxOD)

端口作为输入输出功能时，可配置为：

输入悬空

带上拉的输入模式

推挽输出

开漏输出

端口可以复用多种功能，根据复用功能寄存器来配置不同的功能

12.3. 工作模式

芯片复位完成后进入正常工作模式，所有控制寄存器均处于复位状态，端口默认是输入悬空状态。在实际工作时，芯片内的多种外设输入输出可以复用到通用输入输出，在使用时，同一时刻只能选择一种功能。即在配置为通用输入输出时不能作为复用输入或输出。在用作复用输入或输出时，只能配置作为某种特殊复用功能使用。

12.4. 寄存器描述

表 12-1 GPIO 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
P0	P0 数据寄存器	√	R/W	1111_1111B	ALL BANK	80H
P0ODR	P0 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	D9H
P0CR	P0 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E1H
P0PCR	P0 上拉控制寄存器	×	R/W	0100_0000B	BANK0	E9H
P1	P1 数据寄存器	√	R/W	1111_1111B	ALL BANK	90H
P1ODR	P1 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DAH
P1CR	P1 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E2H
P1PCR	P1 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EAH
P2	P2 数据寄存器	√	R/W	1111_1111B	ALL BANK	A0H
P2ODR	P2 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DBH
P2CR	P2 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E3H
P2PCR	P2 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EBH
P3	P3 数据寄存器	√	R/W	1111_1111B	ALL BANK	B0H
P3ODR	P3 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DCH
P3CR	P3 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E4H
P3PCR	P3 上拉控制寄存器	×	R/W	0000_0000B	BANK0	ECH
P4	P4 数据寄存器	×	R/W	1111_1111B	BANK0	BFH
P4ODR	P4 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DDH
P4CR	P4 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E5H

P4PCR	P4 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EDH
P5	P5 数据寄存器	×	R/W	1111_1111B	BANK0	B7H
P5ODR	P5 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DEH
P5CR	P5 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E6H
P5PCR	P5 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EEH
ALFSEL0	复用功能寄存器 0	×	R/W	0000_0011B	BANK0	89H
ALFSEL1	复用功能寄存器 1	×	R/W	0000_0000B	BANK0	8AH
REMAP	重映射寄存器	×	R/W	0000_0000B	BANK0	FFH

GPIO 寄存器详细说明如下：

33) 端口数据寄存器 (Px, x=0, 1, 2, 3, 4, 5)

名称/地址:	Px, ALL BANK, (80H/90H/A0H/B0H/BFH/B7H) (x=0,1,2,3,4,5)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	Px.7	Px.6	Px.5	Px.4	Px.3	Px.2	Px.1	Px.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W： 可读写							

Bit[7:0]: Px.y, Pxy(x=0, 1, 2, 3, 4, 5 y=0-7) 端口状态寄存器

输入状态下：

写该寄存器不会影响输入端口的状态

读该寄存器读入输入端口状态

输出状态下（包括开漏和推挽输出）

写该寄存器可以配置输出端口状态

读该寄存器读入先前写入的该寄存器数值

注意： P0, P1, P2, P3 支持位操作， P4, P5 不支持位操作

34) 开漏输出控制寄存器 (PxODR, x=0, 1, 2, 3, 4, 5)

名称/地址:	PxODR, BANK0, (D9H/DAH/DBH/DCH/DDH/DEH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ODx.7	ODx.6	ODx.5	ODx.3	ODx.3	ODx.2	ODx.1	ODx.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W： 可读写							

Bit[7:0]: ODx.y, Pxy(x=0, 1, 2, 3, 4, 5, y=0-7) 端口开漏控制寄存器

0: 推挽输出

1: 开漏输出

35) 端口输入输出控制寄存器 (PxCR, x=0, 1, 2, 3, 4, 5)

名称/地址:	PxCR, BANK0, (E1H/E2H/E3H/E4H/E5H/E6H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRx.7	CRx.6	CRx.5	CRx.3	CRx.3	CRx.2	CRx.1	CRx.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W： 可读写							

Bit[7:0]: CRx.y, Pxy(x=0, 1, 2, y=0-7) 端口控制寄存器

0: 输入

1: 输出

36) 端口上拉控制寄存器 (PxPCR, x=0, 1, 2, 3, 4, 5)

名称/地址:	PxPCR, BANK0, (E9H/EAH/EBH/ECH/EDH/EEH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PCR _x .7	PCR _x .6	PCR _x .5	PCR _x .3	PCR _x .3	PCR _x .2	PCR _x .1	PCR _x .0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: PCR_x.y, P_{xy} (x=0, 1, 2, 3, 4, 5, y=0-7) 端口上拉控制寄存器

0: 上拉禁止

1: 上拉使能

注: POPCR 默认值位 0x40, 确保 P0.6 默认上拉。

37) 复用选择寄存器 0 (ALFSEL0)

名称/地址:	ALFSEL0, BANK0 (89H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SSN	PWM2	PWM1	MOSI	MISO	SCK	TDAT	TCK
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7]: P20 复用功能选择

0: P20 选择正常 IO 输入输出

1: P20 选择 SPI SSN 输入

Bit[6]: P13 复用功能选择

0: P13 选择正常 IO 输入输出

1: P13 选择 PWM2 输出复用, P1CR 控制寄存器必须配置 P13 为输出模式

Bit[5]: P12 复用功能选择

0: P12 选择正常 IO 输入输出

1: P12 选择 PWM1 输出复用, P1CR 控制寄存器必须配置 P12 为输出模式

Bit[4]: P11 复用功能选择

0: P11 选择正常 IO 输入输出

1: P11 选择 SPI MOSI 复用

Bit[3]: P10 复用功能选择

0: P10 选择正常 IO 输入输出

1: P10 选择 SPI MISO 复用

Bit[2]: P07 复用功能选择

0: P07 选择正常 IO 输入输出

1: P07 选择 SPI SCK 复用

Bit[1]: P06 复用功能选择

0: 正常 IO 输入输出

1: P06 选择调试 TDAT 复用

Bit[0]: P05 复用功能选择

0: 正常 IO 输入输出

1: P05 选择调试 TCK 复用

38) 复用选择寄存器 1 (ALFSEL1)

名称/地址:	ALFSEL1, BANK0 (8AH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PWM0	T3CLK	T2EX	T2ALF1	T2ALF0	BUZ	TXD	RXD
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7]: P54 复用功能选择

0: P54 用作正常 IO 输入输出

1: P54 选择作为 PWM0 输出, P5CR 寄存器需要配置 P54 为输出模式

Bit[6]: P26 复用功能选择

0: P26 用作正常 IO 输入输出

1: P26 用作 T3 外部时钟输入, P2CR 寄存器需要配置 P26 为输入模式

Bit[5]: P25 复用功能选择

0: P25 用作正常 IO 输入输出

1: P25 用作 T2 外部捕获输入, P2CR 寄存器需要配置 P25 为输入模式

Bit[4:3]: P24 复用功能选择

00: P24 用作正常 IO 输入输出

01: P24 用作 T2 外部时钟输入, P2CR 寄存器需要配置 P24 为输入模式

10: P24 用作 T2 时钟输出, P2CR 寄存器需要配置 P24 为输出模式

11: 保留

Bit[2]: P23 复用功能选择

0: P23 用作正常 IO 输入输出

1: P23 用作 BUZ 或 CLK0 输出, P2CR 寄存器需要配置 P23 为输出模式, 由 REMAP 寄存器选择输出是 BUZ 或者 CLK0

Bit[1]: P22 复用功能选择

0: P22 用作正常 IO 输入输出

1: P22 用作 UART TXD 输出, P2CR 寄存器需要配置 P22 为输出模式

Bit[0]: P21 复用功能选择

0: P21 用作正常 IO 输入输出

1: P21 用作 UART RXD 复用

39) 重映射寄存器 (REMAP)

名称/地址:	REMAP, BANK0 (FFH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:						CLKS		-
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:3]: 保留

Bit[2:1]: CLKS: 捕获输出选择

0: P23 复用功能选择 BUZ 输出

1: P23 复用功能选择 CLK0 输出

1x: P23 复用功能选择 PWM3 输出

12.5.功能描述

ATM8F3040 每个 IO 口既可以作为 GPIO，也可以作为其他功能复用。

PxCR 寄存器用于控制相应 IO 口的输入输出状态。当相应位配置为 0 时，用作信号输入，当相应位配置为 1 时，用作内部信号输出。

当 IO 用作信号输入时，可以通过 PxPCR 位配置是悬空输入还是上拉输入。系统上电时，除 PDIO/PCLK 外所有 IO 默认都作为悬空输入。

当 IO 用作信号输出时，可通过 PxODR 配置为开漏或者推挽输出。

P5.5 可作为复位或者 GPIO 使用，有内部信息区配置。默认输入上拉。

P0.5/P0.6 在复位时默认作为调试信号（PCLK, PDIO）功能。P0.6 默认上拉使能。

IO 口也可作为内部功能复用，可通过 ALFSEL0 和 ALFSEL1 寄存器配置相应管脚的复用功能。

当 IO 口复用为模拟或者 LCD SEG/COM 功能时，具有最高的优先级。

ATM8F3040 各个管脚的复用和配置情况如下表所示：

表 12-2 IO 口复用功能列表

	复用功能 1	复用功能 2
P05	TCK	-
P06	TDAT	-
P07	SPI SCK	-
P10	SPI MISO	-
P11	SPI MOSI	-
P12	PWM1 输出	-
P13	PWM2 输出	-
P20	SPI SSN 输入	-
P21	RXD	-
P22	TXD	-
P23	BUZ (CLKS=0)/CLK0 (CLKS=1)/PWM3	-
P24	T2CLK	T2OUT
P25	T2 捕获输入	-
P26	T3 时钟输入	-
P54	PWM0 输出	-

当 P22 作为 TXD 输出时，需要将 P01 控制寄存器配置为输出模式。

当 P20 作为 SSN 输入时，需要将 P20 控制寄存器配置为输入模式。

当 P23 作为 BUZ 输出时，需要将 P24/P54 控制寄存器配置为输出模式。

当 P24/P26 作为时钟输入时，需要将 P40/P55 控制寄存器配置为输入模式。

当 P12/P13/P54 作为 PWM 输出时，需要将 P12/P13/P54 配置为输出模式。

当 P25 作为 T2CAP 输入时，需要将 P25 配置为输入模式。

12.6.示例程序

P00, P01 配置为 UART 功能复用：

```
MOV POCR, #002H ; (P01 为输出状态, P00 为输入状态)
```

```
MOV ALFSEL1, #003H
```

13. 定时器 T2

13.1. 基本特征

ATM8F3040 内部 Timer2 是一个 16 位的定时器，具有三种工作状态：

16 位自动重载模式，支持内部触发重载，外部触发重载和溢出重载三种重载方式；

16 位捕获模式，支持多个可选外部触发源，提供两个 16 位的捕获寄存器

可编程时钟输出

支持递增和递减计数

13.2. 寄存器描述

表 13-1 Timer2 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T2CON	T2 模式寄存器	×	R/W	0000_0000B	BANK0	B9H
T2MOD	T2 控制寄存器	×	R/W	0000_0000B	BANK0	BAH
T2CPL	T2 捕获寄存器低字节	×	R/W	0000_0000B	BANK0	BBH
T2CPH	T2 捕获寄存器高字节	×	R/W	0000_0000B	BANK0	BCH
TL2	T2 计数器低字节	×	R/W	0000_0000B	BANK0	BDH
TH2	T2 计数高字节	×	R/W	0000_0000B	BANK0	BEH

Timer2 寄存器详细说明如下：

40) T2 控制寄存器（T2CON）

名称/地址：	T2CON, BANK0, B9H							
位 序 号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义：	TF2	EXF2			EXEN2	TR2	C/T2	CP/RL2
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值：	0	0	0	0	0	0	0	0
提 示：	—： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W： 可读写							

Bit7: T2 溢出标志位，写零清除

0: 无溢出

1: 溢出（硬件置 1）

Bit6: EXF2 T2EX 引脚外部输入事件标志位（下降沿触发），写零清除

0: 无外部事件输入

1: 检测到外部输入

Bit[5:4]:保留

Bit3:EXEN2, T2EX 引脚上的外部事件输入使能

0: 忽略 T2EX 引脚上的事件

1: 检测到 T2EX 引脚上的下降沿，产生一个捕获或者重载操作

Bit2:TR2, 定时器 2 开始/停止控制位

0: 停止

1: 开始

Bit1: C/T2, 定时器 2 定时器/计数器方式

0: 定时器方式，T2 引脚用作 I/O 端口

1: 计数方式

Bit0: CP/RL2, 捕获/重载方式选定位

0: 16 位带重载功能的定时器/计数器

1: 16 位带捕获功能的定时器/计数器

41) T2 模式寄存器 (T2MOD)

名称/地址:	T2MOD, BANK0, BAH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TCLKP2						T2MD	DCEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: TCLKP2, Timer2 时钟选择位

在 PPG 模式或者单脉冲模式, INTS 设置为 1 时:

0: 选择系统时钟的 1/12

1: 选择系统时钟

Bit[6:2]:保留

Bit1: T2MD, T2 输出模式选择

0: T2 不作为可编程时钟输出

1: T2 作为可编程时钟输出

Bit0: DCEN, 递减计数允许位

0: 定时器 2 仅作递增计数器

1: 定时器 2 作为递增/递减计数器

42) T2 捕获寄存器低字节 (T2CPL)

名称/地址:	T2CPL, BANK0, BBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]:T2CPL, Timer2 捕获寄存器低字节

在重载模式下, 可作为计数器低 8 位的重载值

在捕获模式下, 存储计数器的低 8 位

43) T2 捕获寄存器高字节 (T2CPH)

名称/地址:	T2CPH, BANK0, BCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]:T2CPH, Timer2 捕获寄存器高字节

在重载模式下, 可作为计数器高 8 位的重载值

在捕获模式下, 存储计数器的高 8 位

44) T2 计数器低字节 (TL2)

名称/地址:	TL2, BANK0, BDH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

位 定 义:

访问权限:

复 位 值:

提 示:

T2L							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

Bit[7:0]:T2L, Timer2 计数器低字节

45) T2 计数器高字节 (TH2)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

TH2, BANK0, BEH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T2H							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

Bit[7:0]:T2H, Timer2 计数器高字节

46) 复用功能寄存器 1 (ALFSEL1)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

ALFSEL1, BANK0, 8AH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM0	T3CLK	T2EX	T2ALF1	T2ALF0	BUZ	TXD	RXD
R	R	R	R	R	R	R/W	R/W
0	0	0	0	0	0	0	0
一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

Bit6: P26 功能复用选择

0: P26 配置为 GPIO

1: P26 配置为 T3CLK 输入

Bit5: P25 功能复用选择

0: P25 配置为 GPIO

1: P25 配置为 T2EX 输入

Bit[4:3]: P24 功能复用选择

00: P24 配置为 GPIO

01: P24 配置为 T2CLK 输入

10: P24 配置为 T2 时钟输出

11: 无效

13.2.1.16 位自动重载模式

在该模式下，定时器 2 通过 T2MOD 寄存器中的 DCEN 位可配置位递增计数或者递减计数。系统复位时，DCEN 位为 0，默认选择递增计数。当 DCEN 位为 1 时，若 T2EX 管脚为 0，则定时器 2 工作在递增计数模式，若 T2EX 管脚为 1，则定时器 2 工作在递减计数模式。

当 DCEN 位为 0 时，定时器 2 工作在递增计数模式，在递增计数到 0xFFFF 时会产生溢出，同时将 T2CPL 和 T2CPH 中的数值重载到计数器中，重新开始计数。如果外部事件触发使能，在 T2EX 产生下降沿时也会触发重载操作。若此时中断使能，溢出或者外部事件触发都会产生中断。

当 DCEN 位为 1 时，T2 外部事件触发中断无效，T2EX 输入可以控制定时器 2 的计数方向。

当 T2EX 为 1 时，定时器工作在递增计数模式，计数数值计数到 0xFFFF 溢出，同时将 T2CPL 和 T2CPH 中的数值装载到计数器，重新开始计数。

当 T2EX 为 0 时，定时器工作在递减计数模式，计数数值计数到 T2CPL/T2CPH 匹配的数值时，定时器溢出，同时 0xFFFFH 重载到计数器。

在该模式下，无论定时器 2 是否溢出，EXF2 都被用作结果的第 17 位，不会产生中断。

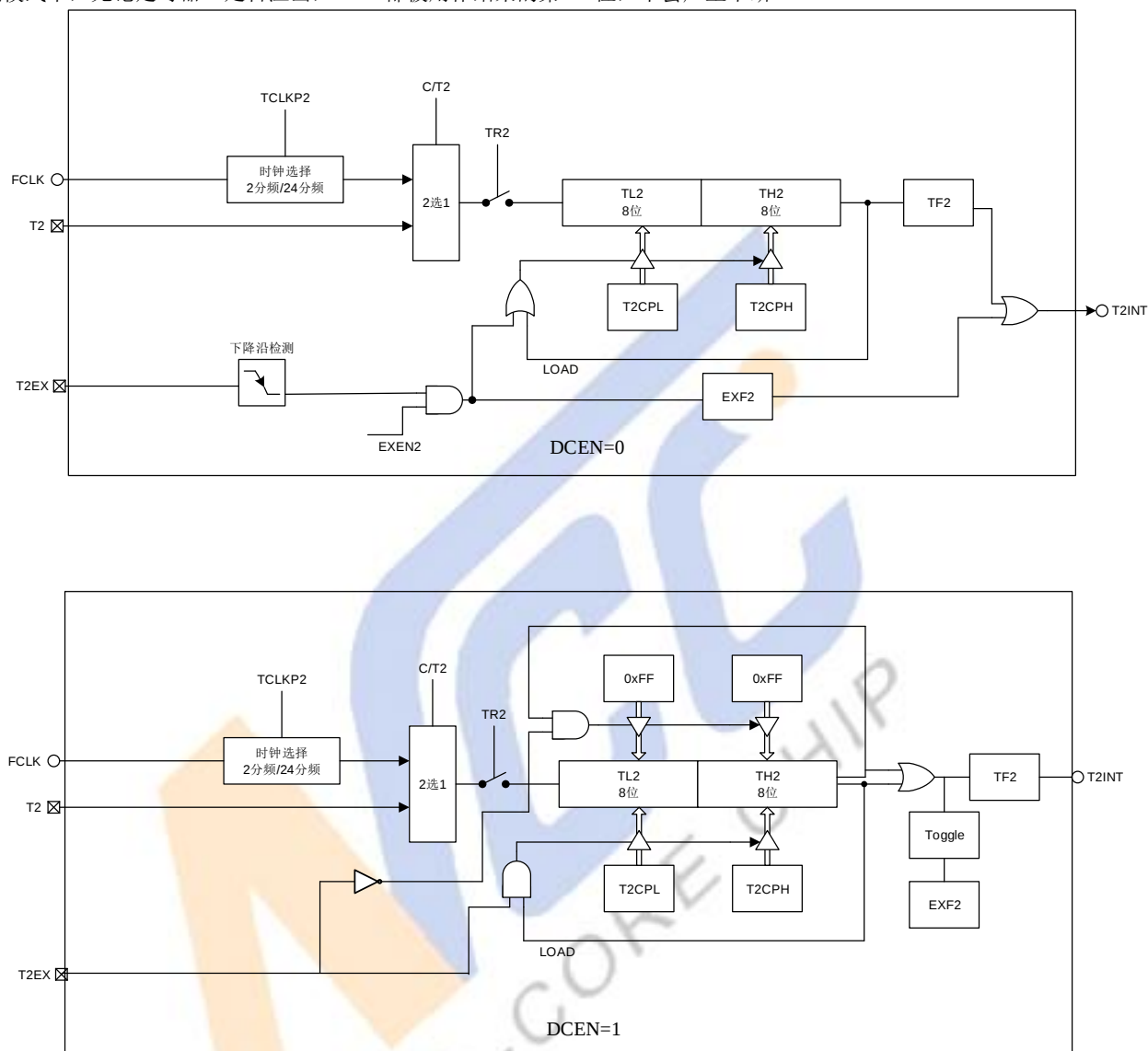


图 13-1 16 位自动重载模式内部框图

13.2.2.16 位捕获模式

16 位捕获模式可以捕获当前 16 位计数器的值到捕获寄存器。捕获寄存器 T2CPL 和捕获寄存器 T2CPH 用于存储捕获数据。

在开启定时器 2 之前，可以往 T2L 和 T2H 中写入计数器初值。计数器采用递增计数，在计数到 0xFFFF 时产生一个中断。如果外部事件触发允许，当外部事件触发时也会产生中断。

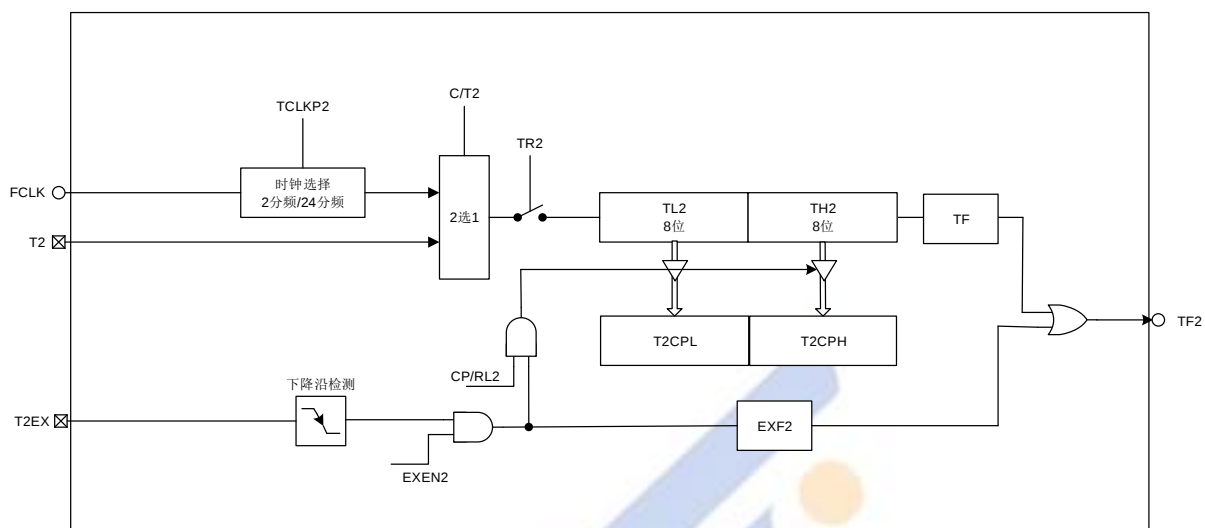


图 13-2 16 位捕获模式内部框图

13.2.3. 波形输出

当 T2 工作在定时模式 ($C/T2=0$)，T2 可作为可编程时钟输出。

T2 的输出时钟频率等于溢出频率的两倍。

输出时钟频率：

注意：

1. TF2 和 EXF2 都能引起定时器 2 的中断请求，两者共用一个中断向量地址，T2 中断只能软件清 0。
2. T2 作为波形输出时，必须要把 T2MOD 中的 T2MD 位配置位 1。

14. 定时器 T3

14.1. 规格介绍

ATM8F3040 内部 Timer3 是一个 16 位的定时器，具有一种工作状态：

16 位自动重载模式，仅支持溢出重载方式，可以工作在 CPU 掉电模式，打开中断后可以唤醒 stop 模式下的 CPU。

14.2. 寄存器描述

表 14-1 Timer3 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T3CON	T3 控制寄存器	×	R/W	0000_0000B	BANK0	91H
TL3	T3 计数器低字节	×	R/W	0000_0000B	BANK0	92H
TH3	T3 计数高字节	×	R/W	0000_0000B	BANK0	93H

Timer3 寄存器详细说明如下：

47) T3 控制寄存器 (T3CON)

名称/地址:	T3CON, BANK0, 91H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF3		T3PS.1	T3PS.0	-	TR3	T3CLKS.1	T3CLKS.0
访问权限:	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
复 位 值:	0	0	0	0	-	0	0	0
提 示:	一： 未实现位；U： 不受复位影响；R-0： 只读，读 0； R/W ： 可读写							

Bit7: TF3, Timer3 溢出标志位

0: 无溢出 (硬件清 0)

1: 溢出 (硬件置 1)

Bit[5:4]: T3PS[1:0], Timer3 预分频比选择位

00: 1/1

01: 1/8

10: 1/64

11: 1/256

Bit2: TR3, Timer3 允许位控制位

0: 停止定时器 3

1: 开始定时器 3

Bit[1:0]: T3CLK, Timer3 定时器/计数器方式选择

00: 系统时钟, T3 引脚用作 I/O 端口

01: T3 端口输入外部时钟, 需要将 I/O 配置上拉

10: 外部 32.768kHz 晶体谐振器或内部 ILRC

11: 保留

48) T3 计数器低字节 (TL3)

名称/地址:	TL3, BANK0, 92H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TL3							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

提示： 一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写

Bit[7:0]:TL3, Timer3 计数器低字节

49) T3 计数器高字节 (TH3)

名称/地址:	TH3, BANK0, 93H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH3							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

Bit[7:0]:TH3, Timer3 计数器高字节

14.3.功能描述

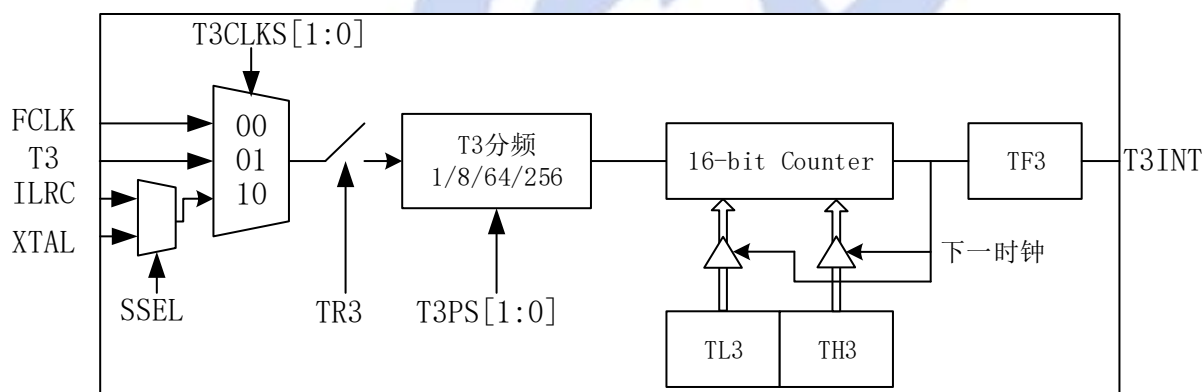
14.3.1.16 位自动重载模式

定时器 3 有一个 16 位计数器/定时器寄存器 (TH3, TL3)。当 TH3 和 TL3 被写时，用作定时器重载寄存器，当被读时，被用作计数寄存器。TR3 位置 1 使定时器 3 开始递增计数。定时器在 0xFFFF 到 0x0000 溢出并置 TF3 位为 1。溢出后，在下一个时钟重载寄存器的 16 位数据被重新载入计数寄存器中， TH3 写操作也导致重载寄存器的数据重新加载计数寄存器。

TH3 和 TL3 读写操作遵循以下顺序：

写操作：先低位后高位

读操作：先高位后低位



当 T3CLKS[1:0]选为 00 时，定时器 3 在掉电模式下不计数。

当 T3CLKS[1:0]选为 01 时，定时器 3 可以工作在掉电模式。即使所有振荡器关闭，定时器 3 依然可以对 T3 计数。

当 T3CLKS[1:0]选为 10 时，定时器 3 可以工作在掉电模式。但是如果在掉电模式下低频振荡器关闭则定时器 3 不计数。

15. UART

15.1. 规格介绍

ATM8F3040 内部集成一个串行通讯接口。该串口可在很宽的频率范围内以多种模式工作，其主要功能如下：在输出数据时，把数据进行并-串转换，在输入数据时，把数据进行串-并转换。

ATM8F3040 的串口支持同步和异步的收发。可以工作在 4 种工作模式，一种同步模式，3 种异步模式。在接收时具有一个字节的接收缓冲功能，即在接收第 2 个字符时将先前接收到的字符存储在缓冲区，只要用户在第 2 个字符接收结束之前将第一个字符取走，数据就不会丢失。

15.2. 基本特征

- 支持 8 位移位寄存器模式（模式 0）
- 支持 8 位可变波特率模式（模式 1）
- 支持 9 位固定波特率模式（模式 2）
- 支持 9 位可变波特率模式（模式 3）
- 自带波特率发生器，是一个 15 位向上计数器
- 增强功能包括帧出错检测及自动地址识别

15.3. 工作模式

EUART 有 4 种工作方式。在通信之前用户必须先初始化 SCON，选择方式和波特率。

在所有四种方式中，任何将 SBUF 作为目标寄存器的写操作都会启动发送。在方式 0 中由条件 RI = 0 和 REN = 1 初始化接收。这会在 TXD 引脚上产生一个时钟信号，然后在 RXD 引脚上移 8 位数据。在其它方式中由输入的起始位初始化接收（如果 REN = 1）。外部发送器通信以发送起始位开始。

表 15-1 EUART 方式列表

SM0	SM1	方式	类型	波特率	帧长度	起始位	停止位	第 9 位
0	0	0	同步	$f_{\text{SYS}} / (4 \text{ 或 } 12)$	8 位	无	无	无
0	1	1	异步	自带波特率发生器的溢出率/16	10 位	1	1	无
1	0	2	异步	$f_{\text{SYS}} / (32 \text{ 或 } 64)$	11 位	1	1	0, 1
1	1	3	异步	自带波特率发生器的溢出率/16	11 位	1	1	0, 1

15.4. 寄存器描述

表 15-2 UART 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SCON	串口控制寄存器	×	R/W	0000_0000B	BANK0	98H
SBUF	串口缓冲寄存器	×	R/W	0000_0000B	BANK0	99H
SADDR	串口从机地址寄存器	×	R/W	0000_0000B	BANK0	9AH
SADEN	串口地址屏蔽寄存器	×	R/W	0000_0000B	BANK0	9BH
SRELH	串口波特率寄存器低字节	×	R/W	0000_0000B	BANK0	A1H
SRELL	串口波特率寄存器高字节	×	R/W	0000_0000B	BANK0	A2H
SFINE	串口波特率微调寄存器	×	R/W	0000_0000B	BANK0	A3H
ALFSEL1	端口映射寄存器	×	R/W	0000_0000B	BANK0	8AH

UART 寄存器列表详细说明如下：

50) 串口控制寄存器（SCON）

名称/地址:	SCON (98H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SM0/FE	SM1/RXOV	SM2/TXCOL	REN	TB8	RB8	TI	RI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

Bit[7:6]: SM0, SM1 工作模式控制位

00: 8 位移位寄存器模式

01: 8 位可变波特率模式

10: 9 位固定波特率模式

11: 9 位可变波特率模式

Bit5: SM2, EUART 多处理机通讯允许位 (第 9 位 “1” 校验器), SSTAT = 0

0: 在方式 0 下, 波特率是系统时钟的 1/12

在方式 1 下, 禁止停止位确认检验, 停止位将置 RI 为 1 产生中断

在方式 2 和 3 下, 任何字节都会置 RI 为 1 产生中断

1: 在方式 0 下, 波特率是系统时钟的 1/4

在方式 1 下, 允许停止位确认检验, 只有有效的停止位 (1) 才能置 RI 为 1 产生中断

在方式 2 和 3 下, 只有寻址字节 (第 9 位 = 1) 能置 RI 为 1 产生中断

Bit7: FE, EUART 帧出错标志位, 当 FE 位被读时, SSTAT 位必须被设置为 1

0: 无帧出错, 由软件清除

1: 发生帧出错, 由硬件置 1

Bit6: RXOV, EUART 接收溢出标志位, 当 RXOV 位被读时, SSTAT 位必须被置位

0: 无接收溢出, 由软件清零

1: 接收溢出, 由硬件置位

Bit5: EUART 发送冲突标志位, 当 TXCOL 位被读时, SSTAT 位必须被设置为 1

0: 无发送冲突, 由软件清 0

1: 有发送冲突, 由硬件置 1

Bit4: REN, 接收使能位

0: 禁止串口接收

1: 使能串口接收

Bit3: TB8, 发送数据的第 8 位, 在模式 2/3 下, 这是发送数据的第 9 位

Bit2: RB8, 接收数据的第 8 位, 在模式 2/3 下, 存放接收到的第 9 位数据

Bit1: TI, 发送中断标志

0: 发送未完成

1: 发送完成

Bit0: RI, 接收中断标志

0: 接收未完成

1: 接收完成

51) 串口缓冲寄存器 (SBUF)

名称/地址:	SBUF (99H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBUF							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit[7:0]: SBUF, 串口缓冲寄存器, 写该寄存器时自动启动串口发送操作。读该寄存器时, 读串口接收缓冲器的内容。

52) 串口从机地址寄存器 (SADDR)

名称/地址:	SADDR (9AH, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SADDR							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: SADDR, 串口从机地址寄存器 8 位

53) 串口地址屏蔽寄存器 (SADEN)

名称/地址:	SADEN (9BH, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SADEN							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7:0]: SADEN, 串口地址屏蔽寄存器

54) 串口波特率寄存器高字节 (SRELH)

名称/地址:	SRELH (A1H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBRTEN	SBRTH						
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit7: SBRTEN, 串口波特率发生器控制位

0: 关闭 (默认)

1: 打开

Bit[6:0]: SBRTH, 串口波特率寄存器高 7 位

55) 串口波特率寄存器低字节 (SRELL)

名称/地址:	SRELL (A2H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBRTL							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

Bit[7:0]: SBRTL, 串口波特率寄存器低 8 位

56) 串口波特率微调寄存器 (SFINE)

名称/地址:	SFINE (A3H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

位 定 义:
访问权限:
复 位 值:
提 示:

				SFINE			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

Bit[3:0]: SFINE, 波特率发生器微调数据寄存器

57) 复用功能寄存器 1 (ALFSEL1)

名称/地址:

ALFSEL1, BANK0, 8AH

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM0	T3CLK	T2EX	T2ALF1	T2ALF0	BUZ	TXD	RXD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

Bit1: P22 功能复用选择

0: P22 配置为 GPIO

1: P22 配置为 UART TXD

Bit0: P21 功能复用选择

0: P21 配置为 GPIO

1: P21 配置为 UART RXD

15.5.功能描述

EUART 有 4 种工作方式。在通信之前用户必须先初始化 SCON，选择方式和波特率。

在所有四种方式中，任何将 SBUF 作为目标寄存器的写操作都会启动发送。在方式 0 中由条件 RI = 0 和 REN = 1 初始化接收。这会在 TXD 引脚上产生一个时钟信号，然后在 RXD 引脚上移 8 位数据。在其它方式中由输入的起始位初始化接收（如果 REN = 1）。外部发送器通信以发送起始位开始。

15.5.1.8 位移位寄存器模式（模式 0）

方式 0 支持与外部设备的同步通信。在 RXD 引脚上收发串行数据。TXD 引脚用作发送移位时钟。提供 TXD 引脚上的移位时钟。因此这个方式是串行通信的半双工方式。在这个方式中，每帧收发 8 位，低位先接收或发送。

通过置 SM2 位 (SCON.5) 为 0 或 1，波特率固定为系统时钟的 1/12 或 1/4。当 SM2 位为 0 时，串行端口以系统时钟的 1/12 运行。当置 1 时，串行端口以系统时钟的 1/4 运行。与标准 8051 唯一不同的是，ATM8F3040 在方式 0 中有可变波特率。

功能块框图 13-2 如下图所示。数据通过 RXD 引脚进入和移出串行端口。移位元时钟由 TXD 引脚输出，用来移位进 ATM8F304 的数据。

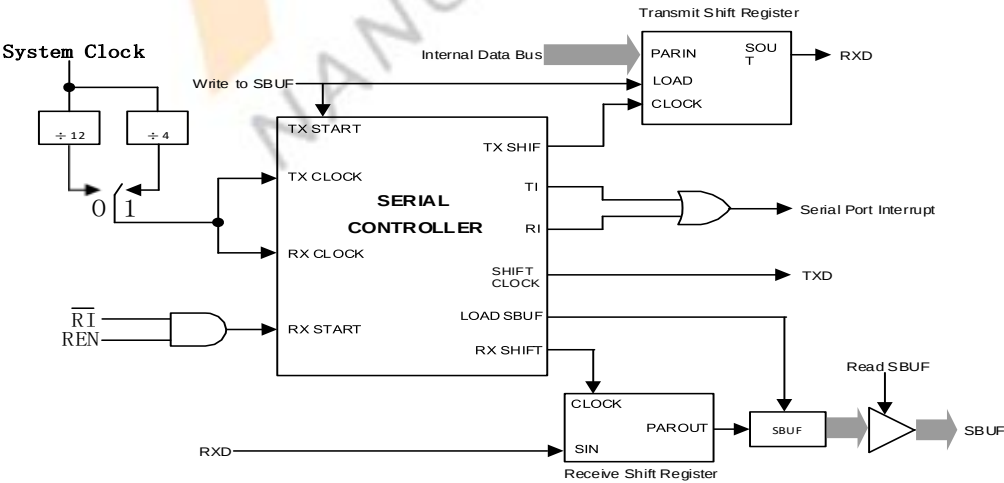
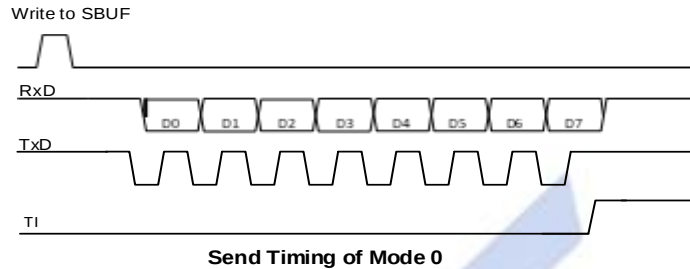
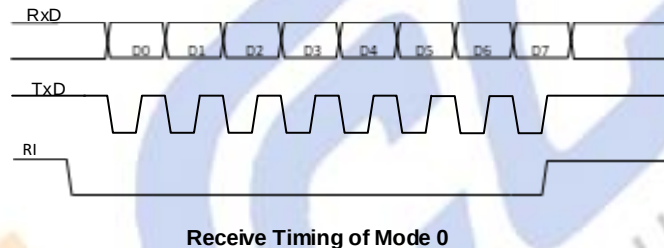


图 13-2 功能块框图

任何将 SBUF 作为目标寄存器的写操作都会启动发送。下一个系统时钟 Tx 控制块开始发送。数据转换发生在移位元时钟的下降沿，移位寄存器的内容逐次从左往右移位，空位置 0。当移位寄存器中的所有 8 位都发送后，Tx 控制模块停止发送操作，然后在下一个系统时钟的上升沿将 TI 置 1 (SCON.1)。



REN (SCON.4) 置 1 和 RI (SCON.0) 清 0 初始化接收。下一个系统时钟启动接收，在移位元时钟的上升沿锁存数据，接收转换寄存器的内容逐次向左移位元。当所有 8 位都接收到接收移位寄存器中后，Rx 控制块停止接收，然后在下一个系统时钟的上升沿上 RI 置 1，直到被软件清 0 才允许接收。



15.5.2.8 位可变波特率模式（模式 1）

方式 1 提供 10 位全双工异步通信，10 位由一个起始位（逻辑 0），8 个数据位（低位为第一位），和一个停止位（逻辑 1）组成。在接收时，这 8 个数据位存储在 SBUF 中而停止位储存在 RB8 (SCON.2) 中。方式 1 中的波特率固定为自带波特率发生器溢出率的 1/16。功能块框图 13-3 如下图所示：

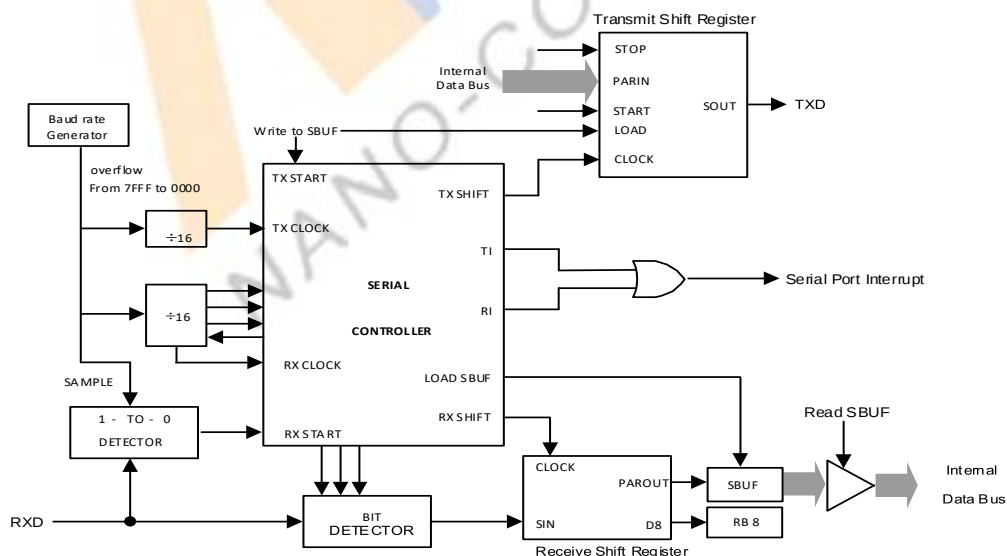
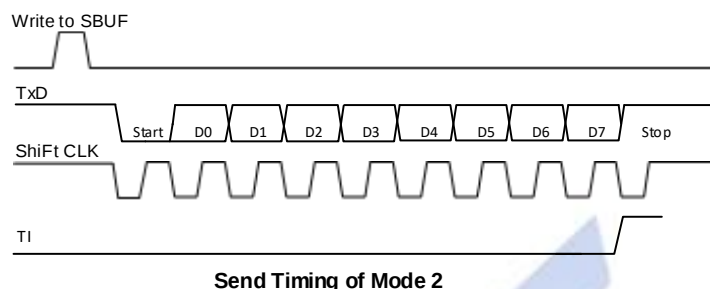


图 15-1 功能块框图

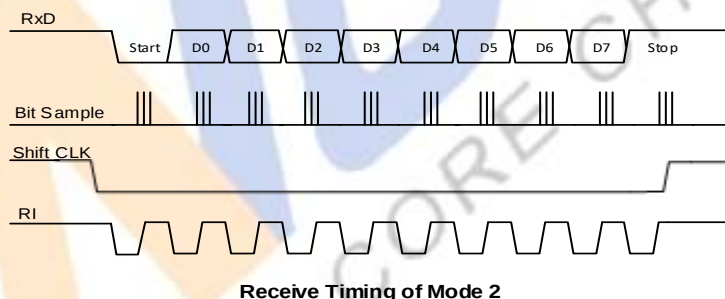
任何将 SBUF 作为目标寄存器的写操作都会启动发送，实际上发送是从 16 分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与 16 分频计数器是同步的，与对 SBUF 的写操作不同步。起始位首先在 TxD 引脚上移出，然后是 8 位数据位。在发送移位寄存器中的所有 8 位数据都发送完后，停止位在 TxD 引脚上移出，在停止位发出的同时 TI 标志置 1。



只有 REN 位置 1 时才允许接收。当 RxD 引脚检测到下降沿时串行口开始接收串行数据。为此，CPU 对 RxD 不断采样，采样速率为波特率的 16 倍。当检测下降沿时，16 分频计数器立即复位，这有助于 16 分频计数器与 RxD 引脚上的串行数据位同步。16 分频计数器把每一位的时间分为 16 个状态，在第 7、8、9 状态时，位检测器对 RxD 端的电平进行采样。为抑制噪声，在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。如果所接收的第一位不是 0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待 RxD 引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。8 个数据位和 1 个停止位移入之后，移位寄存器的内容被分别装入 SBUF 和 RB8 中，RI 置 1，但必须满足下列条件：

1. RI = 0
2. SM2 = 0 或者接收的停止位 = 1

如果这些条件被满足，那么停止位移入 RB8，8 个数据位移入 SBUF，RI 被置 1。否则接收的帧会丢失。这时，接收器将重新去探测 RxD 端是否另一个下降沿。用户必须用软件清除 RI，然后才能再次接收。



15.5.3.9 位固定波特率模式（模式 2）

这个方式使用异步全双工通信中的 11 位。一帧由一个起始位（逻辑 0），8 个数据位（低位为第一位），一个可编程的第 9 数据位和一个停止位（逻辑 1）组成。方式 2 支持多机通信和硬件地址识别（详见多机通讯章节）。在数据传送时，第 9 数据位（SCON 中的 TB8）可以写 0 或 1，例如，可写入 PSW 中的奇偶位 P，或用作多机通信中的数据/地址标志位。当接收到数据时，第 9 数据位进入 RB8 而停止位不保存。PCON 中的 SMOD 位选择波特率为系统工作频率的 1/32 或 1/64。功能块框图 13-4 如下所示：

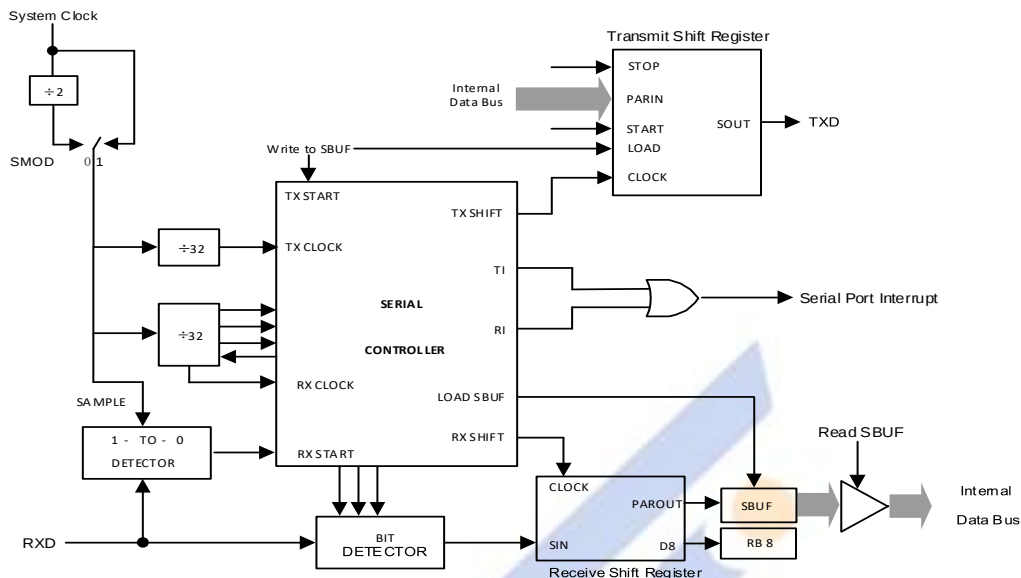
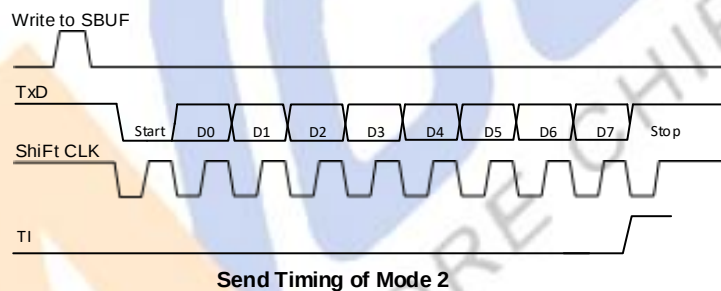


图 15-2 功能块框图

任何将 SBUF 作为目标寄存器的写操作都会启动发送，同时也将 TB8 加载到发送移位寄存器的第 9 位中。实际上发送是从 16 分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与 16 分频计数器是同步的，与对 SBUF 的写操作不同步。起始位首先在 TxD 引脚上移出，然后是第 9 位数据。在发送转换寄存器中的所有 9 位数据都发送完后，停止位在 TxD 引脚上移出，在停止位开始发送时 TI 标志置 1。



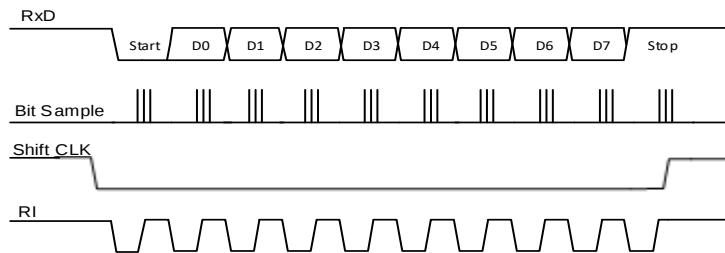
Send Timing of Mode 2

只有 REN 位置 1 时才允许接收。当 RxD 引脚检测到下降沿时串行口开始接收串行数据。为此，CPU 对 RxD 不断采样，采样速率为波特率的 16 倍。当检测下降沿时，16 分频计数器立即复位。这有助于 16 分频计数器与 RxD 引脚上的串行数据位同步。16 分频计数器把每一位的时间分为 16 个状态，在第 7、8、9 状态时，位检测器对 RxD 端的电平进行采样。为抑制噪声，在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。如果所接收的第一位不是 0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待 RxD 引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。9 个数据位和 1 个停止位移入之后，移位寄存器的内容被分别装入 SBUF 和 RB8 中，RI 置 1，但必须满足下列条件：

1. RI = 0
2. SM2 = 0 或者接收的第 9 位 = 1，且接收的字节符合实际从机地址。

如果这些条件被满足，那么第 9 位移入 RB8，8 位数据移入 SBUF，RI 被置 1。否则接收的数据帧会丢失。

在停止位的当中，接收器回到寻找 RxD 引脚上的另一个下降沿。用户必须用软件清除 RI，然后才能再次接收。



Receive Timing of Mode 2

15.5.4.9 位可变波特率模式（模式3）

方式3使用方式2的传输协议以及方式1的波特率产生方式。

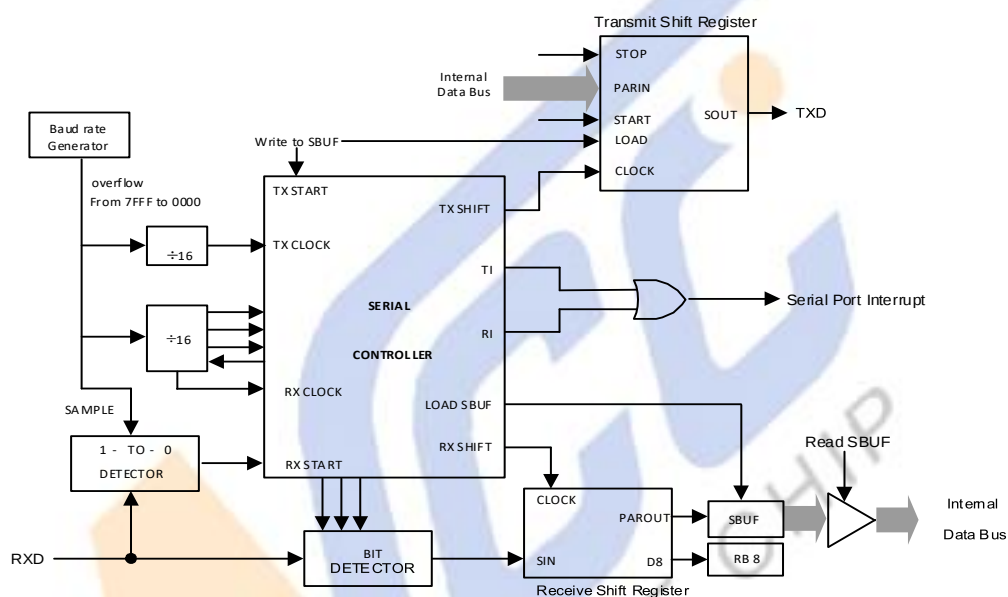
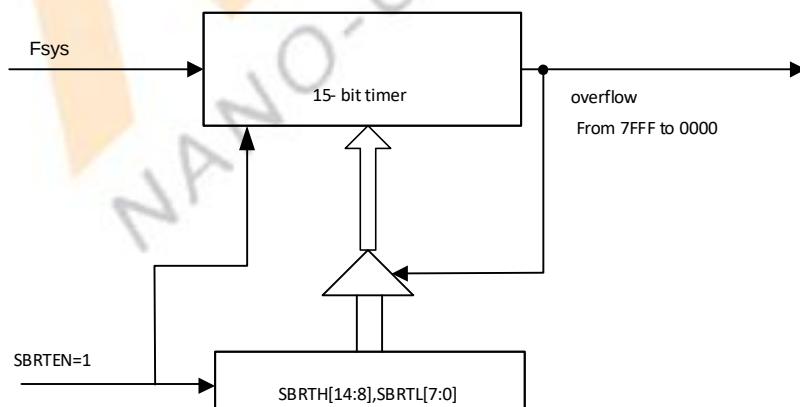


图 15-3 波特率产生方式

15.5.5. 可变微调波特率

UART 自带一个波特率发生器，它实质上就是一个 15 位递增计数器。



Baudrate Generator for EUART

图 15-4 可变微调波特率

由图得到，波特率发生器溢出率为：

$$SBRTL \leq SBRT \leq SBRTH$$

因此，EUART 在各模式下的波特率计算公式如下：

在方式 0 中，波特率可编程为系统时钟的 1/12 或 1/4，由 SM2 位决定。当 SM2 为 0 时，串行端口在系统时钟的 1/12 下运行。当 SM2 为 1 时，串行端口在系统时钟的 1/4 下运行。

在方式 1 和方式 3 中，波特率可微调，精度为一个系统时钟，公式如下

例如：Fsys = 4MHz，需要得到 19200Hz 的波特率，SBRT 和 SFINE 值计算方法如下：

$$4000000/16/19200 = 13.02$$

$$SBRT = 32768 - 13 = 32755$$

$$19200 = 4000000/(16 \times 13 + BFINE)$$

$$BFINE = 0.33 \approx 0$$

此微调方式计算出的实际波特率为 19230，误差为 0.16%；以往方式计算出的波特率误差为 8.5%。

在方式 2 中，波特率固定为系统时钟的 1/32 或 1/64，由 SMOD 位 (PCON. 7) 中决定。当 SMOD 位为 0 时，EUART 以系统时钟的 1/64 运行。当 SMOD 位为 1 时，EUART 以系统时钟的 1/32 运行。

15.5.6. 多处理器通讯

软件地址识别

方式 2 和方式 3 有一个专门的适用于多机通讯的功能。在这两个方式下，接收的是 9 位数据，第 9 位移入 RB8 中，然后再来一位停止位。EUART 可以这样来设定：当接收到停止位，且 RB8 = 1 时，串行口中断有效（请求标志 RI 置位）。此时置位 SCON 寄存器的 SM2，EUART 工作在多机通讯模式。

在多机通讯系统中，按如下所述来使用这一功能。当主机要发送一数据块给几个从机中的一个时，先发送一地址字节，以寻址目标从机。地址字节与数据字节可用第 9 数据位来区别，地址字节的第 9 位为 1，数据字节的第 9 位为 0。

如果从机 SM2 为 1，则不会响应数据字节中断。地址字节可以使所有从机产生中断，每一个从机都检查所接收到的地址字节，以判别本机是不是目标从机。被寻到的从机对 SM2 位执行清零操作，并准备接收即将到来的数据字节。当接收完毕时，从机再一次将 SM2 置位。没有被寻址的从机，则保持 SM2 位为 1，不响应数据字节。

注意：在方式 0 中，SM2 用来 2 倍频波特率。在方式 1 中，SM2 用来检测停止位是否有效，如果 SM2 = 1，接收中断不会响应直到接收到一个有效的停止位。

自动（硬件）地址识别

在方式 2 和方式 3 中，SM2 置位，EUART 运行状态如下：接收到停止位，RB8 的第 9 位为 1（地址字节），且接收到的数据字节符合 EUART 的从机地址，EUART 产生一个中断。从机将 SM2 清零，接收后续数据字节。

第 9 位为 1 表明该字节是地址而非数据。当主机要发送一组数据给几个从机中的一个时，必须先发送目标从机地址。所有从机等待接收地址字节，为了确保仅在接收地址字节时产生中断，SM2 位必须置位。自动地址识别的特点是只有地址匹配的从机才能产生中断，硬件完成地址比较。

中断产生后，地址匹配的从机清零 SM2，继续接收数据字节。地址不匹配的从机不受影响，将继续等待接收和它匹配的地址字节。全部信息接收完毕后，地址匹配的从机应该再次把 SM2 置位，忽略所有传送的非地址字节，直到接收到下一个地址字节。

使用自动地址识别功能时，主机可以通过调用给定的从机地址选择与一个或多个从机通信。主机使用广播地址可以寻址所有从机。有两个特殊功能寄存器，从机地址 (SADDR) 和地址屏蔽 (SADEN)。从机地址是一个 8 位的字节，存于 SADDR 寄存器中。SADEN 用于定义 SADDR 各位的有效与否，如果 SADEN 中某一位为 0，则 SADDR 中相应位被忽略，如果 SADEN 中某一位置位，则 SADDR 中相应位将用于产生约定地址。这可以使用户在不改变 SADDR 寄存器中的从机地址的情况下灵活地寻址多个从机。

	从机 1	从机 2
SADDR	10100100	10100111
SADEN (为 0 的位被忽略)	11111010	11111001
约定地址	10100x0x	10100xx1
广播地址 (SADDR 或 SADEN)	1111111x	11111111

从机 1 和从机 2 的约定地址最低位是不同的。从机 1 忽略了最低位，而从机 2 的最低位是 1。因此只与从机 1 通讯时，主机必须发送最低位为 0 的地址（10100000）。类似地，从机 1 的第 1 位为 0，从机 2 的第 1 位被忽略。因此，只与从机 2 通讯时，主机必须发送第 1 位为 1 的地址（10100011）。如果主机需要同时与两从机通讯，则第 0 位为 1，第 1 位为 0，第 2 位被两从机都忽略，两个不同的地址用于选定两个从机（1010 0001 和 1010 0101）。

主机可以通过广播地址与所有从机同时通讯。这个地址等于 SADDR 和 SADEN 的位或，结果中的 0 表示该位被忽略。多数情况下，广播地址为 0xFFh，该地址可被所有从机应答。

系统复位后，SADDR 和 SADEN 两个寄存器初始化为 0，这两个结果设定了约定地址和广播地址为 XXXXXXXX（所有位都被忽略）。这有效地去除了多从机通讯的特性，禁止了自动寻址方式。这样的 EUART 将对任何地址都产生应答，兼容了不支持自动地址识别的 8051 控制器。用户可以按照上面提到的方法实现软件地址识别的多机通讯。

15.5.7. 帧出错检测

当寄存器 PCON 中的 SSTAT 位为逻辑 1 时，帧出错检测功能才有效。3 个错误标志位被置 1 后，只能通过软件清零，尽管后续接收的帧没有任何错误也不会自动清零。

注意：SSTAT 位必须为逻辑 1 是访问状态位（FE，RXOV 和 TXCOL），SSTAT 位为逻辑 0 时是访问方式选择位（SM0，SM1 和 SM2）。

发送冲突

如果在一个发送正在进行时，用户软件写数据到 SBUF 寄存器时，发送冲突位（SCON 寄存器中的 TXCOL 位）置 1。如果发生了冲突，新数据会被忽略，不能被写入发送缓冲器。

接收溢出

如果在接收缓冲器中的数据未被读取之前，RI 清 0。又有新的数据存入接收缓冲器，那么接收溢出位（SCON 寄存器中的 RXOV 位）置 1。如果发生了接收溢出，接收缓冲器中原来的数据将丢失。

帧出错

如果检测到一个无效（低）停止位，那么帧出错位（寄存器 SCON 中的 FE）置 1。

注意：在发送之前，TXD 引脚必须被设置为输出高电平。

16. SPI

16.1. 规格介绍

ATM8F3040 内部集成一个 SPI 通讯接口。支持在 MCU 与外设之间进行全双工，同步的串行通信。该模块可以配置为主机模式或者从机模式。其基本特征如下：

支持全双工通信

支持主机模式和从机模式

主机模式下支持 7 种传输波特率，从机模式下最大可支持 FCLK/8 的波特率

串行时钟可根据极性和相位配置为 4 种不同的模式

支持冲突检测，支持多机通信

16.2. 工作模式

复位释放后定时器默认关闭，软件使能后开启。

待机模式下，如果进入待机前使能，待机模式下仍能工作。如果待机模式前使能了中断，产生中断时，能够唤醒电路。

16.3. 寄存器描述

表 16-1 SPI 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SPICON	SPI 控制寄存器	×	R/W	0000_0000B	BANK0	94H
SPIDAT	SPI 数据寄存器	×	R/W	0000_0000B	BANK0	95H
SPISTA	SPI 状态寄存器	×	R/W	0000_0000B	BANK0	96H
ALFSELO	端口映射寄存器	×	R/W	0000_0011B	BANK0	89H

SPI 寄存器列表详细说明如下：

58) SPI 控制寄存器 (SPICON)

名称/地址:	SPICON, BANK0, 94H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPR2	SPEN	SSDIS	MSTR	CPOL	CPHA	SPR1	SPR0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: SPR2, 串口波特率设置控制位 2, 与 SPR1, SPR0 共同确定主机模式波特率

Bit6: SPEN, SPI 模块使能位

0: 禁止 SPI 模块

1: 使能 SPI 模块

Bit5: SSDIS, 禁止 SSN 输入

0: 从机或者主机模式, SSN 由外部管脚输入

1: 禁止 SSN 输入, 当该位置 1 时, 不会发生 MODF 中断请求

Bit4: MSTR, 主从机配置位

0: 配置为从机模式

1: 配置为主机模式

Bit3: CPOL, 时钟极性配置位

0: SCK 在 0 时处于无效状态

1: SCK 在 1 时处于无效状态

Bit2: CPHA, 时钟相位配置位

0: 数据在时钟退出无效状态时捕获

1: 数据在时钟进入无效状态时捕获

Bit1, SPR1, 串口波特率设置控制位 1, 与 SPR2, SPR0 共同确定主机模式波特率

Bit0, SPR0, 串口波特率设置控制位 0, 与 SPR2, SPR1 共同确定主机模式波特率。当 {SPR2, SPR1, SPR0} 配置为:

000: 主机发送时钟为 FCLK/2

001: 主机发送时钟为 FCLK/4

010: 主机发送时钟为 FCLK/8

011: 主机发送时钟为 FCLK/16

100: 主机发送时钟为 FCLK/32

101: 主机发送时钟为 FCLK/64

110: 主机发送时钟为 FCLK/128

111: 无效 (当 CPOL=1 时, SCK 输出 H, 当 CPOL=0 时, SCK 输出 L)

59) SPI 数据寄存器 (SPIDAT)

名称/地址:	SPIDAT, BANK0, 95H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPDAT							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: SPDAT, 当 SPI 工作在主机模式时, 写该寄存器开始发送过程。读该寄存器时读取接收缓冲器内容

60) SPI 状态寄存器 (SPISTA)

名称/地址:	SPISTA, BANK0, 96H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIF	WCOL	SSERR	MODF	REV			
访问权限:	R/W	R/W	R/W	R/W	R	R	R	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: SPIF, SPI 数据传送标志, 该位在数据传送完成后置 1。当该位置 1 后, 可以通过先读 SPSTA 寄存器再读 SPDAT 清除

Bit6: WCOL, SPI 写冲突标志, 当该模块作为从机接收未完成或者作为主机发送未结束时, 往 SPDAT 写新数据时由硬件置起。当该位置 1 后, 可以通过先读 SPSTA 寄存器再读 SPDAT 寄存器清除

Bit5: SSERR, SSN 错误标志, 该位只在作为从机时有效, 当作为从机时, 如果 SSN 在接收完成之前置 1, 该位将会被置起。只能通过禁止 SPI 模块来清除

Bit4: MODF, 模式错误标志, 该位在对该模块设置为主机模式, 外部却将其选择作为从机时由硬件置起。可以通过对 SSN 配置为合适的电平来清除, 也可以通过读 SPSTA 寄存器来清除

Bit[3:0] : 保留

61) 复用功能寄存器 0 (ALFSEL0)

名称/地址:	ALFSEL0, BANK0, 89H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SSN	PWM2	PWM1	MOSI	MISO	SCK	TDAT	TCK
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: P20 功能复用选择

0: P20 配置为 GPIO

1: P20 配置为 SSN 输入

Bit4: P11 功能复用选择

0: P11 配置为 GPIO

1: P11 配置为 MOSI

Bit3: P10 功能复用选择

0: P10 配置为 GPIO

1: P10 配置为 MISO

Bit2: P07 功能复用选择

0: P07 配置为 GPIO

1: P07 配置为 SCK

16.4.功能描述

SPI 模块可以根据要求配置为主机模式和从机模式，在主机模式和从机模式下可以通过配置 SPCON 中的 CPOL 和 CPHA 位来控制发送或者接收的数据模式。其中 CPHA 允许用户配置数据在时钟的哪个相位会被采样或发送，CPOL 配置时钟的极性。

16.4.1. 从机模式

当 SPCON 中的 MSTR 位设置为 0，同时 SPIEN 位也设置为 1 时，SPI 模块等待 SSN 管脚变低。当 SSN 为低时，从机接收主机的串口时钟，并开始数据传送。从机模式的最快波特率为 FCLK/4。

当 CPHA 设置为 0 时，从机的数据在检测到 SSN 下降沿时必须输出 MSB，从机模式的发送接收时序图如图 16-1 从机模式，CPHA=0 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从 1 跳变到无效状态 0 时改变。当时钟的极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从 0 跳变到无效状态 1 时发生改变。

当 CPHA 设置为 1 时，从机的数据在第一个时钟有效沿时输出 MSB，从机模式的发送接收时序图如图 16-2 从机模式，CPHA=1 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从无效状态 0 跳变到 1 时改变。当时钟极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从无效状态 1 跳变到 0 时发生改变。

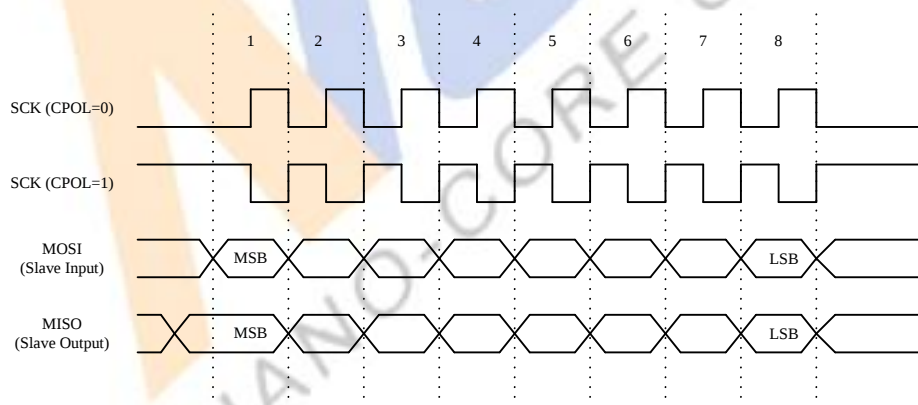


图 16-1 从机模式，CPHA=0

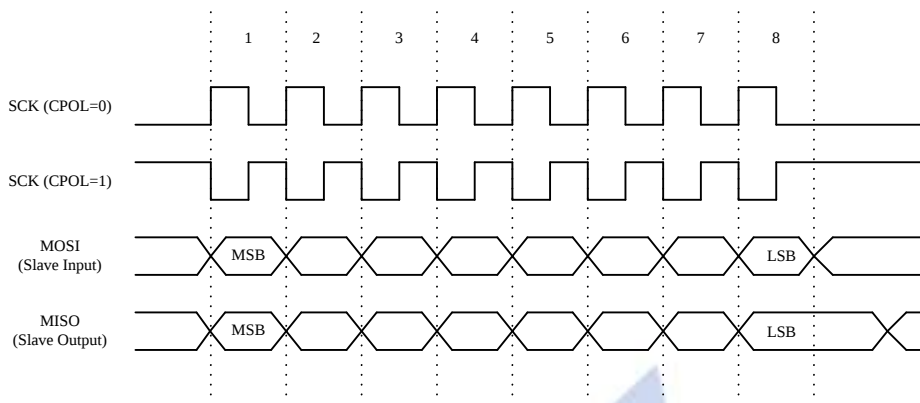


图 16-2 从机模式，CPHA=1

16.4.2. 主机模式

当 SPCON 中的 MSTR 位设置为 1，同时 SPIEN 位也设置为 1 时，SPI 模块等待 SPDAT 的写操作。在发生 SPDAT 的写操作后，SPI 数据传送开始。数据从 MOSI 发出，同时从机的数据可以从 MISO 数据输入，主机产生移位时钟输出。主机模式的波特率可以根据 SPCON 中的 SPR2, SPR1, SPR0 来配置。

当 CPHA 设置为 0 时，主机模式的发送接收时序图如图 16-3 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从 1 跳变到无效状态 0 时改变。当时钟的极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从 0 跳变到无效状态 1 时发生改变。

当 CPHA 设置为 1 时，主机模式的发送接收时序图如图 16-4 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从无效状态 0 跳变到 1 时改变。当时钟极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从无效状态 1 跳变到 0 时发生改变。

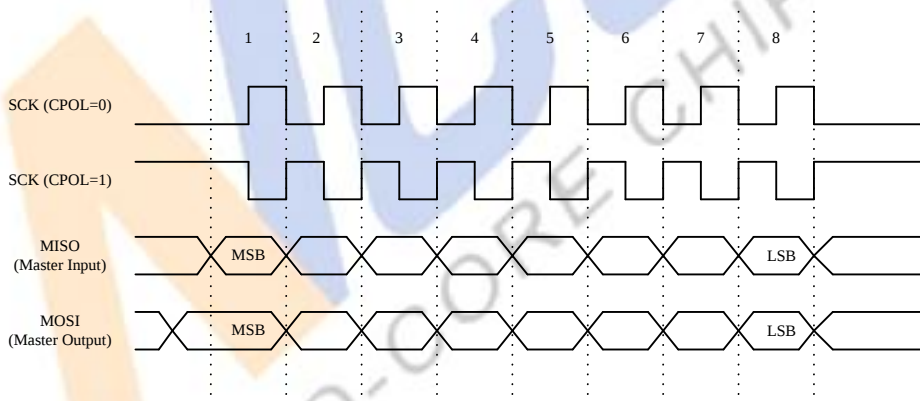


图 16-3 主机模式，CPHA=0

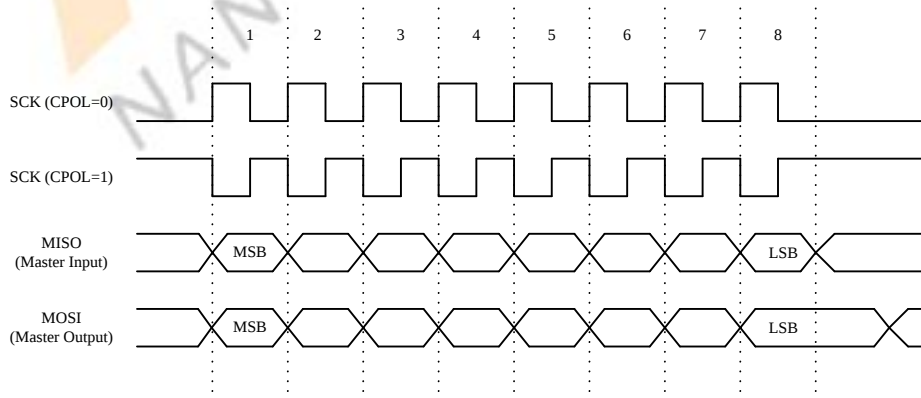


图 16-4 主机模式，CPHA=1

16.4.3. 中断产生

SPI 在工作时共有 2 种可能产生中断的中断源，这两个中断共用一个中断地址。可以通过 SPSTA 寄存器判断具体的中断源。

SPIF 中断时传送完成中断，该位在发送结束后由硬件自动置起，SPIF 标志在查询时只能通过软件清除，中断时由硬件自动清除。软件清除时需要首先读 SPSTA 寄存器，判断 SPIF 是否置起，如果置起则再读取 SPDAT 寄存器，在读取接收值的同时也清除 SPIF 标志位。

MODF 中断发生 SPI 设置为主机模式，同时外部 SSN 管脚输入为 1，该中断可以通过设置 SSN 管脚为 0 或者设置 SPCON 中的 SSDIS 位为 1 来清除。当 SSDIS 未设置为 1 时，不会发生 MODF 中断。

16.4.4. 错误监测

SPI 在工作时还提供两种错误监测机制，用户可以通过 SPSTA 读取是否发送错误。

写冲突错误检测，当 SPI 作为从机时，接收尚未结束，用户就往 SPDAT 写数据，或者 SPI 作为主机时，发送数据还没有完成，用户就往 SPDAT 写新数据就会发生写冲突错误，当该错误发生后，用户可以通过读 SPSTA 寄存器判断 WCOL 位是否置起，如果置起再取 SPDAT 寄存器将其清除。

SSN 错误标志，当 SPI 作为从机时，如果 SSN 在接收完成之前被主机置 1，就会发生该错误，该错误只能通过禁止 SPI 模块来清除。当 SSDIS 设置为 1 时，不会发生 SSERR 错误。

16.4.5. 典型配置

对于主机模式，用户可以采用任何管脚来配置从机的 NSS 管脚。对于从机，当 SSIDS 设置为 0 时，由 NSS 管脚来配置从机是否使能。

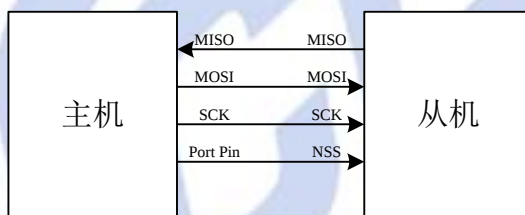


图 16-5 单主机单从机模式

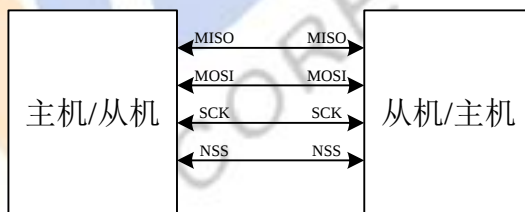


图 16-6 通信双方都可以作为主机从机模式

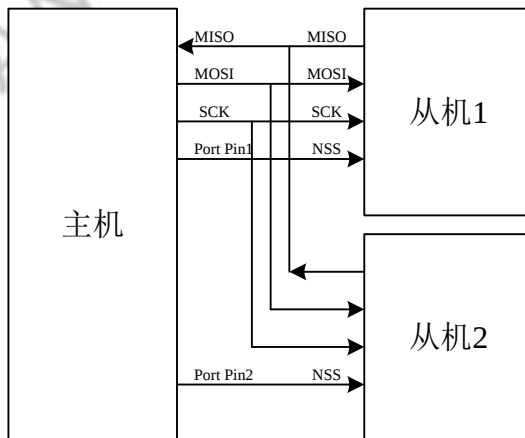


图 16-7 单主机多从机模式

17. 看门狗定时器

ATM8F3040 内部集成 WDT 看门狗定时器，主要作用是对系统软件出错时能够尽快保护整个系统，产生复位信号以保证系统迅速恢复到初始状态。计数时钟选择 SUBCLK 作为定时时钟，WDT 可根据配置位选择不同的定时时长。看门狗定时器一旦使能以后只有外部复位，低压复位或者上电复位才能关闭。

17.1. 基本特征

看门狗计数器采用 18 位递增计数器

支持看门狗定时器工作模式

支持内部定时器工作模式

调试模式下终止 WDT 执行

17.2. 内部框图

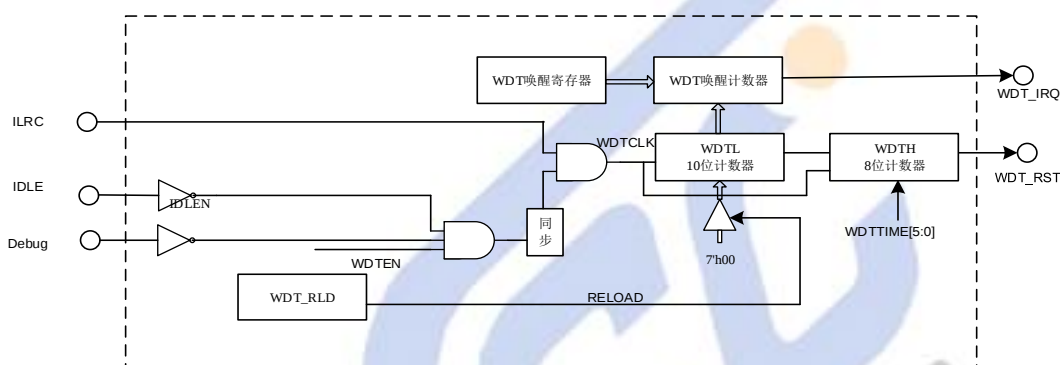


图 17-1 WDT 内部框图

17.3. 寄存器描述

表 17-1 看门狗定时器寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
WDTRLD	看门狗重载命令寄存器	×	W	0000_0000B	ALL	86H
WDTCON	看门狗控制寄存器	×	R/W	1000_0011B	BANK0	CEH
WDTWK	看门狗唤醒寄存器	×	R/W	1111_1111B	BANK0	CFH

看门狗定时器详细说明如下：

1) 看门狗重载命令寄存器 (WDTRLD)

名称/地址:	WDTRLD, ALL BANK, 86H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTRLD							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	-	-	-	-	-	-	-	-
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

往 WDTRLD 中连续写入 0x5A 和 0x3C 后清空 WDT 计数器。

2) 看门狗控制寄存器 (WDTCON)

名称/地址:	WDTCON, BANK0, CEH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTTIME						WDTEN	-

访问权限:	R/W	R/W	R-0	R-0	R-0	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:2]: WDTIME, WDT 复位时间选择

Bit1: WDT 使能位

0: WDT 未使能

1: WDT 使能

Bit0: 保留

注意: WDTIME 位必须在看门狗定时器启动之前配置, 启动后将不能配置。

3) 看门狗重载寄存器 (WDTWK)

名称/地址:	WDTWK, BANK0, CFH							
位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WDTWK							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	1	1	1	1	1	1	1	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: WDTWK, 看门狗计数器计数唤醒值

注意: WATCHDOG 相关寄存器和计数器复位源是除了 WDT 复位以外的所有复位源。

17.4. 功能描述

看门狗定时器采用 SUBCLK 作为定时时钟。计数部分由一个 18 位递增计数器组成。当计数器计数到预设值时产生看门狗复位信号复位整个芯片。预设值可根据 WDTCON 中的 TIMESEL 位设置。溢出时间为 $T_{wdtclk} * (WDTIME + 1) * 4096$ 。

看门狗定时器默认状态不开启, 只有配置看门狗控制寄存器 WDTCON 中的 WDTEN 位为 1 方可启动。看门狗定时器一旦启动将无法停止, 只有发生外部复位, 上电复位或者低压复位时方可停止。

看门狗定时器的重载操作需要 WDTWLD 寄存器连续写入 0x5A 和 0x3C 方可完成重载。

在不需要 WDT 功能时, 可以将其用作定时器使用, 使用时需要首先开启 WDT 唤醒中断使能, 配置 WDTWK 寄存器, 当 WDT 计数器的低 10 为计数器到与 {WDTWK[7:0], 0x3} 匹配时将会发生中断。由于中断以后 WDT 还会继续计数, 为避免意外发生 WDT 复位, 需要在唤醒中断子程序中对 WDT 进行重载操作。在 STOP 模式下, 如果 WD 采用 SUBCLK 作为时钟源, 可作为唤醒控制。

看门狗定时器在 IDLE 模式时将不运行。

在配置时, WDTCON 寄存器中除 WDTEN 位外的寄存器必须在启动 WDT 之前配置, 启动 WDT 后将无法更改。

18. 唤醒定时器

ATM8F3040 内部集成一个唤醒狗定时器，该寄存器采用低频振荡器作为时钟，采用一个 20 位的递增计数器作为定时器，当计数到设定值时可产生一个唤醒信号。

18.1. 基本特征

采用 SUBCLK 作为时钟源

采用 20 位递增计数器

可配置在 STOP 模式下运行并唤醒 STOP

18.2. 内部框图

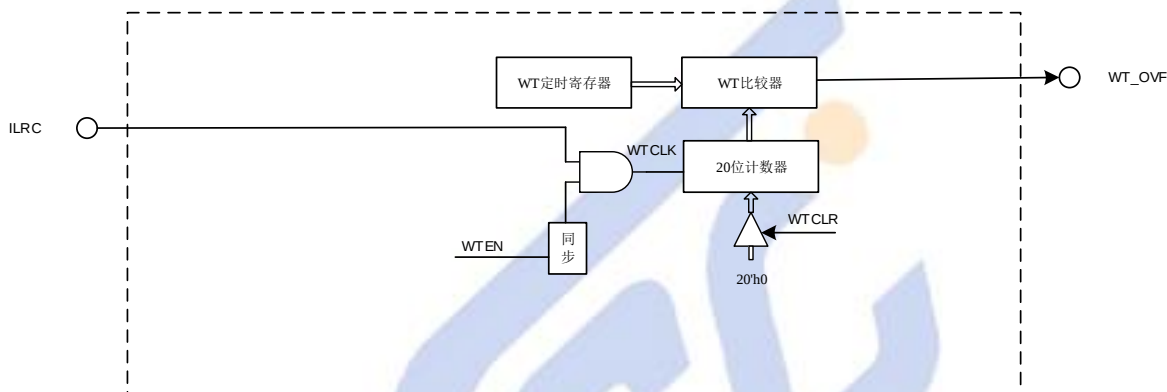


图 18-1 WT 内部框图

18.3. 寄存器描述

表 18-1 唤醒定时器寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
WTCON	唤醒控制寄存器	×	R/W	0000_0000B	BANK0	CDH

唤醒定时器详细说明如下：

1) 唤醒控制寄存器（WTCON）

名称/地址:	WTCON, BANK0, CDH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WTTIME						WTCLR	WTEN
访问权限:	R/W	R/W	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:2]: WTTIME, WT 溢出时间选择

Bit1: WT 定时器清 0, 写 1 清零

0: 无效

1: 清零

Bit0: WTEN

0: WT 禁止

1: WT 使能

18.4.功能描述

唤醒定时器可以产生周期性的中断信号。该定时器采用一个 20 位的计数器，时钟源采用 SUBCLK。定时的时间可以配置为：

$$T_{wdtclk} * (WTIME+1) * 16384$$

定时器计数到预设的匹配值时会归零重新计数，也可以通过写 WTCN 中的 WTCLR 位清零。



19. PWM 控制器

19.1. 基本特征

ATM8F3040 内部集成了 4 个 8 位的 PWM 模块，PWM0/1/2/3。每个 PWM 模块都可以产生周期和占空比可调的 PWM 波形。PWM 波形的输出极性可选择。PWM0 可以与遥控输出模块（REM）协同工作。

4 个 8 位精度的 PWM 模块，其中 PWM0 可兼做遥控载波发生器

每个 PWM 的输出极性可选择

支持 PWM 周期溢出中断

19.2. 工作模式

ATM8F3040 内部集成了 4 个 8 位的 PWM 模块，PWM0/1/2/3。每个 PWM 模块都可以产生周期和占空比可调的 PWM 波形。PWM 波形的输出极性可选择。PWM0 可以兼做遥控载波发生器与遥控输出模块（REM）协同工作。

19.3. 寄存器描述

表 19-1 PWM 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
PWM0CON	PWM0 控制寄存器	×	R/W	0000_0000B	BANK0	F5H
PWM0P	PWM0 周期控制寄存器	×	R/W	0000_0000B	BANK0	F6H
PWM0D	PWM0 占空比控制寄存器	×	R/W	0000_0000B	BANK0	F7H
PWM1CON	PWM1 控制寄存器	×	R/W	0000_0000B	BANK0	8BH
PWM1P	PWM1 周期控制寄存器	×	R/W	0000_0000B	BANK0	8CH
PWM1D	PWM1 占空比控制寄存器	×	R/W	0000_0000B	BANK0	8DH
PWM2CON	PWM2 控制寄存器	×	R/W	0000_0000B	BANK0	B4H
PWM2P	PWM2 周期控制寄存器	×	R/W	0000_0000B	BANK0	B5H
PWM2D	PWM2 占空比控制寄存器	×	R/W	0000_0000B	BANK0	B6H
PWM3CON	PWM3 控制寄存器	×	R/W	0000_0000B	BANK0	8EH
PWM3P	PWM3 周期控制寄存器	×	R/W	0000_0000B	BANK0	A4H
PWM3D	PWM3 占空比控制寄存器	×	R/W	0000_0000B	BANK0	97H
ALFSEL0	端口映射寄存器	×	R/W	0000_0011B	BANK0	89H
ALFSEL1	端口映射寄存器	×	R/W	0000_0000B	BANK0	8AH

PWM1CON 控制寄存器详细说明如下：

62) PWM 控制寄存器（PWM0CON, PWM1CON, PWM2CON, PWM3CON）

名称/地址:	PWMxCON, BANK0, (F5H/8BH/B4H/8EH)						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	PWMEN	PWMS	PWMCK1	PWMCK0	-	PWM0REM	PWMIF
访问权限:	R/W	R/W	R/W	R/W	-	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

Bit[7], PWMEN, PWM 模块控制位

0: 禁止 PWM 模块

1: 允许 PWM 模块

Bit[6], PWMS, PWM 输出模式

0: 高电平驱动, PWM 占空比期间输出高电平, 占空比溢出后输出低电平

1: 低电平驱动, PWM 占空比期间输出低电平, 占空比溢出后输出高电平

Bit[5:4], PWMCK[1:0], PWM 时钟选择位

00: 系统时钟/1

01: 系统时钟/2

10: 系统时钟/4

11: 系统时钟/8

Bit[2], PWMOREM, REM 功能选择

0: 不选择 PWM0 的 REM 功能

1: PWM0 兼做遥控载波发生器

Bit[1], PWMIF, PWM 中断标志位

0: PWM 周期计数器没有溢出

1: PWM 周期计数器溢出, 由硬件置 1, 硬件清 0

Bit[0], 保留

63) PWMP, PWM 周期控制寄存器 (PWMOP/PWM1P/PWM2P/PWM3P)

名称/地址:	PWMxP, BANK0, (F6H/8CH/B5H/A4H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PWMP							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: PWM 周期控制寄存器

64) PWM 占空比控制寄存器 (PWMOD/PWM1D/PWM2D/PWM3D)

名称/地址:	PWMxD, BANK0, (F7H/8DH/B6H/97H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PWMD							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: PWMD, 占空比控制寄存器

65) 复用功能寄存器 0 (ALFSEL0)

名称/地址:	ALFSEL0, BANK0, 89H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SSN	PWM2	PWM1	MOSI	MISO	SCK	TDAT	TCK
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit6: P13 功能复用选择

0: P13 配置为 GPIO

1: P13 配置为 PWM2 输出, P1CR 寄存器必须配置 P13 为输出模式

Bit5: P12 功能复用选择

0: P12 配置为 GPIO

1: P12 配置为 PWM1 输出, P1CR 寄存器必须配置 P12 为输出模式

66) 复用功能寄存器 1 (ALFSEL1)

名称/地址:	ALFSEL1, BANK0, 8AH							
--------	---------------------	--	--	--	--	--	--	--

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PWM0	T3CLK	T2EX	T2ALF1	T2ALF0	BUZ	TXD	RXD
访问权限:	R	R	R	R	R	R	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7: P54 功能复用选择

0: P54 配置为 GPIO

1: P54 配置为 PWM0 输出, P5CR 寄存器必须配置 P54 为输出模式

19.4.功能描述

ATM8F3040 内部集成 4 个 8 位的 PWM 模块, 每个 PWM 模块的周期及占空比都可调。

PWM 的时钟可选择系统时钟不分频, 2 分频, 4 分频或者 8 分频, 可由 PWMCON 寄存器的 PWMCK 位配置。

PWM 的输出极性可选, 可有 PWMCON 寄存器的 PWMS 位配置。

PWM 模块的周期及占空比分别由 PWMP 和 PWMD 寄存器配置。当 PWMP 配置为 0x00 时, 如果 PWMS 为 0, PWM 输出为低电平, 如果 PWMS 为 1, PWM 输出为高电平。如果 PWMD 配置值大于 PWMP 配置值, 如果 PWMS 为 0, PWM 输出为恒高电平, 如果 PWMS 为 1, PWM 输出为低电平。

PWM0 的输出可输出给红外发码模块 (REM) 作为遥控载波发生器。

所有 PWM 波形均可通过 IO 口输出, 可通过 ALFSEL0/ALFSEL1 寄存器中的 PWM0/PWM1/PWM2 位控制。

PWM 在计数器溢出时产生溢出中断。PWM 占空比及 PWM 周期值只有在 PWM 计数器溢出时才会重载。

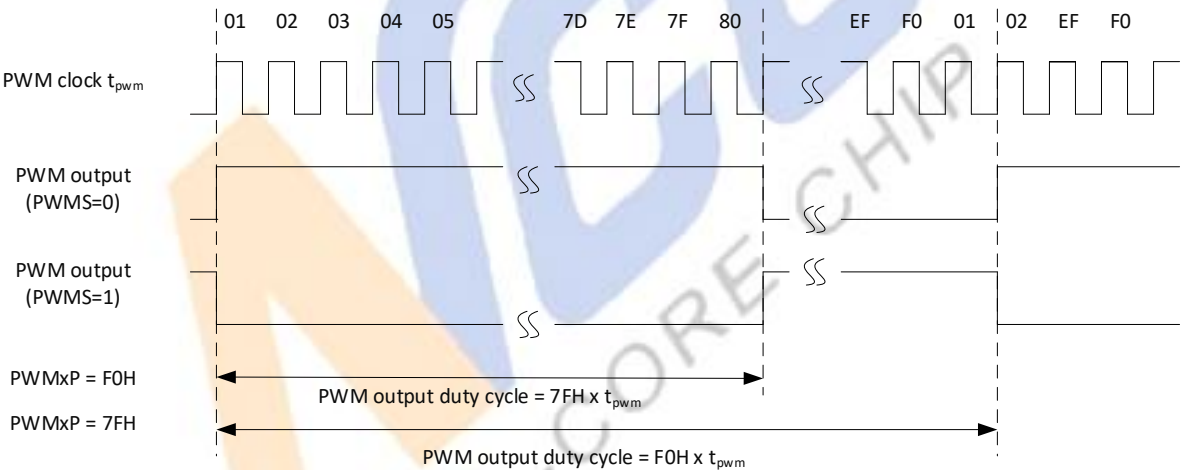


图 19-1 PWM 输出范例

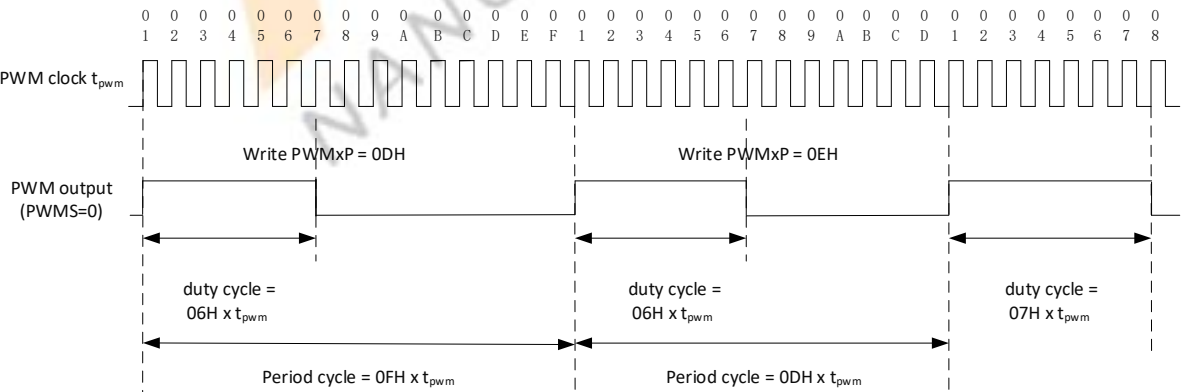


图 19-2 PWM 输出周期或者占空比改变范例

20. 红外接口

20.1. 规格介绍

REM 端口灌电流达到 300mA，能直接驱动遥控载波。红外发射原理：

1. 将红外发射的包络时间转化为载波的个数（REMNUMH:REMNUML），软件设置包络寄存器中载波的个数，软件启动发送
2. 硬件发送包络中的载波数，红外波发射过程中，MCU 可以完成其他功能
3. 本次包络中的载波发送完毕，硬件自动装载下一个包络中的载波个数（REMNUMH:REMNUML）
4. 当硬件载入 REMNUMH[5:0]，REMNUML[7:0] 为全 0 时，红外二极管无 REM 波产生，REM 端口呈高阻状态

20.2. 典型应用电路

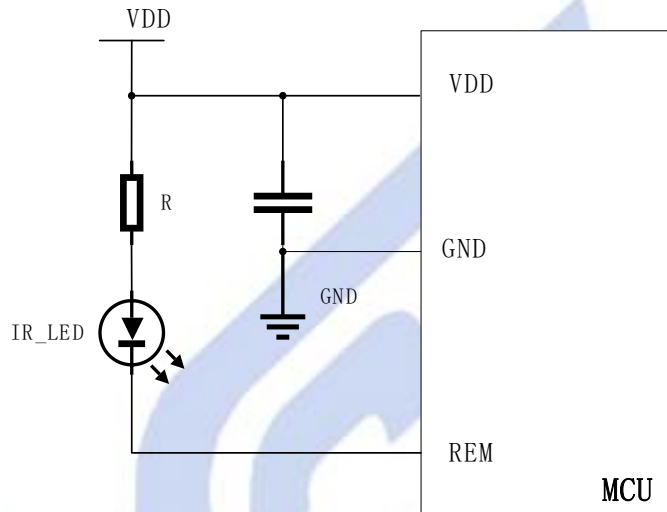


图 20-1 典型应用电路

典型应用电路（电阻 R 选取：请根据红外二极管参数以及代码选项 REM 驱动电流配置选取）

20.3. 寄存器描述

表 20-1 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
REMCN	红外发射控制寄存器	×	R/W	XXXX_XX00B	BANK0	F1H
REMNUMH	红外发射包络载波控制寄存器	×	R/W	0X00_0000B	BANK0	F2H
REMNUML	红外发射包络载波控制寄存器	×	R/W	0000_0000B	BANK0	F3H

寄存器详细说明如下：

67) REMCN 红外发射控制寄存器

名称/地址:	REMCN, BANK0, F1H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	REMIF	REMSW
访问权限:	-	-	-	-	-	-	R/W	R/W
复 位 值:	-	-	-	-	-	-	0	0
提 示:	—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W： 可读写							

Bit[1]: REMIF 红外发射中断标志位

0: REM 包络计数器没有溢出

1: REM 包络计数器溢出，由硬件置 1，硬件清 0

Bit[0]: REMSW 红外发射使能开关（ALFSEL1.BIT7=1 时，此位设置才有效）

0: P5.4 端口作为 PWM0 输出

1: P5.4 端口作为红外应用（端口为高阻或低电平）

注意： P0, P1, P2, P3 支持位操作， P4, P5 不支持位操作

68) REMNUMH 红外发射包络载波个数寄存器

名称/地址:	REMNUMH, BANK0, F2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REMHLSIGN	-	REMNUMH[5:0]					
访问权限:	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	-	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

Bit[7]: REMHLSIGN 红外发射二极管包络电平标志

0: 低电平包络（红外二极管截止，时长为：载波个数* T_{pwm1} ）

1: 高电平包络（红外二极管发射载波，时长为：载波个数* T_{pwm1} ）

Bit[5:0]: REMNUMH. x 红外发射二极管包络载波个数控制高位， x = 0, 1, 2, 3, 4, 5

69) REMNUML 发射包络载波个数寄存器

名称/地址:	REMNUML, BANK0, F3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REMNUML[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

Bit[7:0]: REMNUML. x 红外发射二极管包络载波个数控制高位， x = 0, 1, 2, 3, 4, 5, 6, 7

20.4. 示例程序

REM 端口发送如下 A B C D 载波（如红外二级管输出电压波形所示）

/*auiRemCod 存放发码中 ABCD 的包 e 络中载波的个数，

分为

高 8 位: 数据高 6 位和包络高低标志位

低 8 位: 数据低 8 位

*/

char g_auiRemCode[5][2] = {{0x80, 0x04}, {0x00, 0x02}, {0x80, 0x03}, {0x00, 0x03}, {0x00, 0x00}};

/* A B C D 结束 */

void REM_InitCarrier(void)

{

PWMOCON = 0x44; //低电平驱动，选择 REM 功能，选择系统时钟 4MHz

PWMOP = 0x68; //设置载波频率为 38KHz

PWMOD = 0x23; //设置载波占空比为 33%

REMNUMH = g_auiRemCode[0][0]; //设置包络 A 中的 38kHz 载波个数，高包络标志

REMNUML = g_auiRemCode[0][1];

IEN2 |= 0x08; //允许 REM 中断

PWMOCON |= 0x80; //PWM 输出

REMNUMH = g_auiRemCode[1][0]; //设置包络 B 中的 38kHz 载波个数，低包络标志

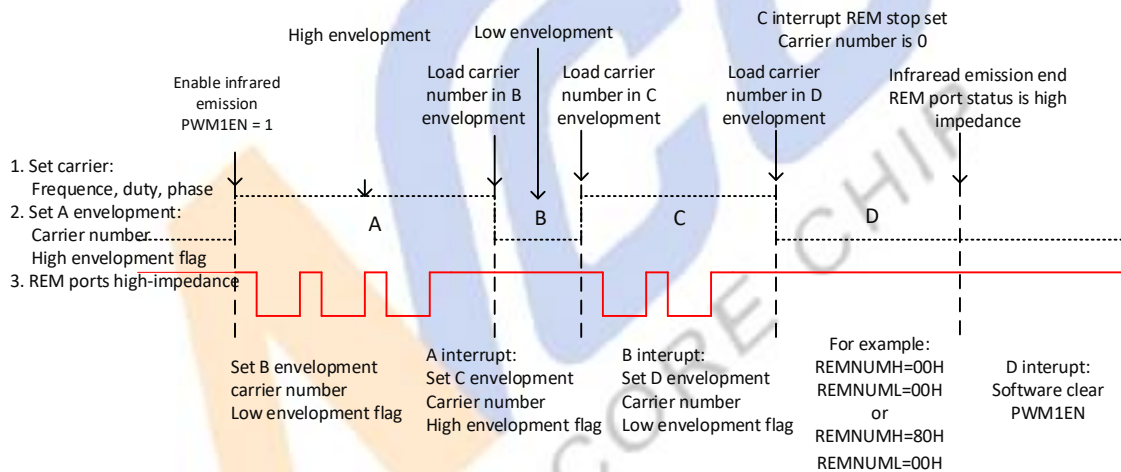
REMNUML = g_auiRemCode[1][1];

}

void REM_IntSetInfrared(void) interrupt 15

{

```
static unsigned int i = 1;
unsigned int j = 0;
i = i + 1;
/*判断 REMNUMH 和 REMNUML 都为 0 时，红外发射结束*/
if((REMNUMH == 0x00)&&(REMNUMH == 0x00))
{
    /*软件关闭 PWM 波*/
    PWMOCON &= 0x7F ;
    i = 1;
}
else
{
    /*设置下一次包络中的载波个数和包络高低位标志*/
    REMNUMH = g_auiRemCode[i][j];
    REMNUML = g_auiRemCode[i][j+1];
}
}
```



21. CRC

ATM8F3040 内部集成循环冗余编码单元（CRC），支持 CRC16-CCITT 1021 多项式，主要包括以下特性：

- 支持计算数据顺序或倒序输入
- 支持计算结果顺序或倒序输出
- 支持设置初始数据
- 支持计算结果异或输出
- 支持复位 CRC 计算结果

21.1.内部框图

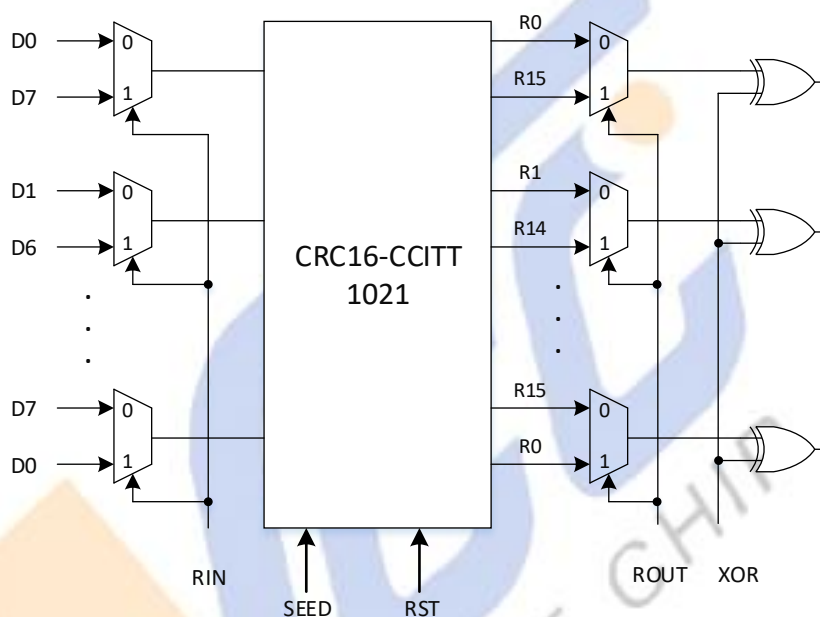


图 21-1 CRC 结构图

21.2.寄存器描述

表 21-1 CRC 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
CRCCON	CRC 控制寄存器	×	R/W	0000_0000B	BANK0	0x9C
CRCDAT	CRC 数据寄存器	×	R/W	0000_0000B	BANK0	0x9D
CRCSD0	CRC 结果寄存器低 8 位	×	R/W	0000_0000B	BANK0	0x9E
CRCSD1	CRC 结果寄存器高 8 位	×	R/W	0000_0000B	BANK0	0x9F

中断控制寄存器详细说明如下：

1) CRC 控制寄存器（CRCCON）

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

CRCCON, BANK0, 9CH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	REV	XOR	ROUT	RIN	RST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写

Bit[7:4]:保留

Bit3: XOR, 输出异或控制

0: 禁止

1: 使能

Bit2: ROUT, 输出计算结果控制

0: 顺序输出

1: 倒序输出

Bit1: RIN, 输入控制

0: 顺序输入

1: 倒序输入

Bit0: RST, 复位信号, 写 1 清 0

0: 无效

1: 清零

2) CRC 数据寄存器 1 (CRCDAT)

名称/地址:	CRCDAT, BANK0, 9DH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRCDAT							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: CRC 数据寄存器, 写该寄存器时自动启动 CRC 操作。

3) CRC 结果寄存器 0 (CRCSD0)

名称/地址:	CRCSD0, BANK0, 9EH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRCSD0							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: 8 位寄存器, 写该寄存器时, 配置 CRC SEED 的低 8 位, 读该寄存器时, 读取 CRC 结果低八位。

4) CRC 结果寄存器 1 (CRCSD1)

名称/地址:	CRCSD1, BANK0, 9FH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRCSD1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: 8 位寄存器, 写该寄存器时, 配置 CRC SEED 的高 8 位, 读该寄存器时, 读取 CRC 结果高八位。

21.3.功能描述

ATM8F3040 内嵌循环冗余编码单元, 采用 CRC16-CCITT 1021 多项式, 控制算法如下图所示。启动 CRC 运算时, 首选需要配置 CRC SD0/SD1 寄存器, 设置 CRC 运算的初始 SEED, 复位默认值为全 0。根据需要可以配置 CRCON 中 RIN 位使得 CRC 数据以顺序或者倒序输入 CRC 运算单元, 在写 CRCDAT 寄存器时开始 CRC 运算。CRC 计算后的结果可以通过读取 CRC SD0 或者 SD1 寄存器获得。根据 CRCON 中的 ROUT 和 XOR 位可以配置 CRC 输出结果是以顺序还是倒序输出以及输出是否经过异或操作。

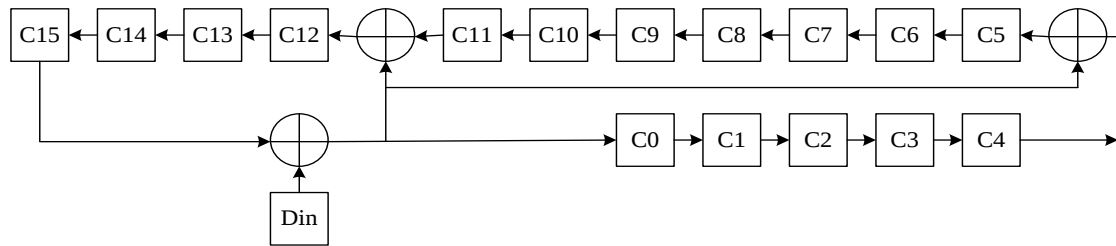


图 21-2 CRC16-CCITT

22. 蜂鸣器

ATM8F3040 内部集成一个 BUZZER 信号产生器。产生的频率范围从 500Hz~16KHz。

22.1. 基本特征

采用 SUBCLK 作为时钟源

采用 5 位递增计数器

22.2. 内部框图

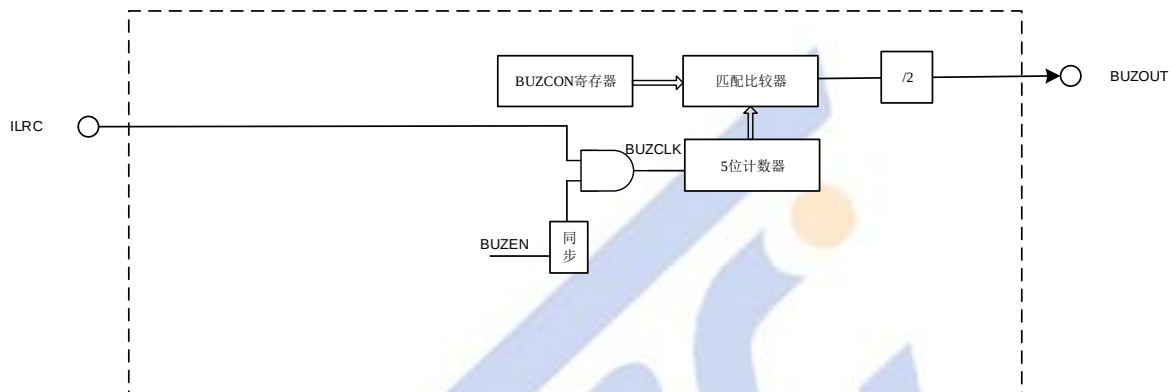


图 22-1: BUZZER 内部框图

22.3. 寄存器描述

表 22-2 BUZ 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
BUZCON	BUZ 控制寄存器	×	R/W	0000_0000B	BANK0	DFH

BUZ 控制寄存器详细说明如下：

1) BUZ 控制寄存器 (BUZCON)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

BUZCON, BANK0, DFH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
BUZSEL							BUZEN
R/W	R/W	R-0	R-0	R-0	R	R	R/W
0	0	0	0	0	0	0	0

Bit[7:3]: BUZSEL, BUZZER 输出频率选择, 时钟源为 SUBCLK

00000: 16KHz

00001: 8KHz

00010: 16/3KHz

00011: 4KHz

.....

11111: 500Hz

Bit0: BUZEN

0: BUZ 禁止

1: BUZ 使能

23. LCD

23.1.规格介绍

23.2.基本特征

最大支持 4 X 30、 5 X 29 的 LCD 驱动

LCD 驱动支持电阻型和电容型偏压产生电路

电阻型 LCD 驱动支持软件对比度调节和快速充电模式以降低功耗

电容型 LCD 驱动分为电容偏压型和内建电压稳定器型两种驱动方式

23.3.工作模式

ATM8F3040 提供两种不同方式的 LCD 驱动：电阻型 LCD 驱动和电容型 LCD 驱动，是通过配置选项来选择的（详见配置选项部分）。其中电容型 LCD 驱动又分电容偏压型和内建电压稳定器型两种驱动方式，通过 LCDCON 寄存器 TYPESEL 位来选择，另外，只有当 LCDON 位置 1 时， LCD 功能才会有效。

驱动器可编程为两种驱动模式： 1/4 占空比和 1/3 偏置电压， 1/5 占空比和 1/3 偏置电压。驱动模式可通过 LCDCON 寄存器的 DUTY 位控制。

当 MCU 进入空闲（Idle） 模式或者在高频时钟下进入掉电（Power-Down） 模式，LCD 仍然会有效，RAM 仍然会保持数据，否则 LCD 驱动关闭。

在上电复位、引脚复位、低电压复位或看门狗复位期间，LCD 被关闭。

LCD 由开启（ON）被设置为关闭（OFF）状态后，Common 和 Segment 均输出低电平。

LCD 时钟源为低频 32KHz RC 或者外部晶振 32.768kHz，LCD 帧频固定为 64Hz。

23.4.寄存器描述

表 23-1 PWM 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
LCDCON	LCD 控制寄存器	×	R/W	0000_0000B	BANK0	AAH
LCDCON1	LCD 控制寄存器 1	×	R/W	XX00_X000B	BANK0	A9H
SEGEN1	SEG 模式选择寄存器 1	×	R/W	0000_0000B	BANK0	ABH
SEGEN2	SEG 模式选择寄存器 2	×	R/W	0000_0000B	BANK0	ACH
SEGEN3	SEG 模式选择寄存器 3	×	R/W	0000_0000B	BANK0	ADH
SEGEN4	SEG 模式选择寄存器 4	×	R/W	0000_0000B	BANK0	AEH
COMEN	COM 模式选择寄存器	×	R/W	XXXX_XX00B	BANK0	AFH

LCD 控制寄存器详细说明如下：

70) LCD 控制寄存器（LCDCON）

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

LCDCON, ALL BANK, (AAH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LCDON	PUMPON	-	DUTY	TYPESEL	VOL2	VOL1	VOL0
R/W	R/W		R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W： 可读写

Bit[7], LCDON, LCD 使能控制位

0： 禁止 LCD 驱动器

1： 允许 LCD 驱动器

Bit[6], PUMPON, PUMP 打开/关闭控制位

0： 禁止 LCD PUMP

1： 允许 LCD PUMP

注意：PUMPON 必须为 1，电容偏压型和电压稳定器型 LCD 才有效

Bit[4]，DUTY，LCD 占空比选择位

0：1/4 占空比，1/3 偏置，P4.5 作为 Segment 或者 IO

1：1/5 占空比，1/3 偏置，P4.5 作为 Common

Bit[3]，TYPESEL LCD 电容型驱动方式选择位

0：选择电容偏压型 LCD 驱动方式

1：选择内建电压稳定器型 LCD 驱动方式

Bit[2:0]，VOL[2:0] LCD 对比度控制位，当选择电容型 LCD 驱动时，此 3 位无效

000：VLCD = 0.650 VDD

001：VLCD = 0.700 VDD

010：VLCD = 0.750 VDD

011：VLCD = 0.800 VDD

100：VLCD = 0.850 VDD

101：VLCD = 0.900 VDD

110：VLCD = 0.950 VDD

111：VLCD = 1.000 VDD

71) LCDCON1, LCD 控制寄存器 1

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

LCDCON1, BANK0, (A9H)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TLCD	-	FCCTL1	FCCTL0	-	RLCD	MOD1	MOD0
R/W	-	R/W	R/W	-	R/W	R/W	R/W
0	-	0	0	-	0	0	0
—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

Bit[7]：LCD 类型控制位

0：电阻型

1：电容型

Bit[5:4]：FCCTL 充电时间控制位

00：1/4 LCD com 周期

01：1/8 LCD com 周期

10：1/16 LCD com 周期

11：1/32 LCD com 周期

Bit[2]：RLCD LCD 偏置电阻选择位

0：LCD 偏置电阻总和为 450k

1：LCD 偏置电阻总和为 990k

Bit[1:0]：MOD[1:0] 驱动模式选择位

00：传统电阻型模式，偏置电阻总和为 450k/990k

01：传统电阻型模式，偏置电阻总和为 60k

1x：快速充电模式，偏置电阻总和自动在 60k 和 450k/990k 之间切换

注意：该寄存器所有位当选择了电容型 LCD 驱动时都无效

72) SEGEN1, P1 模式选择寄存器

名称/地址：

位 序 号：

位 定 义：

SEGEN1, BANK0, (ABH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SEGEN[7:0]							

访问权限:

复位值:

提 示:

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: P1S[7:0] P1 口模式选择位

0: P1.7~P1.0 作为 IO

1: P1.7~P1.0 作为 segment (SEG7~SEG0)

73) SEGEN2, P2 模式选择寄存器

名称/地址:

位 序 号:

位 定 义:

访问权限:

复位值:

提 示:

SEGEN2, BANK0, (ACH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SEGEN[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: P2S[7:0] P2 口模式选择位

0: P2.7~P2.0 作为 IO

1: P2.7~P2.0 作为 segment (SEG15~SEG8)

74) SEGEN3, P3 模式选择寄存器

名称/地址:

位 序 号:

位 定 义:

访问权限:

复位值:

提 示:

SEGEN3, BANK0, (ADH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SEGEN[23:16]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: P3S[7:0] P3 口模式选择位

0: P3.7~P3.0 作为 IO

1: P3.7~P3.0 作为 segment (SEG23~SEG16)

75) SEGEN4, P4 模式选择寄存器

名称/地址:

位 序 号:

位 定 义:

访问权限:

复位值:

提 示:

SEGEN4, BANK0, (AEH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SEGEN[29:24]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: P4S[7:0] P4 口模式选择位

0: P4.5~P4.0 作为 IO

1: P4.5~P4.0 作为 segment (SEG29~SEG24)

注意: DUTY 为 0, SEGEN[29]同时为 1 时, P4.5 才作为 SEG 口, DUTY 为 1 时, P4.5 作为 COM 口使用。

76) COMEN, P5 模式选择寄存器

名称/地址:

位 序 号:

位 定 义:

访问权限:

COMEN, BANK0, (AFH)							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	-	COMEN[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值：

0	0	0	0	0	0	0	0
—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W： 可读写							

提示：

Bit[3:0]：COMEN[3:0] COM 口使能选择位

0： P5.1~P5.0， P4.7,P4.6 作为 IO

1： P5.1~P5.0， P4.7,P4.6 作为 COM 口

23.5.LCD RAM 配置

LCD 1/4 占空比， 1/3 偏置（COM0 - 3， SEG0 - 29）

地址	7	6	5	4	3	2	1	0
	-	-	-	-	COM3	COM2	COM1	COM0
FFE0H	-	-	-	-	SEG0	SEG0	SEG0	SEG0
FFE1H	-	-	-	-	SEG1	SEG1	SEG1	SEG1
FFE2H	-	-	-	-	SEG2	SEG2	SEG2	SEG2
FFE3H	-	-	-	-	SEG3	SEG3	SEG3	SEG3
FFE4H	-	-	-	-	SEG4	SEG4	SEG4	SEG4
FFE5H	-	-	-	-	SEG5	SEG5	SEG5	SEG5
FFE6H	-	-	-	-	SEG6	SEG6	SEG6	SEG6
FFE7H	-	-	-	-	SEG7	SEG7	SEG7	SEG7
FFE8H	-	-	-	-	SEG8	SEG8	SEG8	SEG8
FFE9H	-	-	-	-	SEG9	SEG9	SEG9	SEG9
FFEAH	-	-	-	-	SEG10	SEG10	SEG10	SEG10
FFEBH	-	-	-	-	SEG11	SEG11	SEG11	SEG11
FFECH	-	-	-	-	SEG12	SEG12	SEG12	SEG12
FFEDH	-	-	-	-	SEG13	SEG13	SEG13	SEG13
FFEEH	-	-	-	-	SEG14	SEG14	SEG14	SEG14
FFEFH	-	-	-	-	SEG15	SEG15	SEG15	SEG15
FFF0H	-	-	-	-	SEG16	SEG16	SEG16	SEG16
FFF1H	-	-	-	-	SEG17	SEG17	SEG17	SEG17
FFF2H	-	-	-	-	SEG18	SEG18	SEG18	SEG18
FFF3H	-	-	-	-	SEG19	SEG19	SEG19	SEG19
FFF4H	-	-	-	-	SEG20	SEG20	SEG20	SEG20
FFF5H	-	-	-	-	SEG21	SEG21	SEG21	SEG21
FFF6H	-	-	-	-	SEG22	SEG22	SEG22	SEG22
FFF7H	-	-	-	-	SEG23	SEG23	SEG23	SEG23
FFF8H	-	-	-	-	SEG24	SEG24	SEG24	SEG24
FFF9H	-	-	-	-	SEG25	SEG25	SEG25	SEG25
FFFAH	-	-	-	-	SEG26	SEG26	SEG26	SEG26
FFFBH	-	-	-	-	SEG27	SEG27	SEG27	SEG27
FFFCH	-	-	-	-	SEG28	SEG28	SEG28	SEG28
FFFDH	-	-	-	-	SEG29	SEG29	SEG29	SEG29

LCD 1/5 占空比， 1/3 偏置（COM0 - 4， SEG0 - 28）

地址	7	6	5	4	3	2	1	0
	-	-	-	COM4	COM3	COM2	COM1	COM0
FFE0H	-	-	-	SEG0	SEG0	SEG0	SEG0	SEG0

FFE1H	-	-	-	SEG1	SEG1	SEG1	SEG1	SEG1
FFE2H	-	-	-	SEG2	SEG2	SEG2	SEG2	SEG2
FFE3H	-	-	-	SEG3	SEG3	SEG3	SEG3	SEG3
FFE4H	-	-	-	SEG4	SEG4	SEG4	SEG4	SEG4
FFE5H	-	-	-	SEG5	SEG5	SEG5	SEG5	SEG5
FFE6H	-	-	-	SEG6	SEG6	SEG6	SEG6	SEG6
FFE7H	-	-	-	SEG7	SEG7	SEG7	SEG7	SEG7
FFE8H	-	-	-	SEG8	SEG8	SEG8	SEG8	SEG8
FFE9H	-	-	-	SEG9	SEG9	SEG9	SEG9	SEG9
FFEAH	-	-	-	SEG10	SEG10	SEG10	SEG10	SEG10
FFEBH	-	-	-	SEG11	SEG11	SEG11	SEG11	SEG11
FFECH	-	-	-	SEG12	SEG12	SEG12	SEG12	SEG12
FFEDH	-	-	-	SEG13	SEG13	SEG13	SEG13	SEG13
FFEEH	-	-	-	SEG14	SEG14	SEG14	SEG14	SEG14
FFEFH	-	-	-	SEG15	SEG15	SEG15	SEG15	SEG15
FFF0H	-	-	-	SEG16	SEG16	SEG16	SEG16	SEG16
FFF1H	-	-	-	SEG17	SEG17	SEG17	SEG17	SEG17
FFF2H	-	-	-	SEG18	SEG18	SEG18	SEG18	SEG18
FFF3H	-	-	-	SEG19	SEG19	SEG19	SEG19	SEG19
FFF4H	-	-	-	SEG20	SEG20	SEG20	SEG20	SEG20
FFF5H	-	-	-	SEG21	SEG21	SEG21	SEG21	SEG21
FFF6H	-	-	-	SEG22	SEG22	SEG22	SEG22	SEG22
FFF7H	-	-	-	SEG23	SEG23	SEG23	SEG23	SEG23
FFF8H	-	-	-	SEG24	SEG24	SEG24	SEG24	SEG24
FFF9H	-	-	-	SEG25	SEG25	SEG25	SEG25	SEG25
FFFAH	-	-	-	SEG26	SEG26	SEG26	SEG26	SEG26
FFFBH	-	-	-	SEG27	SEG27	SEG27	SEG27	SEG27
FFFCH	-	-	-	SEG28	SEG28	SEG28	SEG28	SEG28

23.6.功能描述

23.6.1. 电阻型 LCD 驱动器

电阻型 LCD 驱动器包含一个控制器，一个占空比发生器及 4/5 个 COM 输出引脚和 30/29 个 Segment 输出引脚。由 SEGEN1、SEGEN2、SEGEN3、SEGEN4、COMEN 寄存器控制，Segment0-29 和 COM0-COM4 脚还可以当作 I/O 口使用。30 字节的 LCD 显示数据 RAM 存储区的地址为 FFE0H-FFFDH，如果需要，它们可以作为数据存储器使用。

由 LCDCON1 寄存器的 MOD[1:0]位控制可选择 LCD 偏置电阻总和为 60k、450k 或 990k。选择 60k 偏置电阻可以得到较好的显示效果，但电流相对会大一些，不适合低功耗的应用。将 LCDON1 的 MOD[1:0]位设置为 00 选择 990k 偏置电阻，虽然可以达到较低的功耗，但 LCD 显示效果会变得差一些。

因此，MCU 提供了兼顾低功耗和显示效果的显示模式：快速充电模式。设置 MOD[1:0]=00-1x 可以选择此种显示方式，在显示数据刷新时刻选择 60k 偏置电阻，提供较大的驱动电流，在数据保持期间选择 450k 或 990k 偏置电阻，提供较小的驱动电流。

由 LCDCON1 寄存器的 FCCTL[1:0]位选择充电时间为 LCD com 周期的 1/4、1/8、1/16 或 1/32。

23.6.2. 电容型 LCD 驱动器

电容偏压型 LCD 驱动器

电容偏压型 LCD 的驱动电压等于 VDD

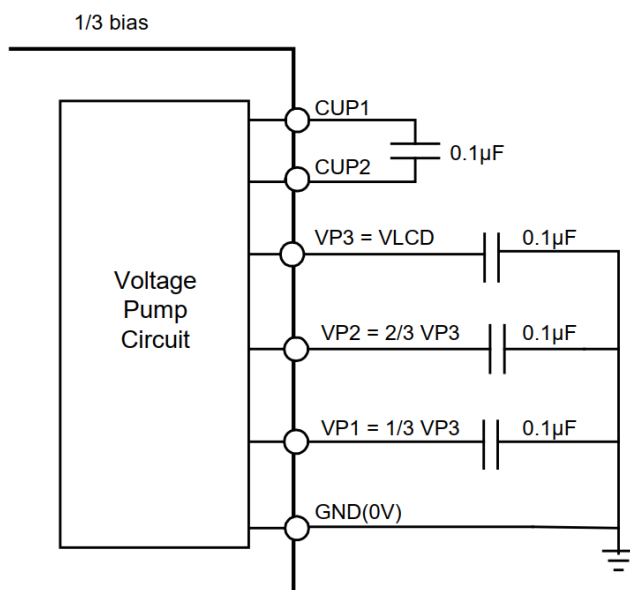


图 23-1 电容型 LCD 驱动器

电容偏压型 LCD 驱动器包含一个控制器，一个占空比发生器及 4/5 个 COM 输出引脚和 30/29 个 Segment 输出引脚。由 SEGEN1、SEGEN2、SEGEN3、SEGEN4、COMEN 寄存器控制，Segment0-29 和 COM0-COM4 脚还可以当作 I/O 口使用。30 字节的 LCD 显示数据 RAM 存储区的地址为 FFE0H-FFFDH，如果需要，它们可以作为数据存储器使用。

内建电压稳定器型 LCD 驱动器

内建一个电压稳定器，当 VDD 介于 2.0V 及 3.6V 之间时，它可以产生一个稳定的电压。

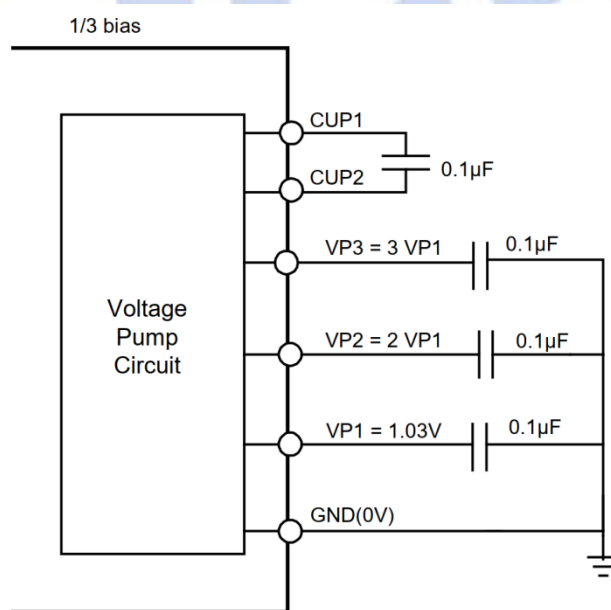


图 23-2 电容型 LCD 驱动器

电容型 LCD 驱动器包含一个控制器，一个电压发生器，一个占空比发生器及 4/5 个 COM 输出引脚和 30/29 个 Segment 输出引脚。由 SEGEN1、SEGEN2、SEGEN3、SEGEN4、COMEN 寄存器控制，Segment0-29 和 COM0-COM4 脚还可以当作 I/O 口使用。30 字节的 LCD 显示数据 RAM 存储区的地址为 FFE0H-FFFDH，如果需要，它们可以作为数据存储器使用。

注意：为更有效的使用电容型 LCD 驱动器，用户必须先设置 PUMPON，LCDON 位之外的所有控制位，然后设置 PUMPON 位，在延迟之后（至少 25ms）打开 LCD，即 LCDON 位置 1，点亮 LCD 面板。

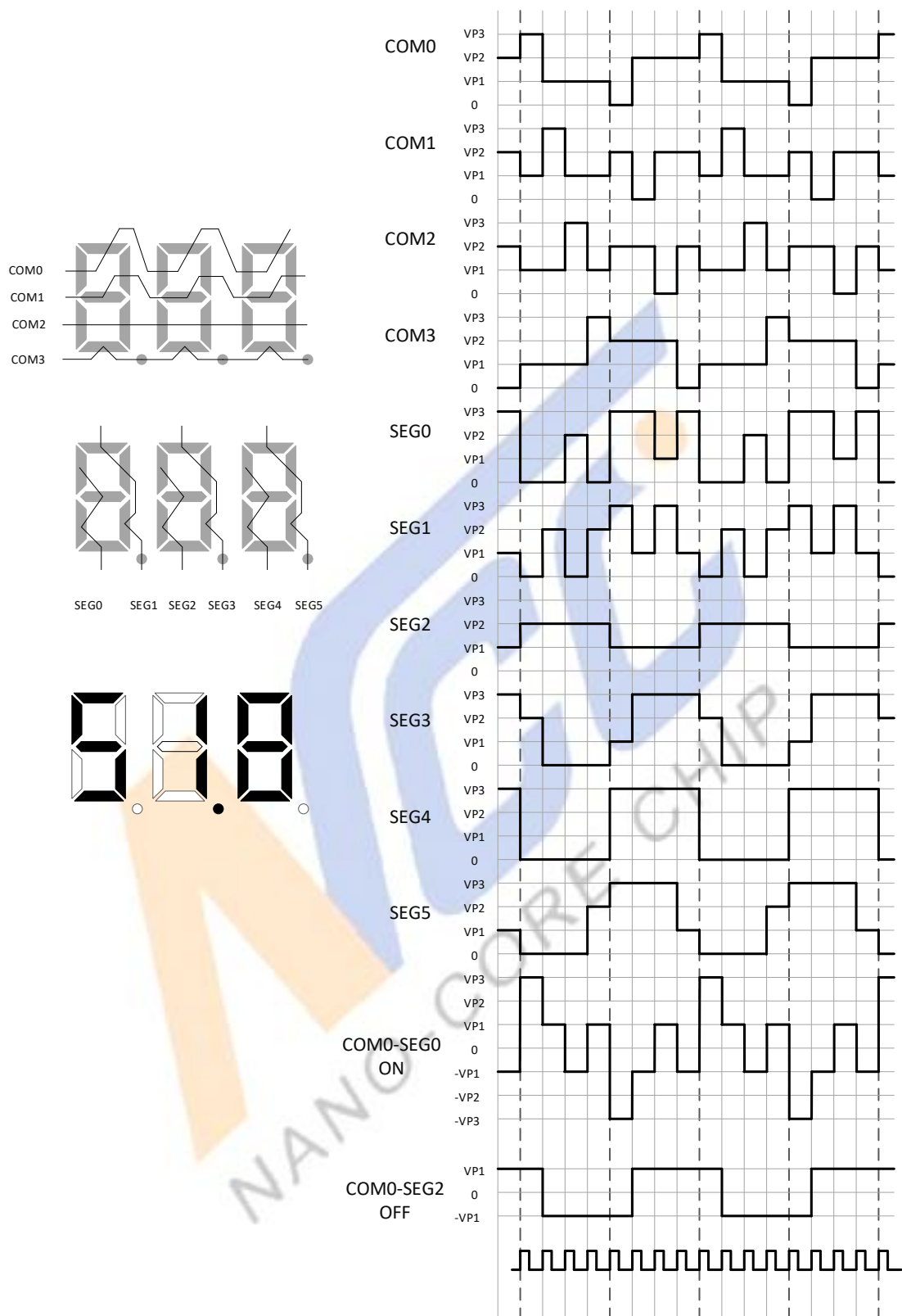


图 23-3 LCD 显示

LCD 显示 51.8 (1/4 占空比, 1/3 偏置)

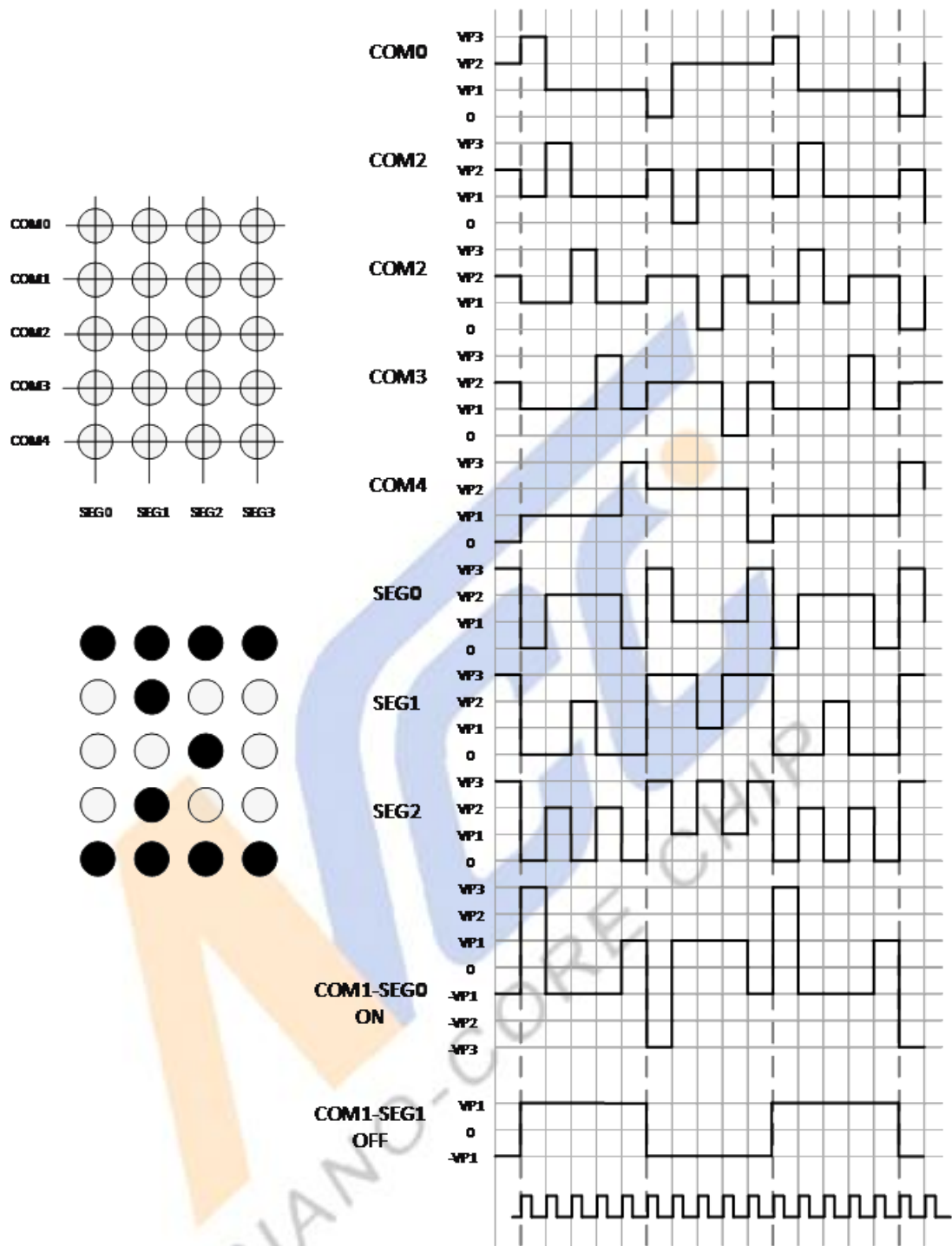


图 23-4 LCD 显示

LCD 显示 'Σ' (1/5 占空比, 1/3 偏置)

24. FLASH 控制器

24.1. 基本特征

ATM8F3040 内部集成一个 8Kx16 的内部闪存，用户可在任何时刻编程，编程时 CPU 将处于 HOLD 状态。

内部闪存的主要特性如下：

16K 字节的主程序区域

- 1000 次重复烧写
- 编程最小单位：双字节
- 数据保持时间：10 年

256 字节的内部 EEPROM 区域

- 10000 次重复烧写
- 编程最小单位：字节

频繁擦写 Flash 或者 EEPROM 时，如果超过最大擦写次数，会导致系统不稳定。用户使用时应注意记录擦写次数，接近最大次数时必须更换一个新的地址进行写操作。

24.2. 寄存器说明

FLASH 控制寄存器的主要寄存器列表如下：

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
FSHCON	FLASH 操作控制寄存器	×	R/W	0000_0000B	BANK0	C1H
FSHDATL	FLASH 编程数据低八位	×	R/W	XX00_X000B	BANK0	C2H
FSHDATH	FLASH 编程数据高八位	×	R/W	0000_0000B	BANK0	C3H
FSHADRL	FLASH 编程地址低八位	×	R/W	0000_0000B	BANK0	C4H
FSHADRH	FLASH 编程地址高八位	×	R/W	0100_0000B	BANK0	C5H
FSDIV	FLASH 编程时钟分频	×	R/W	0000_1001B	BANK0	C6H

详细描述如下：

FLASH 编程控制寄存器

寄存器	FSHCON, 0xC1, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	FSHCON[7:0]							
						LOCK	ERR	BUSY
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

FSHCON[7:0], 8 位寄存器。

读该寄存器时：

BUSY: 1 表示编程正在执行，0 表示编程结束

ERR: 1 表示发生超时故障，0 表示正常

LOCK: 1 表示可以对主程序区进行编程，0 表示只能对 EEPROM 区域进行编程

写该寄存器时：

写 0xA5 启动 FLASH 编程操作

写 0xC3 清除超时故障位

FLASH 编程数据寄存器

寄存器	FSHDATL, 0xC2, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	DATA[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值	0	0	0	0	0	0	0	0
-----	---	---	---	---	---	---	---	---

DATA[7:0],8 位数据寄存器, 编程数据低八位

FLASH 编程数据寄存器

寄存器	FSHDATH, 0xC3, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	DATA[15:8]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

DATA[15:8],8 位数据寄存器, 编程数据高八位

FLASH 编程地址寄存器

寄存器	FSHADRL, 0xC4, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	ADDR[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

ADDR[7:0],8 位数据寄存器, 编程地址低八位

FLASH 编程地址寄存器

寄存器	FSHADRH, 0xC5, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	ADDR[15:8]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

ADDR[15:8],8 位数据寄存器, 编程地址高八位

FLASH 编程时钟分频寄存器

寄存器	FSDIV, 0xC6, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	-				CKDIV[3:0]			
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	1	0	0	1

CKDIV, FLASH 编程时钟分频, 计算公式 $F_{sys}/(2*(CKDIV+1))$, 再 FLASH 编程时, 需要将时钟分频至 200KHz (+/- 20%)

24.3.功能描述

ATM8F3040 内部集成一个 8Kx16 的内部闪存, 用户可在任何时刻编程, 编程时 CPU 将处于 HOLD 状态。对主程序编程时, 编程的单位是双字节, 对 EEPROM 区域编程时, 编程的单位是单字节。支持两种编程方式:

工具编程模式 (ISP), 需要有专门的工具进行编程

用户编程模式 (IAP), 通过程序内部写编程

在编程时, 无需进行擦除操作, 直接写代码即可。

24.3.1. 内部信息区分配

ATM8F3040 内部包括 64 个字节的的信息区, 信息区的分配方案如下:

标识	用途
RSTEN[7:0]	配置复位管脚为复位功能, 还是普通 GPIO 口。
BLOCK[7:0]	BLOCK 保护位, 当相应位为 1 时, 该 BLOCK 不能执行在应用编程操作
BLOCK[15:8]	BLOCK 使能位

ATM8F3040 将内部 8kx16 分成 8 个 BLOCK，可以分别对每个 BLOCK 进行保护。在相应 BLOCK 保护位为高时，该 BLOCK 位只能读，不能进行编程操作。

BLOCK[0]保护 0x0000~0x07FF 地址空间。

BLOCK[1]保护 0x0800~0x0FFF 地址空间。

BLOCK[2]保护 0x1000~0x17FF 地址空间。

BLOCK[3]保护 0x1800~0x1FFF 地址空间。

BLOCK[4]保护 0x2000~0x27FF 地址空间，

BLOCK[5]保护 0x2800~0x2FFF 地址空间。

BLOCK[6]保护 0x3000~0x37FF 地址空间。

BLOCK[7]保护 0x3800~0x3FFF 地址空间。

24.3.2. 编程操作

ATM8F3040 使用在用户编程模式对内部闪存进行编程时，可以对内部 EEPROM 进行编程，也可以对内部主程序区进行编程。对主程序区进行编程时，编程单位为双字节。对 EEPROM 进行编程时，编程单位为字节。

对 EEPROM 进行编程时。

配置 FSHADRH 寄存器为 0xF0H。

配置 FSHADRL 寄存器，设置编程地址

配置 FSHDATL 寄存器，设置编程数据

写 FSHCON 寄存器为 0xA5

判断 FSHCON 中 ERR 位是否置 1，确保编程未超时。

对主程序编程时

配置 FSHADRL，FSHADRH 寄存器，设置 16 位编程地址（高 8 位设置超过 0x40H 时，高 8 位始终是 0x40H）

配置 FSHDATL，FSHDATH 寄存器，设置 16 位编程数据

写 FSHCON 寄存器为 0xA5

判断 FSHCON 中 ERR 位是否置 1，确保编程未超时。

在对主程序编程时，如果只需要编程一个字节，需要将该编程单位的另一个地址所存储的数据先读取出来，然后在配合写入到 FSHDATH 或者 FSHDATL 寄存器中去。举例说明：如果需要将 0x55 写入到 0x1001 中，需要先将 0x1000 地址的数据先读取出来，假设 0x1000 地址存储的数据是 0xAA，那么需要 0x55 写入 FSHDATH，0xAA 写入 FSHDATL。然后再启动编程操作指令。当需要将 0x33 写入到 0x2000 时，需要先将 0x2001 地址的数据先读取出来，若 0x2001 数据是 0xBB，那么需要将 0xBB 写入 FSHDATH，0x33 写入 FSHDATL。

编程操作，由信息区中的 BLOCK 位控制当前地址区域空间是否允许执行编程操作，若对应的 BLOCK 保护位为 1，那么写 FSHCON 寄存器将无效。由于 ATM8F3040 主程序存储空间编程次数只有 1000 次，不建议频繁操作该程序空间。

24.3.3. 读操作

ATM8F3040 对内部程序存储空间或者 EEPROM 的读取操作可以采用 8051 的 MOV 指令来读取。

操作过程如下：

MOV DPH, #ADDRH

MOV DPL, #ADDRL

MOV A, #offset

MOVC A, @A+DPTR

在读取 EEPROM 时，ADDRH 需要设置为 0xF0H，读取内部区域时，ADDRH 可设置在 0x00~0x3F 之间。

25. 模数转换器

25.1. 前言

ATM8F3040 包含一个单端型、10 位逐次逼近型模/数转换器 (ADC)。ADC 内建的基准电压 VREF 直接与 VDD 相连, 用户也可以选择 P37 作为外部参考输入电压。ATM8F3040 最多支持 10 个 ADC 模拟通道。

25.2. 基本特征

ATM8F3040 包含一个单端型、10 位逐次逼近型模/数转换器 (ADC)。

10 位分辨率

支持内部参考电压或外部参考电压

最大支持 9 个外部 ADC 输入通道和一个内部 1.03V 的 ADC 通道输入

支持数字比较功能

25.3. 内部框图

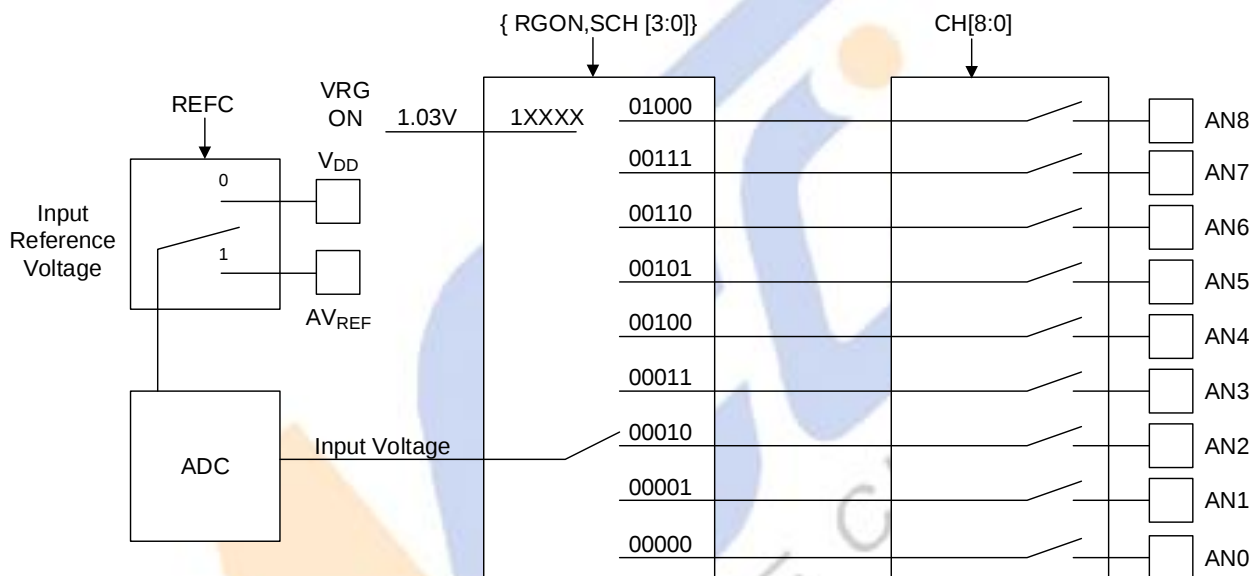


图 25-1 AD 转换器模块图

25.4. 寄存器

表 25-1 ADC 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
ADCON	ADC 控制寄存器	×	R/W	0000_0000B	BANK0	F9H
ADT	ADC 定时寄存器	×	R/W	0000_0000B	BANK0	FAH
ADCH	ADC 通道选择寄存器	×	R/W	0000_0000B	BANK0	FBH
ADDH	ADC 数据寄存器 1	×	R/W	0000_0000B	BANK0	FDH
ADDL	ADC 数据寄存器 2	×	R/W	0000_0000B	BANK0	FCH
AENCON0	模拟通道配置寄存器 0	×	R/W	0000_0000B	BANK0	EFH
AENCON1	模拟通道配置寄存器 1	×	R/W	0000_0000B	BANK0	E7H

ADC 寄存器详细说明如下:

77) ADC 控制寄存器 (ADCON)

名称/地址:	ADCON, BANK0, F9H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	ADON	ADCIF	EC	REFC	保留	保留	保留
访问权限:	R/W	R/W	R/W	R/W	RO	RO	RO
复 位 值:	0	0	0	0	0	0	0

提 示： 一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写

Bit7: ADC 控制位

0: 关闭 ADC 模块

1: 使能 ADC 模块

Bit6: ADC 中断标志

0: 无 ADC 中断

1: 完成 ADC 转换或者模拟输入大于 ADDATH/L 时， 产生中断

Bit5: 比较功能允许位

0: 关闭比较功能

1: 打开比较功能

Bit4: 参考电压选择位

0: 选择内部 VDD 作为参考电压

1: 选择外部 AVREF 作为参考电压

Bit[3:1]: 保留

Bit0: ADC 状态标志位

0: 当完成 AD 转换时， 该位由硬件自动清 0。 如在转换期间清 0 该位会中止当前的转换。 如果允许数字比较功能， 该位只能软件清 0， 不能硬件清 0

1: 设置开始 AD 转换或者启动数字比较功能

注意： 当选择外部 AV_{REF} 端口输入为基准电压时（ REFC = 1）， P3.7 作为 V_{REF} 输入。

78) ADC 定时寄存器（ADT）

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

ADT, BANK0, FAH							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TADC2	TADC1	TADC0	-	TS3	TS2	TS1	TS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0

Bit[7:5]: TADC[2:0]: ADC 转换时钟选择位

000: ADC 转换时钟 $t_{AD} = 2 t_{SYS}$

001: ADC 转换时钟 $t_{AD} = 4 t_{SYS}$

010: ADC 转换时钟 $t_{AD} = 6 t_{SYS}$

011: ADC 转换时钟 $t_{AD} = 8 t_{SYS}$

100: ADC 转换时钟 $t_{AD} = 12 t_{SYS}$

101: ADC 转换时钟 $t_{AD} = 16 t_{SYS}$

110: ADC 转换时钟 $t_{AD} = 24 t_{SYS}$

111: ADC 转换时钟 $t_{AD} = 32 t_{SYS}$

Bit4: 保留

Bit[3:0]: ADC 采样时间选择

注意：

1. 请确保 ADC 时钟周期 $t_{AD} \geq 1\mu s$;
2. 即使 TS[3:0] = 0000， 最小采样时间为 $2t_{AD}$;
3. 即使 TS[3:0] = 1111， 最大采样时间为 $15t_{AD}$;
4. 在设置 TS[3:0] 前， 请估算连接到 ADC 输入引脚的串联电阻;
5. 选择 $2 * t_{AD}$ 为采样时间时， 请确保连接到 ADC 输入引脚的串联电阻小于 $10k\Omega$;

6. 全部转换时间 = $12t_{AD} + \text{采样时间}$ 。

7. 采样时间 $2 t_{AD} \leq \text{采样时间} = (TS[3:0]+1) * t_{AD} \leq 15 t_{AD}$

79) ADC 通道选择寄存器 (ADCH)

名称/地址:	ADCH, BANK0, FBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RGON			-	CH3	CH2	CH1	CH0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7]: ADC 内部通道选择位

0: ADC 通道由 CH[3:0]选择

1: 选中 ADC 内部 1.03V 恒压源

Bit[6:4]: 保留

Bit[3:0]: ADC 通道选择位

0000: ADC 选择 AN0 输入

0001: ADC 选择 AN1 输入

0010: ADC 选择 AN2 输入

0011: ADC 选择 AN3 输入

0100: ADC 选择 AN4 输入

0101: ADC 选择 AN5 输入

0110: ADC 选择 AN6 输入

0111: ADC 选择 AN7 输入

1000: ADC 选择 AN8 输入

注意:

1. 当 ADC 选择外部电压作为参考电压输入时, ADC 通道不能选择 AN7 作为输入

80) ADC 数据寄存器 (ADDH)

名称/地址:	ADDH, BANK0, FDH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	D9	D8	D7	D6	D5	D4	D3	D2
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:0]: ADC 转换结果高 8 位, 或者 ADC 数据比较高 8 位

81) ADC 数据寄存器 (ADDL)

名称/地址:	ADDL, BANK0, FCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	D1	D0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[1:0]: ADC 转换结果低 2 位, 或者 ADC 数据比较低 2 位

注意:

1. 采样模拟电压的数字值。当完成转换后，ADDH/ADDL 会更新。
 2. 如果 ADC 数字比较功能使能（EC = 1），ADDH/ADDL 将于模拟输入进行比较。
- 82) 模拟通道配置寄存器 0（AENCON0）

名称/地址:	AENCON0, BANK0, EFH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AEN7	AEN6	AEN5	AEN4	AEN3	AEN2	AEN1	AEN0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7]:P37 ADC 模拟输入使能
 Bit[6]:P36 ADC 模拟输入使能
 Bit[5]:P35 ADC 模拟输入使能
 Bit[4]:P34 ADC 模拟输入使能
 Bit[3]:P33 ADC 模拟输入使能
 Bit[2]:P32 ADC 模拟输入使能
 Bit[1]:P31 ADC 模拟输入使能
 Bit[0]:P27 ADC 模拟输入使能

- 83) 模拟通道配置寄存器 1（AENCON1）

名称/地址:	AENCON1, BANK0, E7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	-	AEN8
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit[7:1]:保留

Bit[0]:P40 ADC 模拟输入使能

25.5.功能说明

ATM8F3040 包含一个单端型、10 位逐次逼近型模/数转换器（ADC）。ADC 内建的基准电压 VREF 直接与 VDD 相连，用户也可以选择 AVREF 端口输入基准电压。9 个 ADC 通道都可以输入独立的模拟信号，但是每次只能使用一个通道。另有 1 通道可通过 RGON 位配置为连接至内部恒压源上。GO/DONE 信号控制开始转换，提示转换结束。当转换完成时，更新 ADC 数据寄存器，设置 ADCON 寄存器中的 ADCIF 位，并产生一个中断（如果 ADC 中断被允许）。

ADC 模块整合数字比较功能可以比较 ADC 中的模拟输入的值与数字值。如果允许数字比较功能（在 ADCON 寄存器中的 EC 位置 1），并且 ADC 模块使能（在 ADCON 寄存器中的 ADON 位置 1），只有当相应的模拟输入的数字值大于寄存器中的比较值（ADDH/L）时，才会产生 ADC 中断。当 GO/DONE 置 1 时，数字比较功能会持续工作，直到 GO/DONE 清 0。这一点与模数转换工作方式不同。

带数字比较功能的 ADC 模块能在 Idle 模式下工作，并且 ADC 中断能够唤醒 Idle 模式。但是，在掉电模式下，ADC 模块被禁止。

配置 ADC 通道时需要首先通过 AENCON0/1 寄存器将相应的 IO 配置为模拟输入，同时需要通过 ADCH 寄存器中 CH[3:0] 选中对应的输入通道。

启动 ADC 转换步骤：

- (1) 选择模拟输入通道
- (2) 使能 ADC 模块
- (3) GO/DONE 置 1 开始 ADC 转换

(4) 等待 $\overline{GO/DONE} = 0$ 或者 $ADCIF = 1$ ，如果 ADC 中断使能，则 ADC 中断将会产生，用户需要软件清 0 $ADCIF$

(5) 从 $ADDH/ADDL$ 获得转换数据

(6) 重复步骤 3-5 开始另一次转换

启动数字比较功能步骤：

(1) 选择模拟输入通道

(2) 写入 $ADDH/ADDL$ ，设置比较值

(3) EC 置 1 使能数字比较功能

(4) 使能 ADC 模块

(5) $\overline{GO/DONE}$ 置 1 开始数字比较功能

(6) 如果模拟输入的值比设置的比较值大， $ADIF$ 会被置 1。如果 ADC 中断使能，则 ADC 中断将会产生，用户需要软件清 0 $ADCIF$

(7) 数字比较功能会持续工作， $\overline{GO/DONE}$ 清 0

ADC 转换时间：

系统时钟 (SYSCLK)	TADC[2:0]	t_{AD}	TS[3:0]	采样时间	转换时间
32.768kHz	000	$30.5 \times 2 = 61\mu s$	0000	$2 \times 61 = 122\mu s$	$12 \times 61 + 122 = 854\mu s$
	000	$30.5 \times 2 = 61\mu s$	0111	$8 \times 61 = 488\mu s$	$12 \times 61 + 488 = 1220\mu s$
	000	$30.5 \times 2 = 61\mu s$	1111	$15 \times 61 = 915\mu s$	$12 \times 61 + 915 = 1647\mu s$
	111	$30.5 \times 32 = 976\mu s$	0000	$2 \times 976 = 1952\mu s$	$12 \times 976 + 1952 = 13664\mu s$
	111	$30.5 \times 32 = 976\mu s$	0111	$8 \times 976 = 7808\mu s$	$12 \times 976 + 7808 = 19520\mu s$
	111	$30.5 \times 32 = 976\mu s$	1111	$15 \times 976 = 14640\mu s$	$12 \times 976 + 14640 = 26352\mu s$
4MHz	000	$0.25 \times 2 = 0.5\mu s$	-	-	($t_{AD} < 1\mu s$ ，不推荐)
	001	$0.25 \times 4 = 1\mu s$	0000	$2 \times 1 = 2\mu s$	$12 \times 1 + 2 = 14\mu s$
	001	$0.25 \times 4 = 1\mu s$	0111	$8 \times 1 = 8\mu s$	$12 \times 1 + 8 = 20\mu s$
	001	$0.25 \times 4 = 1\mu s$	1111	$15 \times 1 = 15\mu s$	$12 \times 1 + 15 = 27\mu s$
	111	$0.25 \times 32 = 8\mu s$	0000	$2 \times 8 = 16\mu s$	$12 \times 8 + 16 = 112\mu s$
	111	$0.25 \times 32 = 8\mu s$	0111	$8 \times 8 = 64\mu s$	$12 \times 8 + 64 = 160\mu s$
	111	$0.25 \times 32 = 8\mu s$	1111	$15 \times 8 = 120\mu s$	$12 \times 8 + 120 = 216\mu s$

26. 电气特性

26.1. 极限参数

表 26-1 极限参数

标识	参数	范围	单位	其他
VDD	电源范围	-0.3~3.6	V	-
T _{STG}	存放温度	-40~125	°C	-
T _{opt}	工作温度	-10~70	°C	-
V _I	常规引脚	-0.3~VDD+0.3	V	-
V _O		-0.3~VDD+0.3	V	-
I _{OLT}		400	mA	最大灌电流
I _{OHT}		-80	mA	最大拉电流

26.2. DC 特性

表 26-2 直流特性参数

若无其他说明, VDD-VSS=3V, TA=25°C

标识	参数	测试条件	MIN	TYP	MAX	单位
VDD	工作电压	32KHz~4MHz	2.0	3.0	3.6	V
I _{DD1}	工作电流	系统时钟 4MHz, 无浮动输入管脚, 仅 CPU 执行 NOP 指令, VDD=3.0V		1.6	2.4	mA
I _{DD21}	空闲模式电流	系统时钟内部 32KHz, 无浮动输入管脚, 高频振荡器关闭, 低压复位功能打开, WDT 关闭, LCD 打开, LCD 为电阻型, 偏置电阻 60K, 关闭其他功能, VDD=3.0V。CPU 进入 IDLE 模式		8	12	uA
I _{DD22}		系统时钟内部 32KHz, 无浮动输入管脚, 高频振荡器关闭, 低压复位功能打开, WDT 关闭, LCD 打开, LCD 为内建电压稳定器型, 关闭其他功能, VDD=3.0V, CPU 进入 IDLE 模式		6	9	uA
I _{DD23}		系统时钟内部 32KHz, 无浮动输入管脚, 高频振荡器关闭, 低压复位功能打开, WDT 关闭, LCD 打开, LCD 为电容偏压型, 关闭其他功能, VDD=3.0V, CPU 进入 IDLE 模式		5	8	uA
I _{DD24}		系统时钟 32KHz 晶振, 无浮动输入管脚, 高频振荡器关闭, 低压复位功能打开, WDT 关闭, LCD 打开, LCD 为电阻型, 偏置电阻 990K, 关闭其他功能, VDD=3.0V, CPU 进入 IDLE 模式		8	12	uA
I _{DD3}	停止模式电流	所有模拟模块关闭, 无浮动输入管脚, CPU 进入 STOP 模式		0.2	1	uA
I _{LCD1}	LCD 驱动模块电流 1	内建电压稳定器型, VDD=3.0V		1.5	2	uA
I _{LCD2}	LCD 驱动模块电流 2	电阻型, 偏置电阻 990K, VDD=3.0V		3.5	5	uA
I _{LCD3}	LCD 驱动模块电流 3	电容偏压型, VDD=3.0V		0.5	1	uA
V _{IH1}	输入高电平		0.7			VDD

V _{IL1}	输入低电平				0.3	VDD
I _{IL}	输入低电平 漏电流		-1		1	uA
I _{IH}	输入高电平 漏电流		-1		1	uA
V _{OH}	输出高电压	VDD=3.0V, I _{src} =5mA	VDD-0.7			V
V _{OL1}	输出低电压 1 (除 P22/P23 外)	VDD=3.0V, I _{sink} =10mA			0.6	V
V _{OL2}	输出低电压 2 (P22/P23)	VDD=3.0V, I _{sink} =20mA			0.6	V
I _{REM}	红外端口灌电流	VDD=3.0V, VOL=1.2V		300		mA
R _{PUL1}	上拉电阻 (除 RST 引脚)	VDD=3.0V		150		KΩ
R _{PUL2}	上拉电阻 (RST 引脚)	VDD=3.0V		35		KΩ
V _{P1}	LCD V _{P1} 电压	SEG1-30, COM1-5, VP3 电压最大偏差低于 0.3V, VDD=2~3.6		1		V
V _{BOR}	掉电复位电压	BOR level=2.7V	2.6	2.7	2.8	V
		BOR Level=2.4V	2.3	2.4	2.5	V
		BOR Level=2.2V	2.1	2.2	2.3	V
		BOR Level=1.85V	1.75	1.85	1.95	V

26.3.ADC 特性

表 26-3 ADC 特性参数

若无其他说明, VDD-VSS=3V, ADC 时钟 500KHz, TA=25℃

标识	参数	测试条件	MIN	TYP	MAX	单位
VDD	工作电压		2.0	3.0	3.6	V
V _{REF}	参考电压		2.0		VDD	V
V _{IN}	输入电压范围		0		VREF	V
NR	分辨率			10		Bit
RAIN	输入阻抗 ^[1]	VDD=3.0V	2			MΩ
DNL	微分非线性误差			±1		LSB
INL	积分非线性误差			±2		LSB
EF	全量程误差			±3		LSB
EO	偏移误差			±4		LSB
FMAX	工作时钟频率	VDD=3.0V			2 ^[2]	MHz
TAD	转换时间	VDD=3.0V	14			TCK

[1]设计保证

[2]当 ADC 时钟频率超过 500KHz 时, ADC 精度略有下降。

26.4. 内部高频振荡器特性

表 26-4 IHRC 参数特性
(TA=-10 ~ +70 °C, 2.0V~3.6V)

标识	参数	测试条件	MIN	TYP	MAX	单位
VDD	工作电压		2.0	3.0	3.6	V
Freq	工作频率			4		MHz
Fvar	频率偏移	25°C, 3V	-0.5		+0.5	%
		-10°C~70°C, 2.0V~3.6V	-2		+2	%

26.5. 内部低频振荡器特性

表 26-5 ILRC 参数特性
(TA=-10 ~ +70 °C, 2.0V~3.6V)

标识	参数	测试条件	MIN	TYP	MAX	单位
VDD	工作电压		2.0		3.6	V
Freq	工作频率	25°C, 2.0V~3.6V	28.8	32	35.2	KHz
		25°C, 3V	31.68	32	32.32	KHz

26.6. 外部振荡器特性

表 26-6 CRY 参数特性
(TA=25 °C, 3V)

标识	参数	测试条件	MIN	TYP	MAX	单位
Tst	稳定时间	CL = 12pF ^[1]			1	s

[1] 应用时晶振配套使用两个 12pF 电容。

26.7. 外部复位及中断管脚特性

表 26-7 外部复位及中断管脚特性
(TA=-10 ~ +70 °C, 2.0V~3.6V)

标识	参数	测试条件	MIN	TYP	MAX	单位
TINT	外部中断脉宽滤波	VDD=3.0V	1			us
TRST	外部复位	VDD=3.0V	5			us

26.8. EFT 特性

表 26-8 EFT 特性
(TA=25 °C, 3V)

标识	参数	条件	通过值	单位
VEFT	瞬变脉冲群电压	Fsys=IHRC, BOR 关闭	±4500	V

26.9. ESD 特性

表 26-9 ESD 特性
(VDD=3V)

标识	参数	条件	最大值	单位
VESD(HBM)	静电放电电压 (人体模型)	TA=25°C	±3000	V
VESD(CDM)	静电放电电压 (充电设备模型)		±2000	V

26.10. Latch up 特性

表 26-10 Latch up 特性

标识	参数	条件	通过值	单位
LU	静态栓锁	TA=25°C,VDD=5V	±200	mA



27. 封装信息

27.1.LQFP48

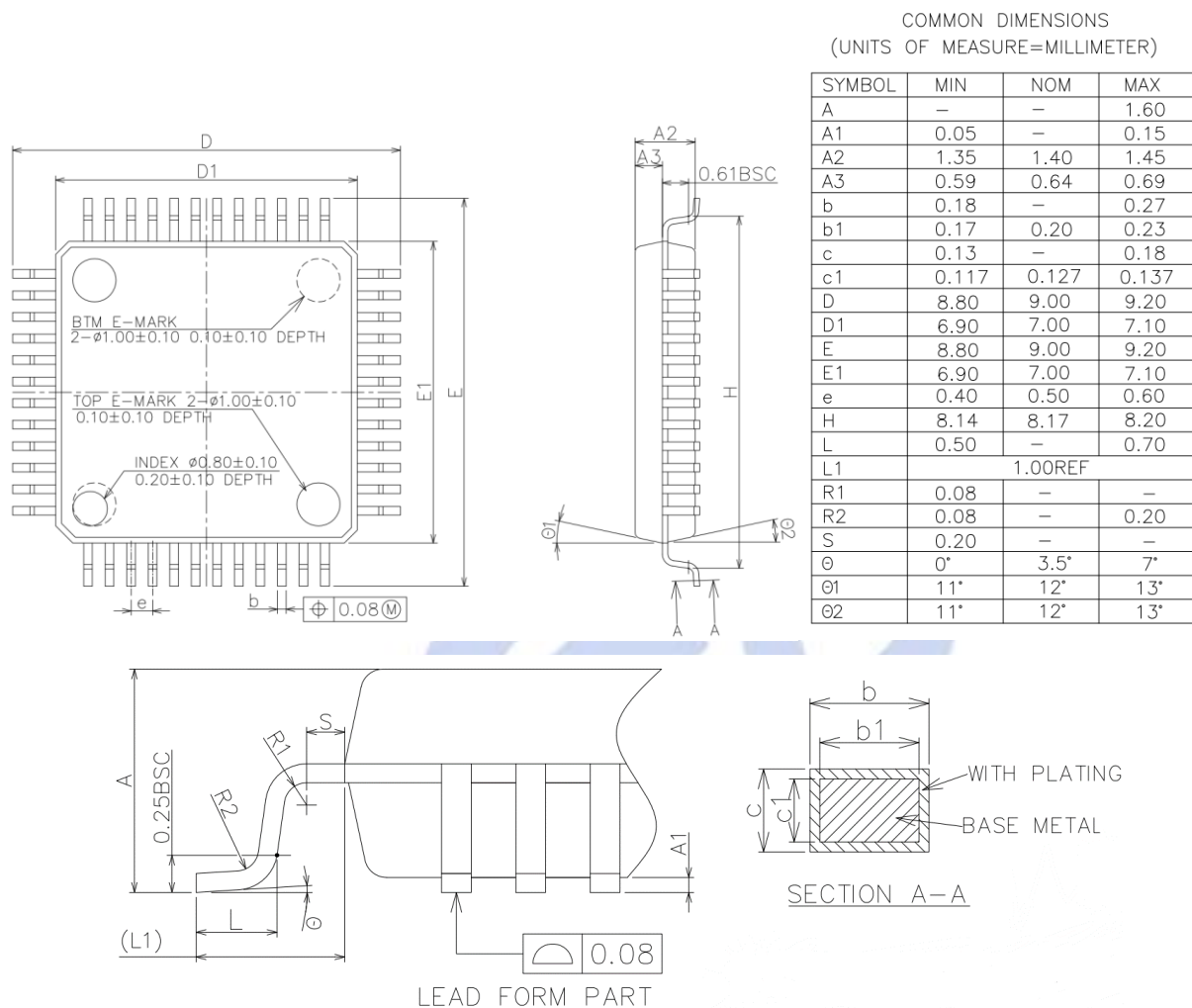


图 27-1 LQFP48 封装尺寸图

28. 版本信息

版本号	更新时间	更新内容
1.0	2021.7.21	V1.0 版本发布
1.1	2021.12.23	修订格式错误
1.2	2022.02.21	PWM 控制寄存器补充 REM 控制位
1.3	2022.03.15	ATM8A3040 改为 ATM8F3040
1.4	2022.06.07	CLKCFG 寄存器 CLK0 位域描述时钟输出都改为 4 分频输出
1.5	2022.06.23	合并数据手册和用户手册
1.6	2022.08.29	1. 更改 BUZS 为 CLKS 2. 修改 ALFSEL1 中 PWM0 描述 3. 修改红外例程中断号 4. 修正 T3CON 中 T3PS 描述 5. 添加 ADC 中断号 6. CLKEN0 bit7 增加 ADC 时钟使能描述 7. 添加 Flash 描述
1.7	2022.10.18	增加低频晶振“3V/25℃条件下 ILRC 精度达到±1%内”的说明
1.8	2023.06.02	1. 修改 REM 示例程序 2. 修改 T3 溢出时描述 3. 修改 P1PCR、P4PCR 默认值 4. 修改 LCD COM 和 SEG 编号

IMPORTANT NOTICE – PLEASE READ CAREFULLY

Nano-core Chip and its subsidiaries (“NCC”) reserve the right to make changes, corrections, enhancements, modifications, and improvements to NCC products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on NCC products before placing orders. NCC products are sold pursuant to NCC’s terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection, and use of NCC products and NCC assumes no liability for application assistance or the design of Purchasers’ products.

No license, express or implied, to any intellectual property right is granted by NCC herein.

Resale of NCC products with provisions different from the information set forth herein shall void any warranty granted by NCC for such product. NCC and the NCC logo are trademarks of NCC. All other product or service names are the property of their respective owners. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2022 HangZhou Nano-core Chip – All rights reserved